

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H05B 33/26
H05B 33/10

(11) 공개번호 10-2005-0119891
(43) 공개일자 2005년12월22일

(21) 출원번호 10-2004-0045029
(22) 출원일자 2004년06월17일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 강태욱
경기도 성남시 분당구 분당동(셋별마을) 우방아파트 302-1103
서창수
경기도 수원시 권선구 권선동 1188번지 성지아파트 105-605
박문희
부산광역시 사상구 덕포1동 426-9 7/2
강호진
경기도 수원시 권선구 권선동 1270 벽산아파트 401-201

(74) 대리인 리엔목록특허법인
이혜영

심사청구 : 있음

(54) 전계 발광 디스플레이 장치 및 이의 제조 방법

요약

본 발명은, 기관의 일면 상에 형성된 박막 트랜지스터층;

상기 박막 트랜지스터 층의 일면 상에 형성된 하나 이상의 절연층;

상기 절연층의 상부에 배치되며, 제 1 전극층, 제 2 전극층, 및 이들 사이에 배치되는 전계 발광부를 포함하는 화소층;을 구비하고,

상기 화소층에는:

상기 제 1 전극층 하부에 배치되며, 상기 박막 트랜지스터층의 소스/드레인 전극 중 하나와 직접 접촉하는 반사층을 구비하되,

상기 반사층은, 상기 절연층의 비아홀보다 크기가 작고 이를 통하여 상기 제 1 전극층과 상기 소스/드레인 전극 간에 직접적인 접촉이 발생하는 관통부를 구비하는 것을 특징으로 하는 전계 발광 디스플레이 장치를 제공한다.

대표도

도 2c

명세서

도면의 간단한 설명

도 1a는 종래 기술에 따른 유기 전계 발광 디스플레이 장치의 개략적인 평면도,
 도 1b는 도 1a의 선 I - I 를 따라 취한 단면도,
 도 1c는 도 1b의 도면 부호 "A"의 부분 확대도,
 도 2a는 본 발명의 일실시예에 따른 유기 전계 발광 디스플레이 장치의 개략적인 평면도,
 도 2b는 도 2a의 도면 부호 "B"의 부분 확대도,
 도 2c는 도 2b의 선 II - II 을 따라 취한 부분 단면도,
 도 3a 내지 도 3f는 본 발명의 일실시예에 따른 유기 전계 발광 디스플레이 장치를 제조하는 과정을 도시하는 단면도,
 도 4a는 비교예로서의 유기 전계 발광 디스플레이 장치의 일부에 대한 부분 단면도,
 도 4b 내지 도 4d는 도 4a의 일부분에 대한 부분 단면도,
 도 5a 및 도 5b는 본 발명에 따른 박막 트랜지스터 층의 부분 단면도.

<도면의 주요부분에 대한 부호의 간단한 설명>

- 110...기관 120...버퍼층
- 130...반도체 활성층 140...게이트 절연층
- 150...게이트 전극 160...중간층
- 170a,b...소스/드레인 전극 180, 181...절연층
- 180a...제 1 비아홀 181a...제 2 비아홀
- 191...제 1 전극층 192...반사층
- 193...화소 정의층 194...유기 전계 발광부
- 300...구동 전원 공급 라인 310...구동 라인
- 400...제 2 전극층 410...전극 전원 공급 라인
- 500...수직 구동 회로부 600...수평 구동 회로부
- 800...밀봉부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전계 발광 디스플레이 장치에 관한 것으로, 보다 상세하게는 디스플레이 영역의 전압 강하에 따른 휘도 불균일을 방지할 수 있는 전계 발광 디스플레이 장치에 관한 것이다.

화상을 표시하는데 있어, 수많은 종류의 디스플레이 장치가 사용되는데, 근래에는 종래의 브라운관, 즉 CRT(cathode ray tube, 음극선관)를 대체하는 다양한 평판 디스플레이 장치가 사용된다. 이러한 평판 디스플레이 장치는 발광 형태에 따라 자발광형(emissive)과 비자발광형(non-emissive)으로 분류할 수 있다. 자발광형 디스플레이 장치에는 평면 브라운관, 플라즈마 디스플레이 장치(plasma display panel device), 진공 형광 표시 장치(vacuum fluorescent display device), 전계 방출 디스플레이 장치(field emission display device), 무기/유기 전계 발광 디스플레이 소자(electro-luminescent display device) 등이 있고, 비자발광형 디스플레이 장치에는 액정 디스플레이 장치(liquid crystal display device)가 있다. 그 중에서도, 유기 전계 발광 소자는 백라이트와 같은 별도의 발광 장치 필요없는 자발광형 소자로서, 저전력 및 고효율 작동이 가능하고, 청색 발광이 가능하다는 근래에 각광을 받고 있는 평면 디스플레이 소자이다.

유기 전계 발광 디스플레이 소자는 유기물 박막에 음극과 양극을 통하여 주입된 전자와 정공(hole)이 재결합하여 여기자(exiton)를 형성하고, 형성된 여기자로부터의 에너지에 의해 특정한 파장의 빛이 발생하는 현상을 이용하는 자발광형 디스플레이 장치이다. 유기 전계 발광 디스플레이 장치는 저전압으로 구동이 가능하고, 경량의 박형이고, 시야각이 넓은 뿐만 아니라, 응답 속도 또한 빠르다는 장점을 구비한다.

이러한 유기 전계 발광 디스플레이 소자의 유기 전계 발광부는 기판 상에 적층식으로 형성되는 양극으로서의 제 1 전극, 유기 발광부, 및 음극으로서의 제 2 전극으로 구성된다. 유기 발광부는 유기 발광층(EML, emitting layer)을 구비하는데, 이 유기 발광층에서 정공과 전자가 재결합하여 여기자를 형성하고 빛이 발생한다. 발광 효율을 보다 높이기 위해서는 정공과 전자를 유기 발광층으로 보다 원활하게 수송하여야 하고, 이를 위해 음극과 유기 발광층 사이에는 전자 수송층(ETL, electron transport layer)이 배치될 수 있고 양극과 유기 발광층 사이에는 정공 수송층(HTL, hole transport layer)이 배치될 수 있으며, 또한 양극과 정공 수송층 사이에 정공 주입층(HIL, hole injection layer)이 배치될 수도 있고, 음극과 전자 수송층 사이에 전자 주입층(EIL, electron injection layer)이 배치될 수도 있다.

한편, 유기 전계 발광 디스플레이 소자는 구동 방식에 따라, 수동 구동방식의 패시브 매트릭스(Passive Matrix: PM)형과, 능동 구동방식의 액티브 매트릭스(Active Matrix: AM)형으로 구분된다. 상기 패시브 매트릭스형은 단순히 양극과 음극이 각각 컬럼(column)과 로우(row)로 배열되어 음극에는 로우 구동회로로부터 스캐닝 신호가 공급되고, 이 때, 복수의 로우 중 하나의 로우만이 선택된다. 또한, 컬럼 구동회로에는 각 화소로 데이터 신호가 입력된다. 한편, 상기 액티브 매트릭스형은 박막 트랜지스터(Thin Film Transistor, TFT)를 이용해 각 화소 당 입력되는 신호를 제어하는 것으로 방대한 양의 신호를 처리하기에 적합하여 동영상 구현을 위한 디스플레이 장치로서 많이 사용되고 있다.

도 1a에는 통상 사용되는 액티브 매트릭스형 유기 전계 발광 디스플레이 장치의 평면도가, 도 1b에는 도 1a의 선 I-I를 따라 취한 부분 단면도가 도시되어 있다.

도시된 액티브 매트릭스형 유기 전계 발광 디스플레이 장치는 투명한 절연 기판(11) 상에 유기 전계 발광 소자를 포함하는 소정의 디스플레이 영역(20)을 갖고, 메탈 캡과 같은 밀봉 부재(미도시)는 디스플레이 영역(20)을 밀봉하도록 밀봉부(80)에 의해 밀봉된다. 디스플레이 영역(20)은 박막 트랜지스터를 포함한 유기 전계 발광 소자를 통해 복수개의 화소로 구성되며, 디스플레이 영역(20)으로는 복수개의 구동 라인(VDD, 31)들이 배설되는데, 이 구동 라인(31)들은 디스플레이 영역(20) 외측의 구동 전원 배선부(30)를 통해 단자 영역(70)과 연결되어 디스플레이 영역(20)에 구동전원을 공급한다.

도 1b에 도시된 바와 같이, 기판(11)의 일면 상에는 디스플레이 영역(20)을 구성하는 전계 발광부에 전기적 신호를 인가하는 박막 트랜지스터 층(10a)이 형성되고, 그 상부에 전계 발광부를 포함하는 화소층(10c)이 형성되는데, 박막 트랜지스터 층(10a)과 화소층(10c)의 사이에는 절연층(10b)이 개재된다.

박막 트랜지스터 층(10a)과 화소층(10c) 간의 전기적 소통은 절연층(10b)에 형성된 비아홀에서 이루어진다. 도 1c는 도 1b의 도면 부호 "A"로 표기된 부분을 확대한 부분 단면도이다. 드레인 전극(17b)의 상부에는 제 1 절연층(18a)이 형성되고, 그 상부에는 제 2 절연층(18b)이 형성되는데, 각각의 절연층에는 비아홀(18'a,b)이 형성된다.

전면 발광형 전계 발광 디스플레이 장치의 경우, 디스플레이 영역(20, 도 1a 참조)을 구성하는 전계 발광부(19c)에 전기적 신호를 공급하는 제 1 전극층(19a)의 하부에는 반사층(19b)이 형성되는데, 이들은 이중층의 형태로 비아홀까지 연장 형성됨으로써, 박막 트랜지스터 층(10a)의 드레인 전극(17b)과 전기적 소통을 이룬다.

제 1 전극층(19a)이 애노드 전극층으로 사용되는 전면 발광형의 경우, 통상적으로 제 1 전극층(19a)은 일함수가 큰 ITO와 같은 투명 도전성 산화물 재료가 주로 사용되며, 반사층(19b)으로는 Al 또는 AlNd 등과 같은 반사층이 사용되는데, ITO 등으로 구성되는 제 1 전극층과 AlNd 등과 같은 재료로 구성되는 금속성 반사층 간에는, 이들 사이의 계면 산화층에 의한 도전성 저해가 발생되어 드레인 전극(17b)으로부터 전달되는 전기적 신호가 디스플레이 영역의 화소 정의층(19d)에 의해 개방된 영역에 배치되는 전계 발광부에 전달되는 것이 방해됨으로써, 디스플레이 영역의 휘도 저하 내지는 휘도 불균일을 일으킬 수도 있는 등, 화면 품질을 저하시킬 수도 있다.

발명이 이루고자 하는 기술적 과제

본 발명은, 상기와 같은 문제점을 해소하기 위한 것으로, 전압 강하로 인한 휘도 감소 내지 불균일을 해소 시킨 구조의 전계 발광 디스플레이 장치를 제공하는 것이다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명의 일면에 따르면,

기판의 일면 상에 형성된 박막 트랜지스터층;

상기 박막 트랜지스터 층의 일면 상에 형성된 하나 이상의 절연층;

상기 절연층의 상부에 배치되며, 제 1 전극층, 제 2 전극층, 및 이들 사이에 배치되는 전계 발광부를 포함하는 화소층;을 구비하고,

상기 화소층에는:

상기 제 1 전극층 하부에 배치되며, 상기 박막 트랜지스터층의 소스/드레인 전극 중 하나와 직접 접촉하는 반사층을 구비하되,

상기 반사층은, 상기 절연층의 비아홀보다 크기가 작고 이를 통하여 상기 제 1 전극층과 상기 소스/드레인 전극 간에 직접적인 접촉이 발생하는 관통부를 구비하는 것을 특징으로 하는 전계 발광 디스플레이 장치를 제공한다.

상기 본 발명의 전계 발광 디스플레이 장치에 따르면, 상기 관통부를 통하여 상기 제 1 전극층 및 상기 소스/드레인 전극의 접촉 면적은, 상기 반사층 및 상기 소스/드레인 전극의 접촉 면적보다 클 수도 있다.

상기 본 발명의 전계 발광 디스플레이 장치에 따르면, 상기 소스/드레인 전극은 몰리브덴(Mo), 알루미늄(Al) 중 하나 이상의 재료를 구비할 수도 있다.

본 발명의 다른 일면에 따르면,

기판의 일면 상에 형성된 박막 트랜지스터층과; 상기 박막 트랜지스터 층의 일면 상에 형성된 하나 이상의 절연층을 제공하는 단계;

상기 하나 이상의 절연층에 비아홀을 형성하는 단계;

상기 비아홀을 통하여, 상기 박막 트랜지스터층의 소스/드레인 전극 중 하나와 직접 접촉하며 관통부를 구비하는 반사층을 형성하는 단계;

상기 관통부를 통하여 상기 소스/드레인 전극과 직접 접촉하도록 상기 반사층 상부에 형성되는 제 1 전극층과; 전계 발광부와; 제 2 전극층을 구비하는 하나 이상의 화소로 이루어지는 화소층을 형성하는 단계를 포함하는 것을 특징으로 하는 전계 발광 디스플레이 장치 제조 방법을 제공한다.

상기 본 발명의 전계 발광 디스플레이 장치 제조 방법에 따르면, 상기 반사층 형성 단계에서, 상기 관통부는 상기 반사층의 일부로 상기 소스/드레인 전극과 직접 접촉하는 면적보다 큰 면적을 가지도록 형성될 수도 있다.

상기 본 발명의 전계 발광 디스플레이 장치 제조 방법에 따르면,

상기 반사층 형성 단계는:

상기 반사층을 이루는 재료로 전면 형성하는 단계;

상기 전면 형성된 반사층 재료 층을 패터닝하는 단계를 구비하되,

상기 패터닝 단계는 에칭법에 의하여 이루어질 수도 있다.

상기 본 발명의 전계 발광 디스플레이 장치 제조 방법에 따르면,

상기 박막 트랜지스터 층을 제공하는 단계에서,

상기 박막 트랜지스터 층의 소스/드레인 전극은 Al, Mo 중의 적어도 하나를 포함하는 재료로 형성되는 하나 이상의 층으로 제공될 수도 있다.

이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예들에 대하여 보다 상세히 설명한다.

도 2a에는 본 발명의 일 실시예에 따른 유기 전계 발광 디스플레이 장치의 평면도가 개략적으로 도시되어 있다.

도 2a에 도시된 바와 같이, 기판(110)의 일면 상에는 유기 전계 발광 디스플레이 소자와 같은 발광 소자가 배치된 디스플레이 영역(200), 디스플레이 영역(200)의 외측을 따라 도포되어 기판(110)과 밀봉 기판(미도시)을 밀봉시키는 밀봉부(800), 각종 단자들이 배치된 단자 영역을 구비할 수 있는데, 디스플레이 영역을 밀봉하는 밀봉 부재로서 밀봉 기판 이외에도 유기물, 무기물, 및/또는 금속층에 의한 하나 이상의 밀봉층으로 구성될 수도 있는 등, 다양한 변형이 가능하다.

디스플레이 영역(200)과 밀봉부(800)의 사이에는 디스플레이 영역(200)에 구동 전원을 공급하기 위한 구동 전원 공급 라인(300)이 배치된다. 도 2a는 본 발명의 일예로 구동 전원 공급 라인의 배치가 이에 한정되는 것은 아니나, 디스플레이 영역 전체에 걸쳐 균일한 구동 전원을 공급함으로써 휘도 불균일을 개선시킬 수 있다는 점에서, 구동 전원 공급 라인(300)은 디스플레이 영역을 둘러싸도록 형성되는 것이 바람직하다.

구동 전원 공급 라인(300)은 구동 라인(310)과 연결되는데, 구동 라인(310)은 디스플레이 영역(200)을 가로질러 배치되고, 소스 전극(170, 도 2c 참조)과 전기적으로 소통된다.

또한, 디스플레이 영역(200) 외측에는 수직/수평 구동 회로부(500, 600)가 배치된다. 수직 구동 회로부(500)는 디스플레이 영역(200)에 스캔 신호를 인가하는 스캔 구동 회로부가 될 수도 있고, 수평 구동 회로부(600)는 디스플레이 영역(200)에 데이터 신호를 인가하는 데이터 구동 회로부가 될 수도 있으며, 이들은 경우에 따라서 외장 IC나 COG 형태로 밀봉 영역 외부에 배치될 수도 있다.

한편, 디스플레이 영역(200)의 외측에는, 디스플레이 영역(200)에 전극 전원을 공급하는 전극 전원 공급 라인(410)이 배치되는데, 이는 디스플레이 영역(200) 상부에 형성된, 예를 들어 전면 형성된 제 2 전극층과 이들 사이에 형성된 절연층 등의 비아홀(430)등을 통하여 전기적 소통을 이룬다.

구동 전원 공급 라인(300), 전극 전원 공급 라인(410), 수평/수직 구동 회로부(500, 600) 등은 배선 등을 통하여, 이들 각각 구성 요소에 대한 단자들(320, 420, 520, 620)로 구성되며, 밀봉 영역 외측에 배치되는 단자부와 전기적 소통을 이룬다.

디스플레이 영역(200)을 구성하는 유기 전계 발광 소자는, 도 2b 및 도 2c를 참조하여 설명하는데, 설명의 명확화를 위하여 밀봉 기판 내지 밀봉 박막층 등은 생략되었다. 도 2b에는 도 2a의 도면 부호 B로 나타나는, 디스플레이 영역의 일화소가 개략적으로 도시된다. 도 2b에는 두 개의 톱 게이트 형 박막 트랜지스터와 한 개의 커패시터를 구비하는 구조의 일화소가 도시되었는데, 이는 본 발명의 설명을 위한 일예일뿐 본 발명이 이에 한정되는 것은 아니다.

화소의 선택 여부를 결정하는 제 1 박막 트랜지스터(TFT1)의 게이트 전극(55)은 스캔 신호를 인가하는 스캔 라인으로부터 연장된다. 스캔 라인에 스캔 신호와 같은 전기적 신호가 인가되는 경우, 데이터 라인을 통하여 입력되는 데이터 신호가 제 1 박막 트랜지스터(TFT1)의 소스 전극(57a)으로부터, 제 1 박막 트랜지스터(TFT1)의 반도체 활성층(53)을 통하여 제 1 박막 트랜지스터(TFT1)의 드레인 전극(57b)으로 전달된다.

제 1 박막 트랜지스터(TFT1) 드레인 전극(57b)의 연장부(57c)는 커패시터의 제 1 전극(58a)과 연결되고, 커패시터 제 1 전극의 다른 일단은 구동 박막 트랜지스터로서의 제 2 박막 트랜지스터(TFT2)의 게이트 전극(150)을 형성하며, 커패시터의 제 2 전극은 구동 라인(310, 도 2a 참조)과 전기적으로 연결된다.

한편, 도 2c는 도 2b의 선 II-II을 따라 취한 부분 단면도로, 선 II-II의 (a)-(e)로 표시된 부분은 구동 박막 트랜지스터(TFTdr)로서의 제 2 박막 트랜지스터(TFT2)가 배치된 부분의 단면을 도시하고, (e)-(f) 부분은 화소 개구부(190)를 도시하고, (g)-(h)부분은 구동 라인(310, 310a)의 단면을 도시하는데, 명료한 설명을 위하여 밀봉 기관 및/또는 밀봉층과 같은 밀봉 부재는 생략되었다.

도 2c에서, 기관(110)의 일면 상에는 박막 트랜지스터 층(RT)과, 박막 트랜지스터 층(RT)을 보호 내지 평탄화시키기 위한 절연층(179)과, 박막 트랜지스터 층(RT)으로부터의 전기적 신호가 전달되며 제 1 전극층(191), 제 2 전극층(400) 및 이들 사이에 개재되는 유기 전계 발광부를 구비하는 화소층(RP)으로 구비되는데, 이의 자세한 구조는 본 발명에 따른 유기 전계 발광 디스플레이 장치를 제조하는 과정을 도시한 도 3a 내지 도 3d를 참조하여 설명한다.

먼저, 도 3a에 도시된 바와 같이, 기관(110) 상에 차후 형성될 화소층에 전기적 신호를 인가하기 위한 제 2 박막 트랜지스터(TFT2)로서의 박막 트랜지스터 층(RT), 그리고 박막 트랜지스터 층(RT)의 일면 상에 형성된 하나 이상의 층으로 형성된 절연층(179)을 제공한다.

기관(110)의 일면 상에 형성된 버퍼층(120)의 상부에 제 2 박막 트랜지스터(TFT2)의 반도체 활성층(130)이 형성된다. 반도체 활성층(130)은 비정질 실리콘 층으로 구성되거나, 다결정 실리콘 층으로 구성될 수도 있다. 도면에서 자세히 도시되지는 않았으나, 반도체 활성층(130)은 N+ 형 또는 P+ 형의 도펀트 들로 도핑되는 소스 및 드레인 영역과, 채널 영역으로 구성되는데, 반도체 활성층(130)은 유기 반도체로 이루어질 수 있는 등, 다양한 구성이 가능하다.

반도체 활성층(130)의 상부에는 제 2 박막 트랜지스터의 게이트 전극(150)이 배치되는데, 게이트 전극(150)은 인접층과의 밀착성, 적층되는 층의 표면 평탄성 그리고 가공성 등을 고려하여, 예를 들어 MoW, Al/Cu 등과 같은 물질로 형성되는 것이 바람직하나 이에 한정되는 것은 아니다.

게이트 전극(150)과 반도체 활성층(130)의 사이에는 이들을 절연시키기 위한 게이트 절연층(140)이 위치한다. 게이트 전극(150) 및 게이트 절연층(140)의 상부에는 절연층으로서의 중간층(interlayer, 160)이 단일층 및/또는 복수층으로서 형성되고, 그 상부에는 제 2 박막 트랜지스터(TFT2)의 소스/드레인 전극(170a,b)이 형성되는데, 소스/드레인 전극(170a,b)은 몰리브덴(Mo), 알루미늄(Al) 중 하나 이상의 재료를 구비할 수도 있다. 즉, 소스/드레인 전극(170a,b)은 MoW 과 같은 재료로 구성될 수도 있고, Mo/Al과 같이 복수의 층으로 이루어질 수도 있는 등, 다양한 구성을 취할 수 있으며, 반도체 활성층(130)과의 보다 원활한 오믹-컨택(ohmic contact)을 이루기 위하여 추후 열처리될 수 있다.

소스/드레인 전극(170a,b)의 상부에는 하나 이상의 절연층(179)이 형성되는데, 도 3a에서 하부에 형성된 박막 트랜지스터 층을 보호하는 페시베이션 층(180) 및/또는 하부 박막 트랜지스터 층을 평탄화시키기 위한 평탄화 층(181)으로 구성되었다. 페시베이션 층(180)은 SiNx, SiO2 등과 같은 무기물로, 평탄화 층(181)은 예를 들어 BCB(benzocyclobutene) 또는 아크릴(acryl) 등과 같은 유기물 층으로 구성될 수도 있으나, 본 발명이 이에 한정되는 것은 아니다.

절연층(179)을 형성한 후에는, 차후 형성될 제 1 전극층(191)과 박막 트랜지스터 층의 소스/드레인 전극(170a,b)이 전기적 소통을 이룰 수 있도록, 절연층(179)에는 비아홀(180a, 181a)가 형성된다. 도 3b 및 도 3c에는 페시베이션 층(180)과 평탄화 층(181)으로 구성된 절연층(179)이 도시되어 있는데, 이들은 각각의 층이 형성된 후 비아홀 형성 과정을 거치게 된다. 즉, 도 3b에 도시된 바와 같이, 플라즈마 강화 화학 기상 증착(PECVD)법을 통하여 SiNx 등과 같은 무기물을 소스/드레인 전극(170a,b) 및 중간층(160)의 상부에 형성한다. 페시베이션 층(180)이 형성된 후, 드레인 전극(170b)의 대응 위치로 드레인 전극(170b)의 적어도 일부가 노출되도록 제 1 비아홀(180a)이 형성된다. 그런 후, 도 3c에 도시된 바와 같이, 제 1 비아홀(180a)을 포함하여 페시베이션 층(180)의 상부에, 예를 들어 아크릴과 같은 감광성 재료를 이용하여 전면 도포한 후, 포토리소그래피(photolithography)법을 이용하여 제 2 비아홀(181a)을 형성한다.

그런 후, 도 3d에 도시된 바와 같이, 제 2 비아홀(181a)을 포함하여 평탄화 층(181)의 일면 상에 반사층(192)을 형성한다. 반사층(192)으로는 반사도가 우수하고 가공성이 용이한 반사성 재료, 예를 들어 알루미늄(Al), Al-Nd 등과 같은 재료가 사용될 수 있다. 반사층(192)은 반사성 재료로 전면 형성된 후 일정한 패터닝 공정을 거침으로써 원하는 구조로 형성될 수 있다. 반사층(192)이 형성된 후, 그 일면 상에 제 1 전극층(191)이 형성된다.

한편, 반사층(192)은 제 2 비아홀(181a)까지 연장 형성되어, 반사층(192)은 제 2 비아홀(181a)의 하면에 연장 형성된 연장부(192a)를 구비하고, 연장부(192a)에 의하여 둘러싸이는 관통부(192b)를 구비한다. 따라서, 반사층(192)의 상부에 형성되던 비아홀(181a)의 하면까지 연장되는 제 1 전극층(191)은, 반사층(192)에 구비된 관통부(192b)를 통하여 하부의 드레인 전극(170b)과 직접 접촉하게 된다. 여기서, 반사층(192)에 형성된 관통부(192b)의 크기는 적절하게 선택되어야 한다. 즉, 접촉 저항 증대를 방지하기 위하여, 제 1 전극층(191)과 드레인 전극(170b)과의 접촉 면적(Aa)이, 반사층(192)의 연장부(192a)와 드레인 전극(170b) 간의 접촉 면적(Ae)보다 큰 것이 바람직하다. 또한, 반사층(192)에 형성되는 관통부(192b)는 도 3d에서 원형으로 도시되었으나, 이에 국한되는 것은 아니다.

반사층(192)이 형성된 후에는, 도 3e에 도시된 바와 같이, 제 1 전극층(191)의 적어도 일부가 화소 개구부(195)를 이룰 수 있도록, 제 1 전극층(191) 적어도 일부의 상부에는 화소 정의층(193)이 형성되고, 화소 개구부(195)로 제 1 전극층(191)의 일면 상에는 유기 발광층을 포함하는 유기 전계 발광부(194)가 형성된다. 그런 후, 그 상부에는 제 2 전극층(400)이 전면 형성됨으로써, 도 2c에 도시된 바와 같은 구조의 유기 전계 발광 디스플레이 장치를 형성할 수 있다.

유기 전계 발광부(194)는 저분자 또는 고분자 유기막으로 구성될 수 있는데, 저분자 유기막을 사용할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 유기 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양한 재료를 적용할 수 있다. 이들 저분자 유기막은 진공증착의 방법으로 형성된다.

고분자 유기막의 경우에는 대개 홀 수송층(HTL) 및 유기 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이 때, 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수도 있는 등 다양한 구성이 가능하다.

유기 전계 발광부(194)의 일면 상부에는 캐소드 전극으로서의 제 2 전극층(400)이 전면 증착되는데, 제 2 전극층(400)은 이러한 전면 증착 형태에 한정되는 것은 아니고, 또한 전면 발광형의 경우, Al/Ca, ITO, Mg-Ag 등과 같은 재료로 형성될 수도 있고, 단일층이 아닌 복수의 층으로 형성될 수도 있으며, LiF 등과 같은 알칼리 또는 알칼리 토금속 플루오라이드 층이 더 구비될 수도 있는 등, 다양한 유형으로 구성될 수 있다.

실험예

소스/드레인 전극을 5000Å의 두께로 증착 형성 및 패터닝시킨 후, 소스/드레인 전극 상부에 SiNx 1000Å을 플라즈마 강화 화학 기상 증착법을 통하여 증착함으로써 페시베이션 층을 형성하였고, 페시베이션 층에 드레인 전극의 적어도 일부가 노출되도록 제 1 비아홀을 형성하였다. 페시베이션 층 상부에 아크릴을 이용하여 평탄화 층을 형성한 후, 소정의 포토리소그라피법을 이용하여 제 2 비아홀을 형성하였다. 반사층은 AlNd를 재료로 1000Å의 두께로 스퍼터링 증착된 후 패터닝되었다.

- 실험 1(본 발명에 대한 비교예)

본 발명에 대한 비교예가 도 4a 내지 도 4c에 도시되어 있다.

도 4a에서, AlNd로 형성된 반사층(192')은 반사층(192')의 관통부가 비아홀(181')의 외측에 구비되도록 형성되었는데, 드레인 전극(170'b)의 일면 상에 페시베이션 층(180') 및 평탄화 층(181')이 형성된다. 페시베이션 층(180') 및 평탄화 층(181')에는 각각 제 1 비아홀(180'a) 및 제 2 비아홀(181'a)이 형성되어 있다.

도 4b에는 도 4a의 반사층(192')을 패터닝함에 있어 건식 에칭법을 사용한 경우에 구조화된 관통부 외곽을 부분 확대한 도면이고, 도 4c는 도 4b의 도면 부호 "B"를 부분 확대한 도면이다. 건식 에칭법을 사용하여 반사층(192')을 패터닝시킴과

동시에 관봉투(192'b)가 형성되는데, 이 때 관통부(192'b)의 내측을 따라 절연층으로서의 평탄화 층(181')이 오버 에칭되고 및/또는 반사층(192')과 평탄화 층(181') 사이에 굴곡부(182')가 형성되는 것과 같은 오버행(overhang) 현상이 발생하여 반사층(192')보다 작은 두께로 차후 형성되는 제 1 전극층에 대한 충분한 스텝 커버리지(step coverage)를 확보하지 못하게 됨으로써, 제 1 전극층에 인가되는 전기적 신호가 사전 설정된 값과 상이한 값을 가지게 되어 해당 화소, 궁극적으로는 디스플레이 영역에 대한 휘도 불균일 내지 휘도 저하가 유발된다.

또한, 도 4d에는 도 4a의 반사층(192')을 패턴화함에 있어 습식 에칭법을 사용한 경우에 구조화된 비아홀(181'a) 하면을 부분 확대한 단면도가 도시되어 있다. 여기서, 습식 에칭에 의하여 비아홀(181'a) 하면에 노출된 드레인 전극(170'b)이 침식됨으로써 비아홀(181'a)의 측면에 형성된 절연층으로서의 평탄화 층(181')의 하부에 언더 컷(183')이 발생하였다. 이는, 차후 비아홀(181'a)을 포함한 반사층(192')의 일면 상에 제 1 전극층이 형성되는 경우 제 1 전극층의 일부가 개방 형성됨으로써, 해당 화소에 대한 휘도 불균일 내지 휘도 저하를 촉발한다.

- 실험 2(본 발명)

본 발명에 따른 AINd로 형성된 반사층(192)은 연장부(192a)가 비아홀(181a)의 하면에 연장 형성되도록 패턴화되었다. 도 5a에는 습식 에칭법을 사용하여 반사층이 패턴화된 후의 비아홀 하면의 단면이 도시되고, 도 5b에는 건식 에칭법을 사용하여 반사층이 패턴화된 후의 비아홀 하면의 단면이 도시되어 있다.

여기서, 반사층(192)이 비아홀(181a) 하면의 적어도 일부까지 연장 형성됨으로써, 도면에 도시되지는 않았으나, 차후 제 1 전극층이 반사층(192)의 일면 상에 형성될 때, 비아홀(181a)이 시작되는 부분에서의 단차 차이로 인하여 발생 가능한 제 1 전극층의 개방 내지 손상을 방지할 수 있다.

또한, 도 5a 및 도 5b에 도시된 바와 같이, 비아홀(181a) 하면에 반사층(192)의 연장부(192a)가 연장 개재됨으로써, 차후 형성되는 제 1 전극층(191)이 비아홀(181) 인근에서도 충분한 스텝 커버리지를 확보할 수 있었다. 또한, 패턴시 발생 가능한 드레인 전극(170b)의 손상을 최소화시키고 비아홀의 측면에 형성된 절연층으로서의 평탄화 층에 발생 가능한 언더 컷이 방지되어 제 1 전극층(191)의 일부가 개방되는 것이 방지될 수 있었다. 궁극적으로, 충분한 스텝 커버리지를 확보함과 동시에, 일부 제 1 전극층에 개방 영역이 형성되는 것을 방지함으로써, 해당 화소에 발생 가능한 휘도 저하 내지 불균일을 방지할 수 있었다.

상기한 실시예들은 본 발명을 설명하기 위한 일례들로서, 본 발명이 이에 한정되지는 않는다. 즉, 상기 실시예들은 유기 전계 발광 디스플레이 장치에 대하여 기술되었으나, 본 발명의 범위 내에서 무기 전계 발광 디스플레이 장치에도 충분히 적용될 수 있는 등, 반사층이 관통부를 구비하되, 일부가 소스/드레인 전극과 직접적인 전기 소통을 이루는 전계 발광 디스플레이 장치에 대한 사상을 포함하는 범위에서 다양한 변형을 고려할 수 있다.

발명의 효과

상기한 바와 같은 본 발명에 따르면 다음과 같은 효과를 구비할 수 있다.

첫째, 반사층을 구비하는 전계 발광 디스플레이 장치에 있어서, 제 1 전극층과 소스/드레인 전극 간에 직접적으로 전기적 소통을 이루게 함으로써, 박막 트랜지스터 층과 화소층 간 전기적 소통시 발생하는 전압 강하를 줄임으로써, 궁극적으로 디스플레이 영역의 휘도를 개선할 수 있다.

둘째, 반사층을 비아홀 하면의 일부까지 연장시킴으로써, 반사층 패턴화 공정의 종류에 상관없이 비아홀 내측 인근에서의 급격한 단차 및/또는 언더컷을 방지함으로써, 반사층의 일면 상에 형성되는 제 1 전극층의 단선으로 인한 화소 불량 내지 휘도 저하를 방지할 수 있다.

본 발명은 첨부된 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 보호 범위는 첨부된 청구 범위에 의해서만 정해져야 할 것이다.

(57) 청구의 범위

청구항 1.

기관의 일면 상에 형성된 박막 트랜지스터층;

상기 박막 트랜지스터 층의 일면 상에 형성된 하나 이상의 절연층;

상기 절연층의 상부에 배치되며, 제 1 전극층, 제 2 전극층, 및 이들 사이에 배치되는 전계 발광부를 포함하는 화소층;을 구비하고,

상기 화소층에는:

상기 제 1 전극층 하부에 배치되며, 상기 박막 트랜지스터층의 소스/드레인 전극 중 하나와 직접 접촉하는 반사층을 구비 하되,

상기 반사층은, 상기 절연층의 비아홀보다 크기가 작고 이를 통하여 상기 제 1 전극층과 상기 소스/드레인 전극 간에 직접 적인 접촉이 발생하는 관통부를 구비하는 것을 특징으로 하는 전계 발광 디스플레이 장치.

청구항 2.

제 1항에 있어서,

상기 관통부를 통하여 상기 제 1 전극층 및 상기 소스/드레인 전극의 접촉 면적은, 상기 반사층 및 상기 소스/드레인 전극의 접촉 면적보다 큰 것을 특징으로 하는 전계 발광 디스플레이 장치.

청구항 3.

제 1항에 있어서,

상기 소스/드레인 전극은 몰리브덴(Mo), 알루미늄(Al) 중 하나 이상의 재료를 구비하는 것을 특징으로 하는 전계 발광 디스플레이 장치.

청구항 4.

기관의 일면 상에 형성된 박막 트랜지스터층과; 상기 박막 트랜지스터 층의 일면 상에 형성된 하나 이상의 절연층을 제공하는 단계;

상기 하나 이상의 절연층에 비아홀을 형성하는 단계;

상기 비아홀을 통하여, 상기 박막 트랜지스터층의 소스/드레인 전극 중 하나와 직접 접촉하며 관통부를 구비하는 반사층을 형성하는 단계;

상기 관통부를 통하여 상기 소스/드레인 전극과 직접 접촉하도록 상기 반사층 상부에 형성되는 제 1 전극층과; 전계 발광부와; 제 2 전극층을 구비하는 하나 이상의 화소로 이루어지는 화소층을 형성하는 단계를 포함하는 것을 특징으로 하는 전계 발광 디스플레이 장치 제조 방법.

청구항 5.

제 4항에 있어서,

상기 반사층 형성 단계에서, 상기 관통부는 상기 반사층의 일부로 상기 소스/드레인 전극과 직접 접촉하는 면적보다 큰 면적을 가지도록 형성되는 것을 특징으로 하는 전계 발광 디스플레이 제조 방법.

청구항 6.

제 4항에 있어서,

상기 반사층 형성 단계는:

상기 반사층을 이루는 재료로 전면 형성하는 단계;

상기 전면 형성된 반사층 재료 층을 패터닝하는 단계를 구비하되,

상기 패터닝 단계는 에칭법에 의하여 이루어지는 것을 특징으로 하는 전계 발광 디스플레이 장치 제조 방법.

청구항 7.

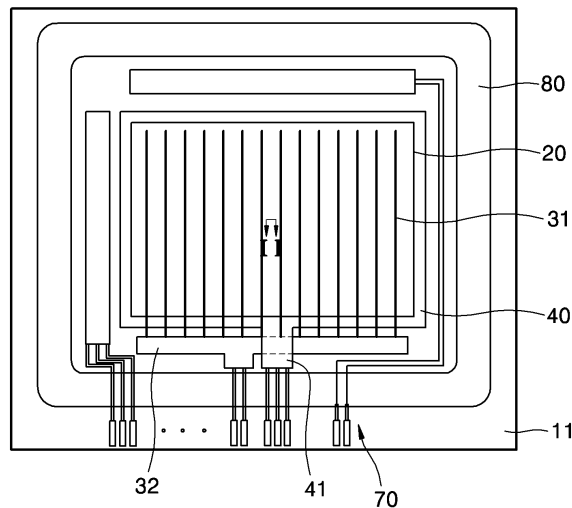
제 4항에 있어서,

상기 박막 트랜지스터 층을 제공하는 단계에서,

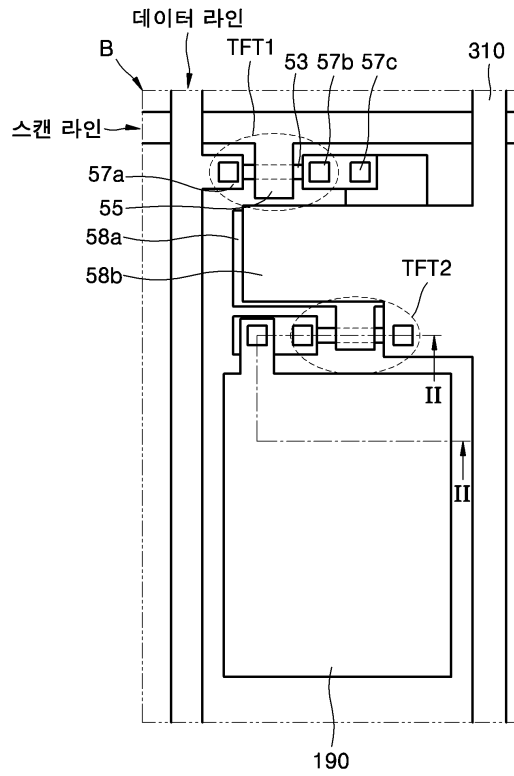
상기 박막 트랜지스터 층의 소스/드레인 전극은 Al, Mo 중의 적어도 하나를 포함하는 재료로 형성되는 하나 이상의 층으로 제공되는 것을 특징으로 하는 전계 발광 디스플레이 장치 제조 방법.

도면

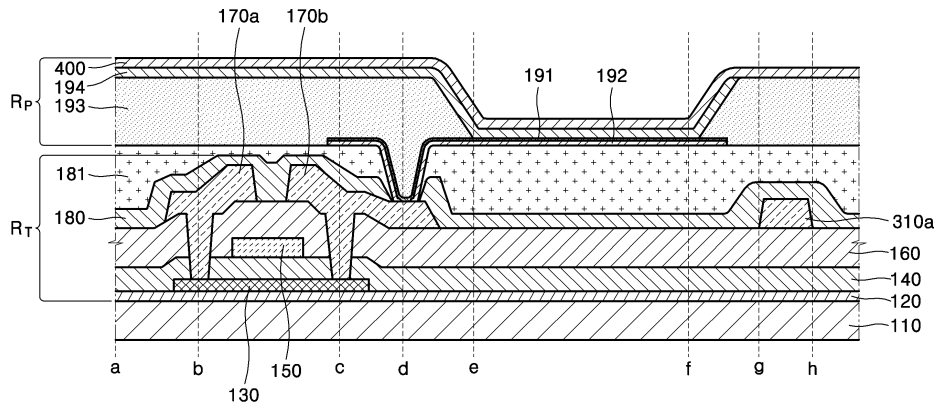
도면1a



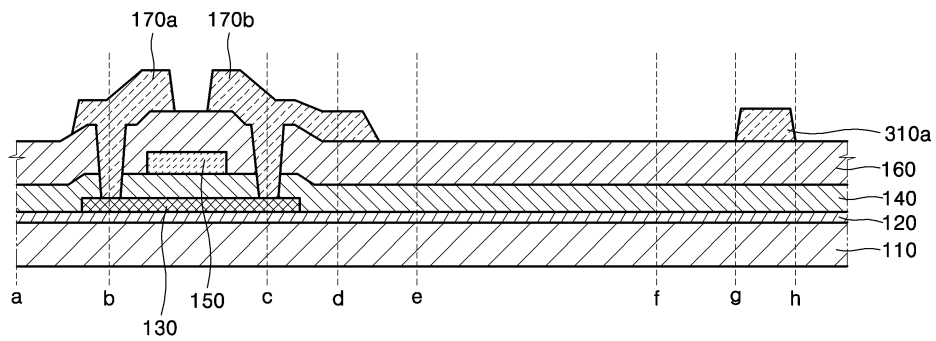
도면2b



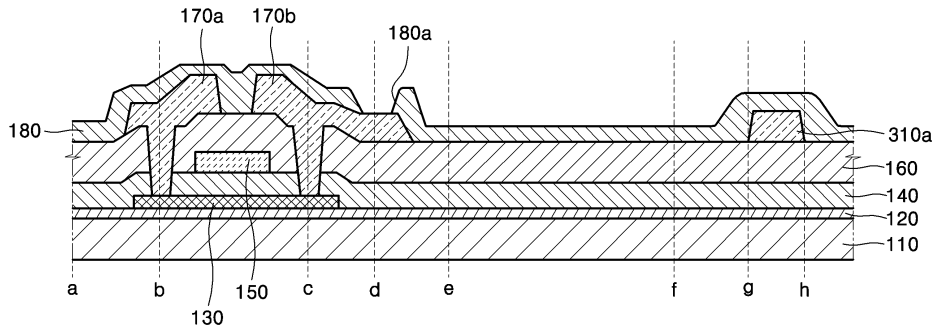
도면2c



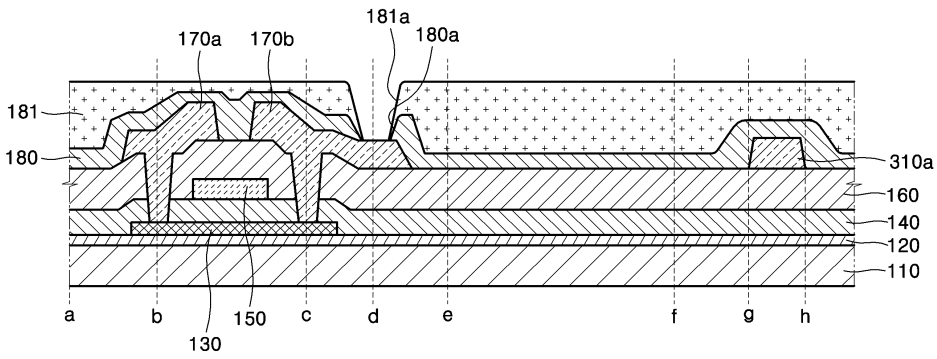
도면3a



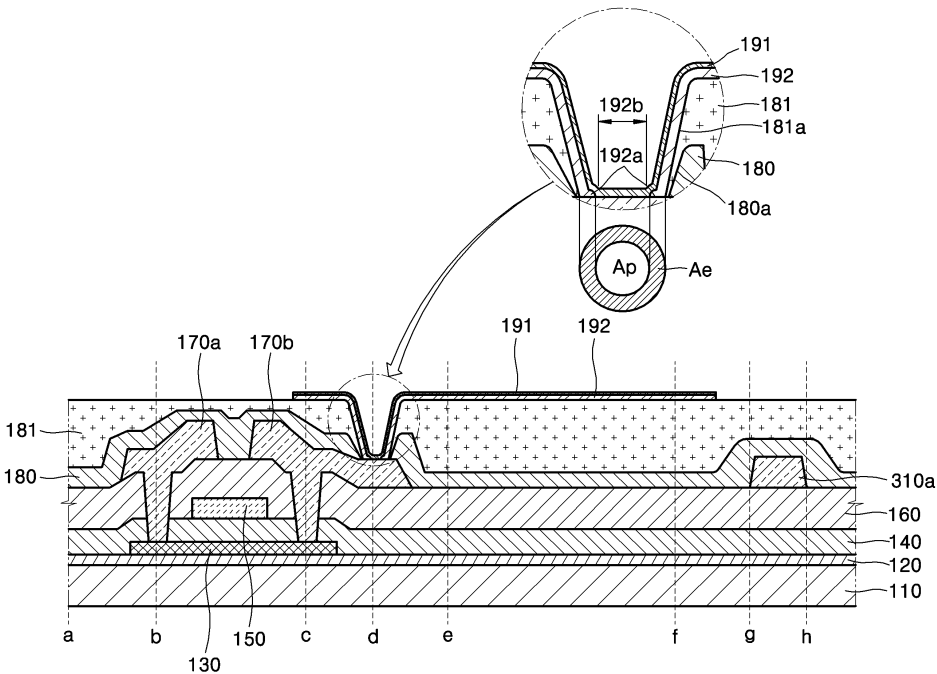
도면3b



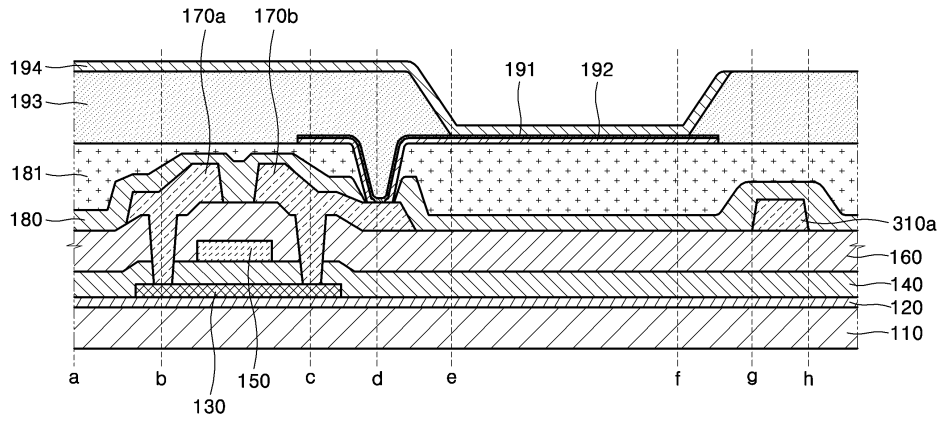
도면3c



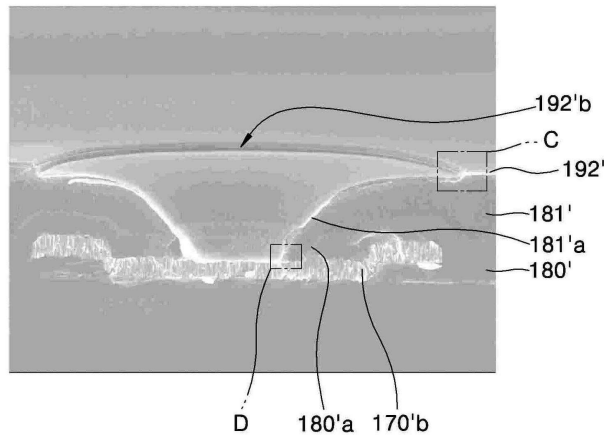
도면3d



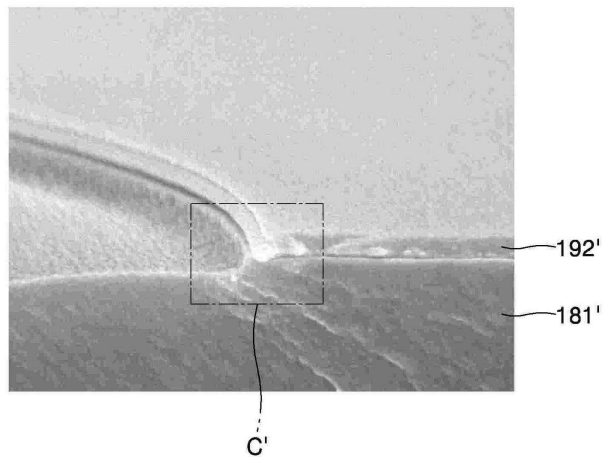
도면3e



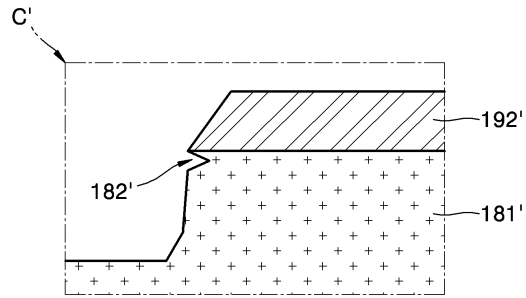
도면4a



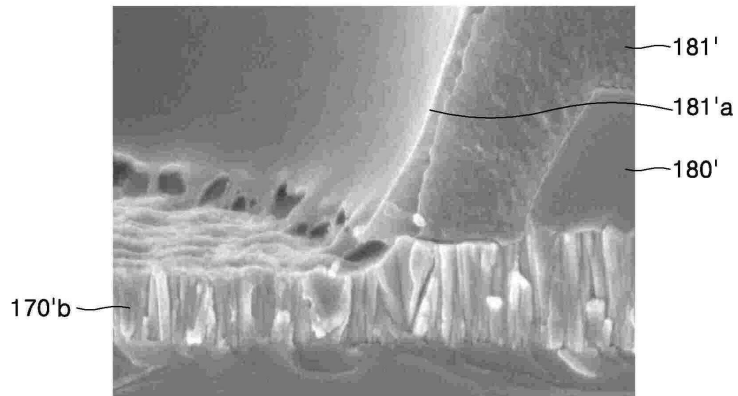
도면4b



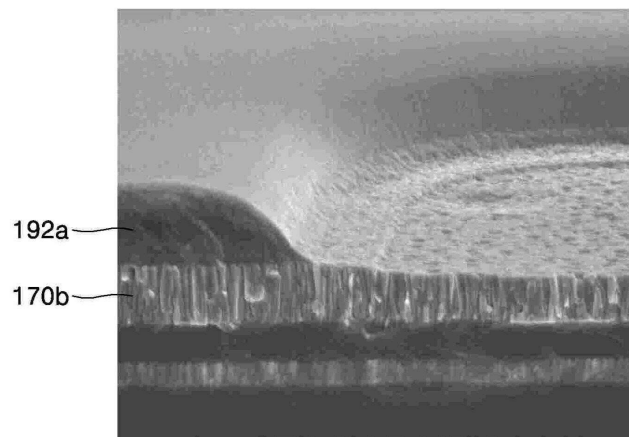
도면4c



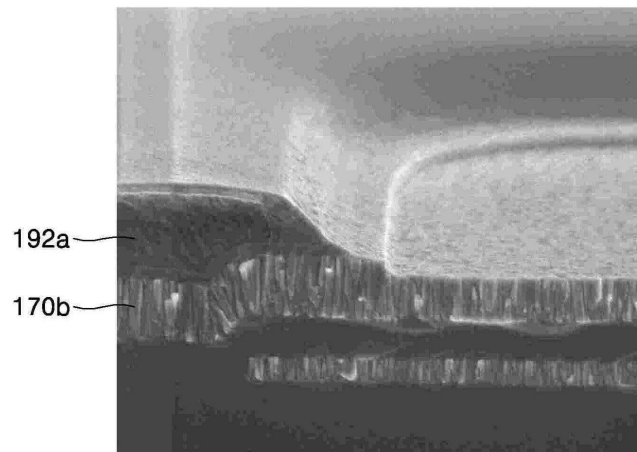
도면4d



도면5a



도면5b



专利名称(译)	电致发光显示装置及其制造方法		
公开(公告)号	KR1020050119891A	公开(公告)日	2005-12-22
申请号	KR1020040045029	申请日	2004-06-17
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KANG TAEWOOK 강태욱 SEO CHANGSU 서창수 PARK MOONHEE 박문희 KANG HOJIN 강호진		
发明人	강태욱 서창수 박문희 강호진		
IPC分类号	H05B33/26 H01L27/32 H05B33/10 H01L51/52 H01L29/04		
CPC分类号	H01L2251/5315 H01L51/5218 H01L27/3248		
代理人(译)	李, 杨HAE		
其他公开文献	KR100615222B1		
外部链接	Espacenet		

摘要(译)

像素层包括像素层，其包括第一电极层，本发明布置在至少一个绝缘层的上部：形成在薄膜晶体管层一侧的绝缘层：形成在薄膜晶体管层一侧的薄膜晶体管层衬底，第二电极层和布置的场发射部分：它布置在第一电极层的下部。并且直接反射层接触包括在薄膜晶体管层的源/漏电极中。反射层提供电致发光显示装置，用于包括尺寸小于绝缘层的通孔的穿透部分，并且在第一电极层和源/漏电极之间产生直接接触。

