

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
H05B 33/22

(11) 공개번호 10-2005-0077371
(43) 공개일자 2005년08월02일

(21) 출원번호 10-2004-0004990
(22) 출원일자 2004년01월27일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 정창용
경기도수원시팔달구영통동1043-8301호
강태욱
경기도성남시분당구분당동(샛별마을)우방아파트302동1103호

(74) 대리인 리엔목특허법인
이해영

심사청구 : 있음

(54) 광투과율을 개선시키는 구조의 유기 전계 발광 디스플레이소자 및 이의 제조 방법

요약

본 발명은, 기관 일면 상부에 형성된, 반도체 활성층, 게이트 절연층, 게이트 전극 그리고 소스 및 드레인 전극을 포함하는 박막 트랜지스터와, 제 1 및 제 2 전극, 상기 제 1 및 제 2 전극 사이에 배치된 유기 전계 발광부를 포함하는 화소부를 구비하는 유기 전계 발광 디스플레이 소자에 있어서, 상기 기관 일표면 상에 형성된 버퍼층과 상기 제 1 전극 사이의 층 중 하나 이상의 층은 상기 유기 전계 발광부에 의해 정의되는 화소 영역에 개구 영역을 구비하되, 상기 화소 영역에 형성된 층들은 밀착 적층되는 것과, 상기 개구 영역이 형성되는 층에는 SiNx를 갖는 층이 하나 이상 포함되는 것을 특징으로 하는 유기 전계 발광 디스플레이 소자 및 이를 제조하는 방법을 제공한다.

대표도

도 2b

명세서

도면의 간단한 설명

도 1a는 종래 기술에 따른 유기 전계 발광 디스플레이 소자의 개략적인 단면도,

도 1b 및 도 1c는 SiNx 층에 관한 두께 균일도와 파장별 광투과율의 균일도를 도시하는 선도,

도 2a 내지 도 2e는 본 발명의 일실시예들에 따른 유기 전계 발광 디스플레이 소자의 개략적인 단면도.

<도면의 주요부분에 대한 부호의 간단한 설명>

201...기관 210...버퍼층

220...반도체 활성층 230...게이트 절연층

240...게이트 전극 250...중간층

260a,b...소스 및 드레인 전극 280...제 1 전극층

291...유기 전계 발광부 295...제 2 전극층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계 발광 디스플레이 소자에 관한 것으로서, 특히 화소 영역에 개방된 구조의 유기 전계 발광 디스플레이 소자 및 이의 제조 방법에 관한 것이다.

화상을 표시하는데 있어, 수많은 종류의 디스플레이 장치가 사용되는데, 근래에는 종래의 브라운관, 즉 CRT(cathode ray tube, 음극선관)를 대체하는 다양한 평판 디스플레이 장치가 사용된다. 이러한 평판 디스플레이 장치는 발광 형태에 따라 자발광형(emissive)과 비자발광형(non-emissive)으로 분류할 수 있다. 자발광형 디스플레이 장치에는 평면 브라운관, 플라즈마 디스플레이 장치(plasma display panel device), 진공 형광 표시 장치(vacuum fluorescent display device), 전계 방출 디스플레이 장치(field emission display device), 유기 전계 발광 디스플레이 소자(organic electroluminescent display device) 등이 있고, 비자발광형 디스플레이 장치에는 액정 디스플레이 장치(liquid crystal display device)가 있다. 그 중에서도, 유기 전계 발광 소자는 백라이트와 같은 별도의 발광 장치 필요없는 자발광형 소자로서, 저 전력 및 고효율 작동이 가능하다는 점에서 근래에 각광을 받고 있는 평면 디스플레이 소자이다.

유기 전계 발광 디스플레이 소자는 유기물 박막에 음극과 양극을 통하여 주입된 전자와 정공(hole)이 재결합하여 여기자(exiton)를 형성하고, 형성된 여기자로부터의 에너지에 의해 특정한 파장의 빛이 발생하는 현상을 이용하는 자발광형 디스플레이 장치이다. 유기 전계 발광 디스플레이 장치는 저전압으로 구동이 가능하고, 경량의 박형이고, 시야각이 넓을 뿐만 아니라, 응답 속도 또한 빠르다는 장점을 구비한다.

이러한 유기 전계 발광 디스플레이 소자의 유기 전계 발광부는 기판 상에 적층식으로 형성되는 양극으로서의 제 1 전극, 유기 발광부, 및 음극으로서의 제 2 전극으로 구성된다. 유기 발광부는 유기 발광층(EML, emitting layer)을 구비하는데, 이 유기 발광층에서 정공과 전자가 재결합하여 여기자를 형성하고 빛이 발생한다. 발광 효율을 보다 높이기 위해서는 정공과 전자를 유기 발광층으로 보다 원활하게 수송하여야 하고, 이를 위해 음극과 유기 발광층 사이에는 전자 수송층(ETL, electron transport layer)이 배치될 수 있고 양극과 유기 발광층 사이에는 정공 수송층(HTL, hole transport layer)이 배치될 수 있으며, 또한 양극과 정공 수송층 사이에 정공 주입층(HIL, hole injection layer)이 배치될 수도 있고, 음극과 전자 수송층 사이에 전자 주입층(EIL, electron injection layer)이 배치될 수도 있다.

한편, 유기 전계 발광 디스플레이 소자는 구동 방식에 따라, 수동 구동형(passive matrix)과 능동 구동형(active matrix)으로 분류될 수 있다. 수동 구동형 유기 전계 발광 디스플레이 소자는 라인-시퀀스 주사법(line-sequential scanning) 또는 정전류 구동법(constant current driving) 등에 의해 제어된다. 이러한 수동 구동형 유기 전계 발광 디스플레이 소자에 있어, 충전연색을 구현하는 경우 전류 밀도의 증가로 인한 소비 전력 증대 및 발광 효율 감소라는 문제점을 수반하기 때문에, 충전연색을 구현함에 있어서는 능동 구동형 유기 전계 발광 디스플레이 소자가 사용된다.

능동 구동형 유기 전계 발광 디스플레이 소자는 다양한 박막 트랜지스터를 사용하는데, 이들은 사용되는 박막 트랜지스터는 적층 순서에 따라, 상부 게이트 구조(top gate 또는 normal staggered)의 박막 트랜지스터와 하부 게이트 구조(bottom gate 또는 inverted staggered)의 박막 트랜지스터로 분류될 수 있다.

도 1a에는 종래 기술에 따른 상부 게이트 구조의 통상적인 박막 트랜지스터를 구비하는 능동 구동형 유기 전계 발광 디스플레이 소자의 개략적인 단면도가 도시되어 있다. 도시된 유기 전계 발광 디스플레이 소자는, 기판(101)의 일면에는 버퍼층(110)이 형성되고, 그 상부에는 반도체 활성층(120; 소스 및 드레인 영역, 채널 영역, 120a,b,c), 게이트 절연층(130), 게이트 전극(140), 중간층(150), 소스 및 드레인 전극(160a,b) 등으로 구성된 박막 트랜지스터와, 박막 트랜지스터의 일면

상에 형성된 페시베이션 층(170), 양극으로서의 제 1 전극층(180), 화소 정의 층(190), 유기 전계 발광부(191) 및 제 2 전극층(195)으로 구성되는 화소부를 구비한다. 화소부의 일측으로 제 1 전극층(180)의 상부에는 화소 영역이 형성되는데, 제 1 전극층(180)과 제 2 전극층(195)의 작용에 의해 사이에 배치된 유기 전계 발광부(191)로부터 빛이 화소 영역으로부터 방출된다. 그런데, 화소 영역으로 제 1 전극층(180)의 하부에는 페시베이션 층(170), 중간층(150) 및 게이트 절연층(130)이 형성되어 있다.

도시된 화소 영역으로 제 1 전극층(180)의 하부에는 다양한 층들이 존재하는데, 유기 전계 발광부(191)로부터 방출된 빛이 이들 층을 거치는 동안 광투과율이 상당히 저하된다.

이러한 문제점을 해결하기 위한 일 방안으로, 특허 공개 공보 제2003-85239호에는 화소 영역을 완전 노출시켜 제 1 전극을 기판의 일면 상에 밀착시킨 구조를 취하는 방안을 개시하고 있다. 여기에서는, 화소 영역의 제 1 전극 층 이하에 배치된 모든 층을 제거하여 추출 효율을 증대시키려는데 목적이 있다.

하지만, 이러한 방식은 제 1 전극 이하의 모든 층을 제거함에 있어 별도의 마스크 패턴화 공정이 요구되어, 공정적인 부담이 증가되고 불량률이 추가적으로 발생하여 제품의 수율에도 나쁜 영향을 줄 수 있다. 또한 모든 층을 제거할 경우 제거되는 막의 두께가 1 μ m를 초과할 수도 있어 제 1 전극의 스텝 커버리지(step coverage)에 심각한 문제를 야기할 수도 있다. 뿐만 아니라, 반도체 활성층을 형성하기에 앞서 패턴화가 이루어진다는 점에서, 차후 반도체 활성층을 형성하는 경우 원치 않는 불순물의 유입을 초래하여 박막 트랜지스터, 궁극적으로는 유기 전계 발광 디스플레이 소자의 제조 상의 치명적인 결함을 수반할 수도 있다는 문제점을 야기할 수도 있다.

한편, 화소 영역의 제 1 전극 이하의 층은 주로 SiO₂ 또는 SiN_x로 이루어진 층들로 구성되는데, SiO₂로 구성된 층은 표면 균일도에 있어 편차가 상당히 미미하여 빛의 파장별 광투과율 차이도 상당히 미미하다. 하지만, SiN_x로 구성된 층의 경우에는 SiO₂로 구성된 층의 경우와 다르다. 도 1b에는 SiN_x로 구성된 층에 대한 표면 균일도를 알 수 있는 두께 균일도(막 두께 분포)가 도시되어 있다. 목표 두께가 6000Å로 설정된 층의 경우, 최고 6271Å에서 최소 5606Å이며, 평균 두께는 5966Å으로서 최고 및 최소 두께에 대하여 각각 5% 내지 6%의 두께 차이, 즉 표면 균일도 차이를 나타낸다. 이러한 표면 불균일은 표면에 대한 광투과율의 불균일을 초래한다. SiN_x 층에서의 파장별 광투과율 균일도는 도 1c에 도시되어 있는데, SiN_x 층에서의 광투과율 균일도가 파장별로 상당한 편차를 나타낸다는 것을 알 수 있다. 뿐만 아니라, SiO₂ 층은 자체적인 색을 구비하지 않는 반면, SiN_x 층은 자체적인 색을 구비하므로, SiN_x 층을 투과한 빛에서는 색좌표 전이도 유발된다. 즉, 유기 전계 발광 디스플레이 소자에 있어서, 화소 영역의 제 1 전극층 하부에 배치된 층 중 화면 품질을 저하시키는 원인은 SiN_x를 포함하는 층이라는 것을 알 수 있다. 따라서, 주원인 층 이외의 다른 층을 제거함에 있어, 불필요한 공정의 추가로 인한 공정 시간 및 공정 설비의 증대로 인하여 생산 단가가 상당히 증가함과 아울러, 상기한 바와 같이 불필요한 공정으로 인하여 반도체 활성층을 형성함에 있어 불량률을 증대시킬 수도 있다.

발명이 이루고자 하는 기술적 과제

본 발명은, 불필요한 공정을 거치지 않고 간단한 공정을 통하여 원하는 광투과율을 구비하는 유기 전계 발광 디스플레이 소자 및 이를 제조하는 방법을 제공함을 목적으로 한다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명의 일면에 따르면, 기판 일면 상부에 형성된, 반도체 활성층, 게이트 절연층, 게이트 전극 그리고 소스 및 드레인 전극을 포함하는 박막 트랜지스터와, 제 1 및 제 2 전극, 상기 제 1 및 제 2 전극 사이에 배치된 유기 전계 발광부를 포함하는 화소부를 구비하는 유기 전계 발광 디스플레이 소자에 있어서, 상기 기판 일표면 상에 형성된 버퍼층과 상기 제 1 전극 사이의 층 중 하나 이상의 층은 상기 유기 전계 발광부에 의해 정의되는 화소 영역에 개구 영역을 구비하되, 상기 화소 영역에 형성된 층들은 밀착 적층되는 것과, 상기 개구 영역이 형성되는 층에는 SiN_x를 갖는 층이 하나 이상 포함되는 것을 특징으로 하는 유기 전계 발광 디스플레이 소자를 제공한다.

본 발명의 다른 일면에 따르면, 상기 게이트 절연층은 상기 버퍼층의 일면 상에 형성되고, 상기 개구 영역이 형성되고 SiN_x를 갖는 층에는 상기 게이트 절연층이 포함되는 것을 특징으로 하는 유기 전계 발광 디스플레이 소자를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 게이트 전극과 상기 소스 및 드레인 전극 사이에는 중간층이 구비되고, 상기 개구 영역이 형성되고 SiN_x를 갖는 층에는 상기 중간층이 포함되는 것을 특징으로 하는 유기 전계 발광 디스플레이 소자를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 소스 및 드레인 전극 상에는 보호층이 구비되고, 상기 개구 영역이 형성되고 SiNx를 갖는 층에는 상기 보호층이 포함되는 것을 특징으로 하는 유기 전계 발광 디스플레이 소자를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 제 1 전극의 하부 층 중 하나 이상을 이중층으로 구성하되, 상기 이중층 중의 적어도 한 층은 상기 개구 영역이 형성되고 SiNx를 갖는 층인 것을 특징으로 하는 유기 전계 발광 디스플레이 소자를 제공한다.

본 발명의 또 다른 일면에 따르면, 기판 일면 상에 형성된, 반도체 활성층, 게이트 절연층, 게이트 전극 그리고 소스 및 드레인 전극을 포함하는 박막 트랜지스터와, 제 1 및 제 2 전극과 이들 사이에 배치된 유기 전계 발광부를 포함하는 화소부를 구비하는 유기 전계 발광 디스플레이 소자 제조 방법에 있어서, 상기 유기 전계 발광부에 의해 정의되는 화소 영역으로, 상기 기판의 일면 상에 형성된 버퍼층과 상기 제 1 전극 사이의 층 중 하나 이상의 층에 개구 영역을 형성하는 단계를 더 구비하는 것과, 상기 개구 영역이 형성되는 층에는 SiNx를 갖는 층이 하나 이상 포함되는 것과, 상기 개구 영역을 형성하는 단계는 개개의 층에 콘택홀을 형성하는 단계와 동시에 이루어지는 것을 특징으로 하는 유기 전계 발광 디스플레이 소자 제조 방법을 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 개구 영역을 형성하는 단계는, 상기 버퍼층 상에 형성된 게이트 절연층, 상기 게이트 전극 상에 형성된 중간층, 및 상기 소스 및 드레인 전극 상에 형성된 보호층 중의 하나 이상의 층에서 실행되는 것을 특징으로 하는 유기 전계 발광 디스플레이 소자 제조 방법을 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 버퍼층과 상기 제 1 전극 사이의 층 중 하나 이상의 층은 적어도 하나의 층이 SiNx를 갖는 이중층으로 구성되고, 상기 개구 영역을 형성하는 단계는 상기 SiNx를 갖는 하나 이상의 이중층에서 실행되는 것을 특징으로 하는 유기 전계 발광 디스플레이 소자 제조 방법을 제공한다.

이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예들에 대하여 보다 상세히 설명한다.

도 2a 및 도 2b에는 본 발명의 일 실시예에 따른 유기 전계 발광 디스플레이 소자 제조 과정을 나타내는 개략적인 단면도가 도시되어 있다. 도 2a에서 기판(201)의 일면 상에는 먼저 버퍼층(210)이 형성된다. 버퍼층(210)은 통상적인 방법, 예를 들어 PECVD법 등을 통하여 SiO₂ 등으로 형성된다. 버퍼층(210)의 일면 상에는 반도체 활성층(220)이 형성되는데, 반도체 활성층(220)은 예를 들어 n+ 도핑에 의해 형성되는 소스 및 드레인 영역(220a,b)과 채널 영역(220c)으로 구성된다. 반도체 활성층(220)은 비정질 실리콘층(a-Si:H)로 구성될 수도 있고, 다결정 실리콘 층으로 형성될 수도 있으며, 특히 다결정 실리콘 층의 경우 반도체 활성층은 다결정 실리콘을 직접 증착함으로써 형성될 수도 있고, 비정질 실리콘 층을 다결정화시킴으로써 형성될 수도 있다.

반도체 활성층(220)의 일면 상에는 추후 형성되는 게이트 전극(240)과의 절연을 위한 게이트 절연층(230)이 형성되고, 그 상부로 반도체 활성층(220)의 채널 영역(220c)에 대응하는 위치에 게이트 전극(240)이 형성된다. 게이트 전극(240)을 구성하는 물질은, 차후 상부에 형성되는 층의 균일성을 고려한 표면 평탄성과 후속 공정으로 인한 화학적 분위기(chemical environment)에 대한 내성을 고려하여 선택되어야 하는데, 예를 들어 MoW 또는 AlNd 등의 합금 등으로 이루어질 수 있다.

게이트 전극(240)의 일면 상에는 하부 층들을 보호 및 전기적 절연을 위한 중간층(250)이 형성된다. 중간층(250)이 형성된 후, 차후에 형성되는 소스 및 드레인 전극(260a,b)과 반도체 활성층(220)의 전기적인 소통을 위한 콘택홀(250a,b)이 형성된다. 게이트 절연층(230) 및/또는 중간층(250)이 SiNx를 갖는 층으로 형성되는 경우 도 2a에 도시된 바와 같이, 게이트 절연층(230) 및/또는 중간층(250)으로서 화소 영역에 해당하는 영역이 콘택홀(250a,b) 형성과 동시에 제거될 수 있다. 그런 후, 소스 및 드레인 전극(260a,b)의 일면 상에는 페시베이션 층(보호층, 270)이 더 구비될 수도 있다. 경우에 따라서는 페시베이션 층(270)이 더 구비될 수 있는데, 페시베이션 층(270)에는 콘택홀이 형성되고, 상부에 제 1 전극층(280)이 형성되는데, 제 1 전극층(280)은 콘택홀을 통하여 드레인 전극(260b)과 전기적으로 접촉한다. 한편, 페시베이션 층(270)은 외부 물리적인 손상이나 화학적 오염으로부터 하부에 형성된 층을 보호하도록 층 구조를 치밀하게 하기 위하여 SiNx를 갖는 층으로 구성될 수도 있다. 이 경우, 도 2b에 도시된 바와 같이 페시베이션 층(270)으로서 화소 영역에 해당하는 영역이 제거될 수도 있다.

게이트 절연층(230) 및/또는 중간층(250), 그리고 페시베이션 층(270)이 모두 SiNx로 구성되고, 도 2b에 도시된 바와 같이 이들 층의 화소 영역에 개구 영역이 형성된다면 화소 영역에 해당하는 제 1 전극층(280)의 일면은 버퍼층(210)의 일면

과 접하게 된다. 그런 후, 도 2b에 도시된 바와 같이, 페시베이션 층(270)과 제 1 전극층(28)의 적어도 일부분 상에는 화소 영역을 정의하고 평탄화 층을 형성하기 위한 화소 정의 층(29)이 형성된다. 그런 후, 화소 영역으로 제 1 전극층(280)의 상부에는 유기 전계 발광부(291)가 형성되고, 화소 정의 층(290) 및 유기 전계 발광부(291)의 상부에는 음극으로서의 제 2 전극(295)이 형성된다.

본 발명의 또 다른 실시예에 따르면, 도 2c에 도시된 바와 같이 보다 단순화된 공정을 위하여, 페시베이션 층(270)만이 SiNx 로 구성되고, 페시베이션 층에 콘택홀이 형성됨과 동시에 페시베이션 층(270)의 화소 영역에 개구 영역이 형성된다면 화소 영역에 해당하는 제 1 전극층(280)의 일면은 중간층(250)의 일면과 접하게 된다.

또 한편, 각각의 층들은 어느 한 구성 요소로 구성된 단일층에 국한되지는 않는다. 예를 들어 도 2d에 도시된 바와 같이, 게이트 절연층(230)이 이중층(230a,b)으로 구성될 수도 있다. 즉, 반도체 활성층(220)의 일면 상에는 SiO_2 로 구성되는 제 1 게이트 절연층(230a)이 형성되고, 그 상부에 SiNx 로 구성되는 제 2 게이트 절연층(230b)이 형성될 수도 있다. 소스 및 드레인 전극(260a,b)과 반도체 활성층(220)의 전기적 소통을 위한 콘택홀이 형성되는 경우 이와 동시에, 게이트 절연층(230)의 화소 영역에 개구 영역이 형성될 수도 있다. 즉, 제 1 전극층(280)의 일면은 버퍼층(210)의 일면(페시베이션 층도 제거되는 경우)과 접하게 된다.

본 발명에 따른 상기 실시예들은 본 발명을 설명하기 위한 것으로, 본 발명의 범위가 이에 한정되는 것은 아니고, 버퍼층과 제 1 전극 사이의 층 중 하나 이상의 층의 화소 영역에 개구 영역을 구비하되, 개구 영역이 형성되는 층이 SiNx 를 갖는 층을 하나 이상 포함하는 범위에서 다양한 변형 실시예가 이루어질 수 있다. 예를 들어, 게이트 절연층(230) 및 중간층(250)이 SiNx 로 구성되어 콘택홀 형성과 동시에 화소 영역에 개구 영역이 형성되고 페시베이션 층(280)에는 개구 영역이 형성되지 않아 페시베이션 층(280)의 일면이 버퍼층(210)의 일면과 접하게 되는 도 2e에 도시된 바와 같이, 본 발명에 따른 다양한 실시예가 구현될 수 있다.

발명의 효과

상기한 바와 같은 본 발명에 따르면, 종래의 기술보다 단순화된 공정으로, 종래 기술로부터 문제되었던 반도체 활성층에 불순물이 유입되는 문제점을 해결하도록, 화소 영역의 하부, 특히 SiNx 를 갖는 층에 개구 영역이 형성된 유기 전계 발광 디스플레이 소자를 제공할 수 있다.

또한, 단순화된 공정을 통하여 보다 절감된 생산 원가로 원하는 광투과율을 구비하는 유기 전계 발광 디스플레이 소자를 제공할 수도 있다.

본 발명은 첨부된 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 보호 범위는 첨부된 청구 범위에 의해서만 정해져야 할 것이다.

(57) 청구의 범위

청구항 1.

기관 일면 상부에 형성된, 반도체 활성층, 게이트 절연층, 게이트 전극 그리고 소스 및 드레인 전극을 포함하는 박막 트랜지스터와;

제 1 및 제 2 전극, 상기 제 1 및 제 2 전극 사이에 배치된 유기 전계 발광부를 포함하는 화소부를 구비하는 유기 전계 발광 디스플레이 소자에 있어서,

상기 기관 일표면 상에 형성된 버퍼층과 상기 제 1 전극 사이의 층 중 하나 이상의 층은 상기 유기 전계 발광부에 의해 정의되는 화소 영역에 개구 영역을 구비하되, 상기 화소 영역에 형성된 층들은 밀착 적층되는 것과, 상기 개구 영역이 형성되는 층에는 SiNx 를 갖는 층이 하나 이상 포함되는 것을 특징으로 하는 유기 전계 발광 디스플레이 소자.

청구항 2.

제 1항에 있어서, 상기 게이트 절연층은 상기 버퍼층의 일면 상에 형성되고, 상기 개구 영역이 형성되고 SiNx를 갖는 층에는 상기 게이트 절연층이 포함되는 것을 특징으로 하는 유기 전계 발광 디스플레이 소자.

청구항 3.

제 1항에 있어서, 상기 게이트 전극과 상기 소스 및 드레인 전극 사이에는 중간층이 구비되고, 상기 개구 영역이 형성되고 SiNx를 갖는 층에는 상기 중간층이 포함되는 것을 특징으로 하는 유기 전계 발광 디스플레이 소자.

청구항 4.

제 1항에 있어서, 상기 소스 및 드레인 전극 상에는 보호층이 구비되고, 상기 개구 영역이 형성되고 SiNx를 갖는 층에는 상기 보호층이 포함되는 것을 특징으로 하는 유기 전계 발광 디스플레이 소자.

청구항 5.

제 1항 내지 제 4항 중의 어느 한 항에 있어서, 상기 제 1 전극의 하부 층 중 하나 이상을 이중층으로 구성하되, 상기 이중 층 중의 적어도 한 층은 상기 개구 영역이 형성되고 SiNx를 갖는 층인 것을 특징으로 하는 유기 전계 발광 디스플레이 소자.

청구항 6.

기관 일면 상에 형성된, 반도체 활성층, 게이트 절연층, 게이트 전극 그리고 소스 및 드레인 전극을 포함하는 박막 트랜지스터와, 제 1 및 제 2 전극과 이들 사이에 배치된 유기 전계 발광부를 포함하는 화소부를 구비하는 유기 전계 발광 디스플레이 소자 제조 방법에 있어서,

상기 유기 전계 발광부에 의해 정의되는 화소 영역으로, 상기 기관의 일면 상에 형성된 버퍼층과 상기 제 1 전극 사이의 층 중 하나 이상의 층에 개구 영역을 형성하는 단계를 더 구비하는 것과,

상기 개구 영역이 형성되는 층에는 SiNx를 갖는 층이 하나 이상 포함되는 것과,

상기 개구 영역을 형성하는 단계는 개개의 층에 콘택홀을 형성하는 단계와 동시에 이루어지는 것을 특징으로 하는 유기 전계 발광 디스플레이 소자 제조 방법.

청구항 7.

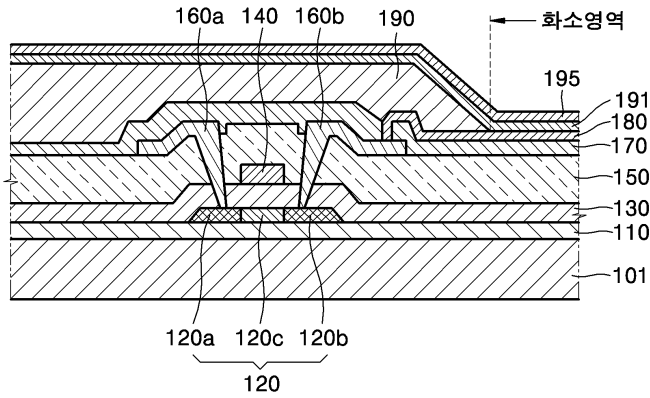
제 6항에 있어서, 상기 개구 영역을 형성하는 단계는, 상기 버퍼층 상에 형성된 게이트 절연층, 상기 게이트 전극 상에 형성된 중간층, 및 상기 소스 및 드레인 전극 상에 형성된 보호층 중의 하나 이상의 층에서 실행되는 것을 특징으로 하는 유기 전계 발광 디스플레이 소자 제조 방법.

청구항 8.

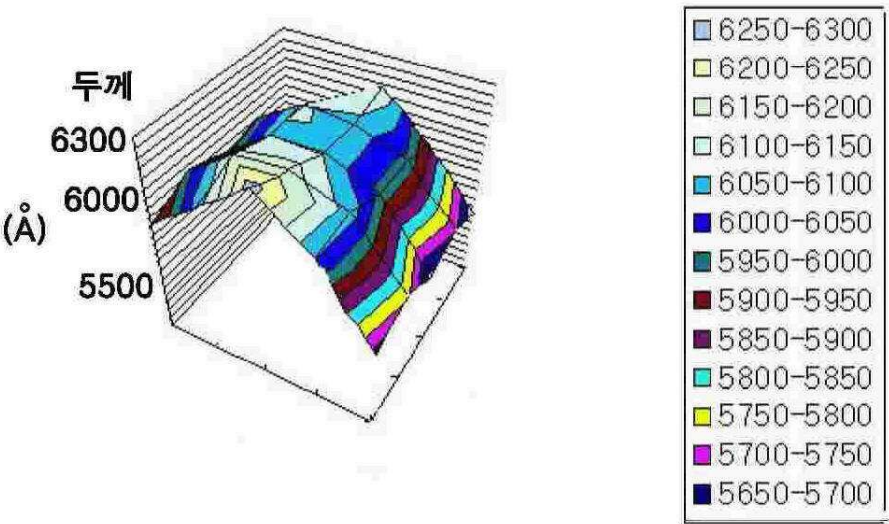
제 6항에 있어서, 상기 버퍼층과 상기 제 1 전극 사이의 층 중 하나 이상의 층은 적어도 하나의 층이 SiNx를 갖는 이중층으로 구성되고, 상기 개구 영역을 형성하는 단계는 상기 SiNx를 갖는 하나 이상의 이중층에서 실행되는 것을 특징으로 하는 유기 전계 발광 디스플레이 소자 제조 방법.

도면

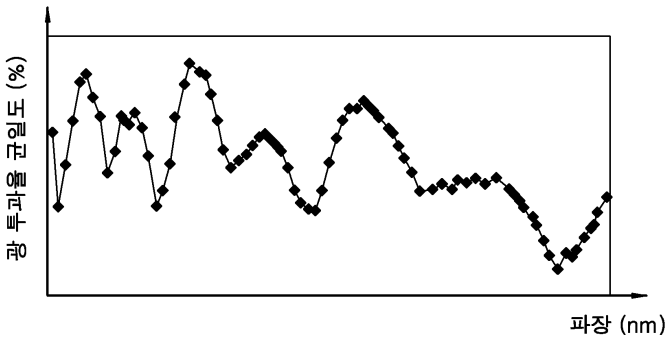
도면1a



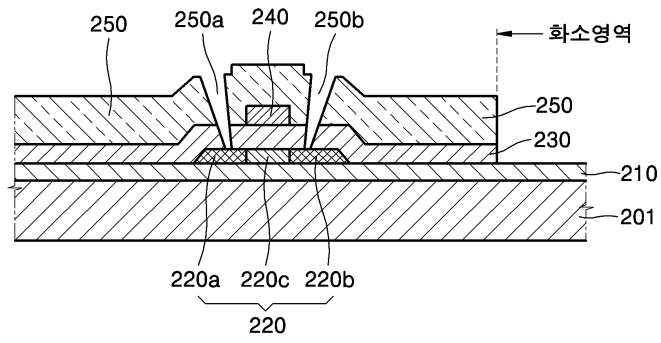
도면1b



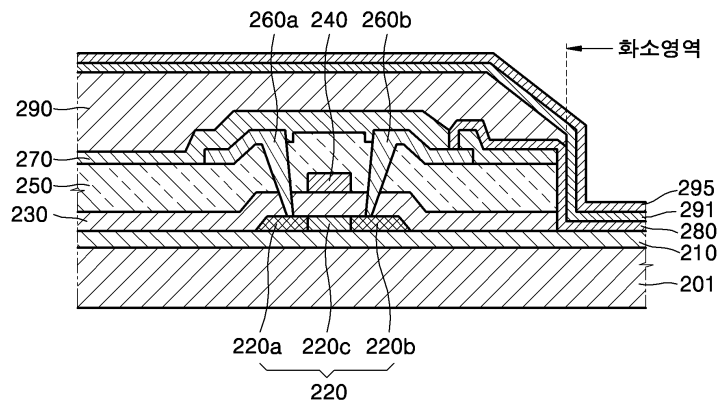
도면1c



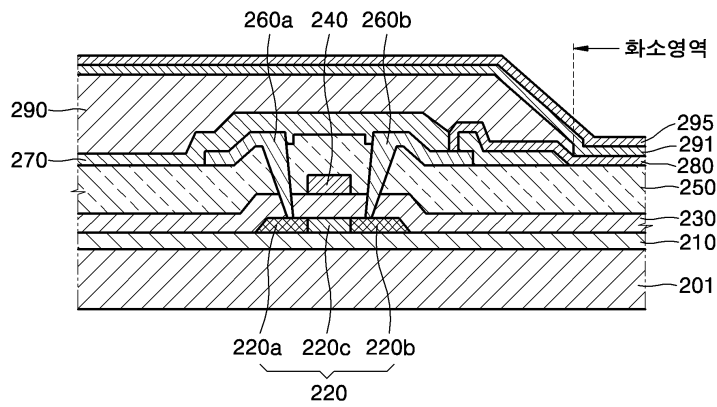
도면2a



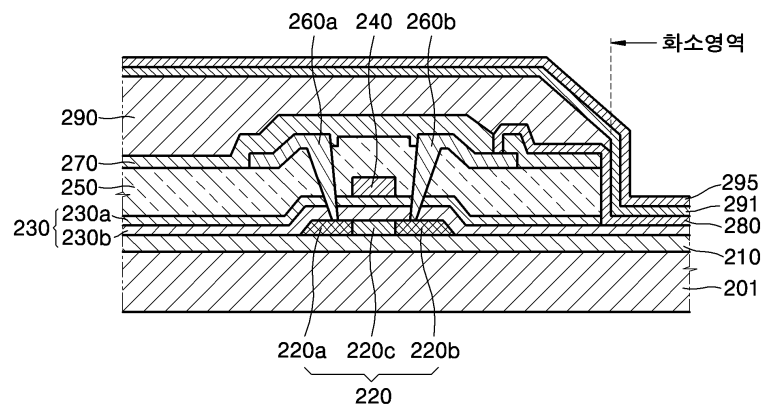
도면2b



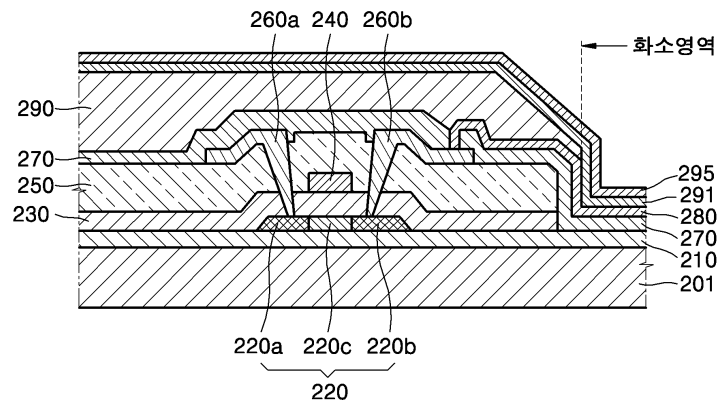
도면2c



도면2d



도면2e



专利名称(译)	具有提高透光率的结构有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020050077371A	公开(公告)日	2005-08-02
申请号	KR1020040004990	申请日	2004-01-27
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	JEONG CHANGYONG 정창용 KANG TAEWOOK 강태욱		
发明人	정창용 강태욱		
IPC分类号	H01L27/12 H01L51/52 H01L27/32 H05B33/22		
CPC分类号	H01L27/1248 H01L27/1237 H01L51/5262 H01L27/3244		
代理人(译)	李海 - 杨		
其他公开文献	KR100615205B1		
外部链接	Espacenet		

摘要(译)

本发明的薄膜晶体管，包括：半导体活性层，栅极绝缘层，栅电极以及形成在基板的一个表面上的源极和漏极；以及第一电极和第二电极，有机物位于第一电极和第二电极之间。一种有机电致发光显示装置，其具有包括电致发光部分的像素部分，其中，在基板的一个表面上形成的缓冲层与第一电极之间的层中的至少一层在由有机电致发光部分限定的像素区域中。提供了一种有机电致发光显示装置及其制造方法，该有机电致发光显示装置包括在像素区域中形成的层，在像素区域中形成的层以及具有SiNx的一个或多个层。提供。图2b

