(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
H05B 33/08

(11) 공개번호 특2003-0069668
(43) 공개일자 2003년08월27일

(21) 출원번호 10-2002-0009590
(22) 출원일자 2002년02월22일

(71) 출원인 삼성전자주식회사
경기도 수원시 팔달구 매탄3동 416번지

(72) 발명자 최범락
서울특별시강남구대치1동삼성아파트112-508

최준후
서울특별시서대문구영천동삼호아파트108동303호

채종철
서울특별시마포구신공덕동삼성아파트102동1004호

(74) 대리인 박영우

심사청구 : 없음

(54) 액티브 매트릭스형 유기전계발광 표시장치 및 그 제조방법

요약

액티브 매트릭스형 유기전계발광 표시장치 및 그 제조방법이 개시되어 있다. 단위 화소 영역 내에 서로 다른 기능을 갖는 적어도 두 개의 캐패시터가 배치되고, 적어도 두 개의 캐패시터는 수직 방향으로 적층되어 형성된다. 화소당 서로 다른 기능을 갖는 두 개 이상의 캐패시터를 필요로 하는 보상 회로를 적용할 때 상기 두 개 이상의 캐패시터를 수직 방향으로 적층시킴으로써, 화소 내 캐패시터 개수의 증가에 따른 개구율 저하를 방지할 수 있다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래의 액티브 매트릭스형 유기전계발광 표시장치의 회로도이다.

도 2는 본 발명에 의한 액티브 매트릭스형 유기전계발광 표시장치의 평면도이다.

도 3은 도 2에 도시한 액티브 매트릭스형 유기전계발광 표시장치의 등가 회로도이다.

도 4는 도 2의 A-A'선에 따른 유기전계발광 표시장치의 단면도이다.

도 5a 내지 도 5e는 도 4에 도시한 유기전계발광 표시장치의 제조방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명〉

100 : 기판 101 : 차단막

102, 103 : 버퍼층 105, 106, 107 : 액티브 패턴

108 : 제1 전극 109 : 게이트 절연막

110, 111, 112 : 게이트 전극 113 : 제2 전극

114 : 층간 절연막 115, 116, 117, 118, 119, 120 : 콘택홀

122, 125, 127 : 소오스 전극 123, 124, 126 : 드레인 전극

128 : 제3 전극 130 : 보호막

132 : 비어홀 134 : 화소 전극

135 : 제4 전극 136 : 유기 절연막

137 : 개구부 138 : 정공 수송층

140 : 발광층 142 : 전자 수송층

144 : 음극 전극 EL : 유기전계발광 소자

GL1, GL2 : 게이트 라인 DL : 데이터 라인

T1, T2, T3 : 박막 트랜지스터 C1, C2 : 캐패시터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스형 유기전계발광 표시장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 화소당 두 개 이상의 캐패시터를 필요로 하는 보상 회로들을 적용할 때 개구율 저하를 방지할 수 있는 액티브 매트릭스형 유기전계발광 표시장치 및 그 제조방법에 관한 것이다.

오늘날과 같은 정보화 사회에 있어서 전자 디스플레이 장치(electronic display device)의 역할은 갈수록 중요해지며, 각종 전자 디스플레이 장치가 다양한 산업 분야에 광범위하게 사용되고 있다.

일반적으로 전자 디스플레이 장치란 다양한 정보를 시각을 통해 인간에게 전 달하는 장치를 말한다. 즉, 전자 디스플레이 장치란 각종 전자 기기로부터 출력되는 전기적 정보 신호를 인간의 시각으로 인식 가능한 광 정보 신호로 변환하는 전자 장치라고 정의할 수 있으며, 인간과 전자 기기를 연결하는 가교적 역할을 담당하는 장치로 정의될 수도 있다.

이러한 전자 디스플레이 장치에 있어서, 광 정보 신호가 발광 현상에 의해 표시되는 경우에는 발광형 표시(emissive display) 장치로 불려지며, 반사, 산란, 간섭 현상 등에 의해 광 변조를 표시되는 경우에는 수광형 표시(non-emissive display) 장치로 일컬어진다. 능동형 표시 장치라고도 불리는 상기 발광형 표시 장치로는 음극선관(cathode ray tube; CRT), 플라즈마 디스플레이 패널(plasma display panel; PDP), 발광 다이오드(light emitting diode; LED) 및 일렉트로 루미네슨트 디스플레이(electroluminescent display; ELD) 등을 들 수 있다. 또한, 수동형 표시 장치인 상기 수광형 표시 장치에는 액정표시장치(liquid crystal display; LCD), 전기화학 표시장치(electrochemical display; ECD) 및 전기 영동 표시장치(electrophoretic image display; EPID) 등이 해당된다.

텔레비전이나 컴퓨터용 모니터 등과 같은 화상표시장치에 사용되는 음극선관(CRT)은 표시 품질 및 경제성 등의 면에서 가장 높은 점유율을 차지하고 있으나, 무거운 중량, 큰 용적 및 높은 소비 전력 등과 같은 많은 단점을 가지고 있다.

그러나, 반도체 기술의 급속한 진보에 의해 각종 전자 장치의 고체화, 저 전압 및 저 전력화와 함께 전자 기기의 소형 및 경량화에 따라 새로운 환경에 적합한 전자 디스플레이 장치, 즉 얇고 가벼우면서도 낮은 구동 전압 및 낮은 소비 전력의 특징을 갖춘 평판(flat panel) 디스플레이 장치에 대한 요구가 급격히 증대하고 있다.

이러한 평판 디스플레이 장치의 하나로서 전계발광 소자가 주목되고 있다. 전계발광 소자는 사용하는 재료에 따라 무기전계발광 소자와 유기전계발광 소자로 크게 나뉘어진다.

무기전계발광 소자는 일반적으로 발광부에 높은 전계를 인가하고 전자를 높은 전계 중에서 가속하여 발광 중심으로 충돌시켜 이에 의해 발광 중심을 여기 함으로써 발광하는 소자이다.

유기전계발광 소자는 음극(cathode) 전극과 양극(anode) 전극으로부터 각각 전자(electron)와 정공(hole)을 발광부 내로 주입시켜 주입된 전자와 정공이 결합하여 여기자(exciton)를 생성하고, 이 여기자가 여기상태로부터 기저상태로 떨어질 때 발광하는 소자이다.

상기와 같은 동작원리로 인해 무기전계발광 소자는 100 200V의 높은 구동전압을 필요로 하는 반면, 유기전계발광 소자는 5 20V정도의 낮은 전압으로 구동할 수 있다는 장점 때문에 이에 대한 연구가 더욱 활발하게 진행되고 있다. 또한, 유기전계발광 소자는 넓은 시야각, 고속 응답성, 고 콘트라스트(high contrast) 등의 우수한 특징을 갖고 있다.

유기전계발광 소자는 액티브 매트릭스형 디스플레이 장치와 패시브 매트릭스형 디스플레이 장치에 모두 적용할 수 있다. 액티브 매트릭스형 유기전계발광 표시 장치는 박막 트랜지스터와 같은 스위칭 소자들에 의해 복수개의 화소들에 대응하는 유기전계발광 소자들을 서로 독립적으로 구동시키는 디스플레이 장치이다.

도 1은 종래의 액티브 매트릭스형 유기전계발광 표시장치의 등가 회로도이다.

도 1을 참조하면, 종래의 액티브 매트릭스형 유기전계발광 표시장치의 화소 회로는 두 개의 박막 트랜지스터(TFT1, TFT2)와 한 개의 캐패시터(Cst)로 구성된다.

구체적으로, 복수개의 게이트 라인(g1, g2)과 복수개의 데이터 라인(d1, d2)이 교차 배열되어 단위 화소 영역을 한정한다. 인접한 데이터 라인(d1, d2)들 사이에는 직류 신호 라인(Vdd)이 상기 데이터 라인(d1, d2)과 평행하게 배열된다. 직류 신호 라인(Vdd)에는 디스플레이 신호의 최대 값이 직류 상태로 인가된다.

게이트 라인(g1)과 데이터 라인(d1)의 교차점에는 스위칭 소자인 제1 박막 트랜지스터(TFT1)가 연결된다. 제1 박막 트랜지스터(TFT1)의 게이트 전극은 게이트 라인(g1)과 연결되고, 소오스 전극은 데이터 라인(d1)과 연결된다.

제1 박막 트랜지스터(TFT1)의 드레인 전극과 직류 신호 라인(Vdd) 사이에는 스토리지 캐패시터(Cst)가 연결된다. 또한, 제1 박막 트랜지스터(TFT1)의 드레인 전극과 직류 신호 라인(Vdd) 사이에는 상기 스토리지 캐패시터(Cst)와 병렬로 구동 소자인 제2 박막 트랜지스터(TFT2)가 연결된다. 상기 제2 박막 트랜지스터(T2)의 게이트 전극은 제1 박막 트랜지스터(TFT1)의 드레인 전극과 연결되고, 소오스 전극은 직류 신호 라인(Vdd)과 연결되며, 드레인 전극은 유기전계발광 소자(EL)에 연결 된다.

상기 제1 박막 트랜지스터(TFT1)가 턴온(turn-on)되면 데이터 라인(d1)의 디스플레이 신호 값에 따라 제2 박막 트랜지스터(TFT2)가 턴온되고, 직류 신호 라인(Vdd)의 직류 신호 값이 유기전계발광 소자(EL)에 인가되어 유기전계발광 소자(EL)가 구동된다.

그러나, 이와 같이 두 개의 박막 트랜지스터를 사용하는 회로를 적용한 유기전계발광 표시장치에 의하면, 구동 박막 트랜지스터의 특성 편차, 예를 들어 문턱 전압(threshold voltage)의 변동(variation) 등에 의해 패널 상의 휘도가 균일하지 못하는 문제가 발생한다.

이에 따라, 구동 박막 트랜지스터의 특성 편차를 보상하기 위하여 별도의 박막 트랜지스터를 추가하는 보상 회로들이 제안되었다. 그러나, 이러한 보상 회로를 적용할 경우 박막 트랜지스터의 개수가 증가하기 때문에, 단위 화소 영역에 박막 트랜지스터가 차지하는 면적이 증가하여 개구율이 저하된다. 또한, 보상 회로들 중에서 일부 회로는 화소당 서로 다른 기능을 갖는 두 개의 캐패시터를 필요로 하게 되므로, 단위 화소에 배치되는 박막 트랜지스터와 캐패시터 개수의 증가로 인하여 개구율이 상당히 감소된다. 이러한 개구율의 감소는 휘도의 저하를 초래하고, 고전류 구동을 요구하여 수명이 감소되는 결과를 가져온다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 일 목적은 화소당 두 개 이상의 캐패시터를 필요로 하는 보상 회로를 적용할 때 개구율 저하를 방지할 수 있는 액티브 매트릭스형 유기전계 발광 표시장치를 제공하는데 있다.

본 발명의 일 목적은 화소당 두 개 이상의 캐패시터를 필요로 하는 보상 회로를 적용하는 액티브 매트릭스형 유기전계발광 표시장치의 개구율 저하를 방지할 수 있는 액티브 매트릭스형 유기전계발광 표시장치의 제조방법을 제공하는데 있다.

발명의 구성 및 작용

상술한 본 발명의 일 목적을 달성하기 위하여 본 발명은, 단위 화소 영역 내에 서로 다른 기능을 갖는 적어도 두 개의 캐패시터가 배치되고, 상기 적어도 두 개의 캐패시터는 수직 방향으로 적층되어 형성된 것을 특징으로 하는 액티브 매트릭스형 유기전계발광 표시장치를 제공한다.

또한, 본 발명의 상술한 일 목적은, 제1 방향으로 신장되는 제1 및 제2 게이트 라인과, 상기 제1 방향과 직교하는 제2 방향으로 신장되는 데이터 라인 및 직류 신호 라인에 의해 단위 화소가 한정되는 액티브 매트릭스형 유기전계발광 표시장치에 있어서, 상기 제1 게이트 라인에 제1 게이트 전극이 연결되고, 상기 데이터 라인에 제1 소오스 전극이 연결된 제1 박막 트랜지스터; 상기 제2 게이트 라인에 제2 게이트 전극이 연결된 제2 박막 트랜지스터; 상기 직류 신호 라인에 제3 소오스 전극이 연결된 제3 박막 트랜지스터; 상기 제3 박막 트랜지스터의 제3 드레인 전극과 접지단 사이에 연결된 유기전계발광 소자; 상기 제3 박막 트랜지스터의 제3 게이트 전극 및 상기 제2 박막 트랜지스터의 제2 소오스 전극에 연결된 제1 전극과, 상기 제1 박막 트랜지스터의 제1 드레인 전극에 연결된 제2 전극을 포함하는 제1 캐패시터; 및 상기 제2 전극과 상기 직류 신호 라인에 연결된 제3 전극을 포함하는 제2 캐패시터를 구비하며, 상기 제1 및 제2 캐패시터는 서로 다른 기능을 가지며 수직 방향으로 적층되어 형성된 것을 특징으로 하는 액티브 매트릭스형 유기전계발광 표시장치에 의해 달성될 수 있다.

또한, 상술한 본 발명의 일 목적을 달성하기 위하여 본 발명은, 제1 방향으로 신장되는 제1 및 제2 게이트 라인과, 상기 제1 방향과 직교하는 제2 방향으로 신장되는 데이터 라인 및 직류 신호 라인에 의해 단위 화소가 한정되는 액티브 매트릭스형 유기전계발광 표시장치에 있어서, 상기 제1 게이트 라인과 데이터 라인의 교차점 부근에 배치된 제1 액티브 패턴, 상기 제1 게이트 라인으로부터 연장되어 상기 제1 액티브 패턴 위를 지나가는 제1 게이트 전극, 상기 데이터 라인으로부터 연장되어 상기 제1 게이트 전극 일측의 제1 액티브 패턴과 콘택되는 제1 소오스 전극 및 상기 제1 게이트 전극 타측의 제1 액티브 패턴과 콘택되는 제1 드레인 전극을 포함하는 제1 박막 트랜지스터; 상기 제2 게이트 라인과 데이터 라인의 교차점 부근에 배치된 제2 액티브 패턴, 상기 제2 게이트 라인으로부터 연장되어 상기 제2 액티브 패턴 위를 지나가는 제2 게이트 전극, 상기 제2 게이트 전극 일측의 제2 액티브 패턴과 콘택되는 제2 소오스 전극 및 상기 제2 게이트 전극 타측의 제2 액티브 패턴과 콘택되는 제2 드레인 전극을 포함하는 제2 박막 트랜지스터; 상기 단위 화소 내에 배치된 제3 액티브 패턴, 상기 제3 액티브 패턴 위를 지나가는 제3 게이트 전극, 상기 직류 신호 라인으로부터 연장되어 상기 제3 게이트 전극 일측의 제3 액티브 패턴과 콘택되는 제3 소오스 전극 및 상기 제2 드레인 전극으로부터 연장되어 상기 제3 게이트 전극 타측의 제3 액티브 패턴과 콘택되는 제3 드레인 전극을 포함하는 제3 박막 트랜지스터; 상기 제2 액티브 패턴으로부터 연장되고 상기 직류 신호 라인의 하부에 상기 직류 신호 라인과 평행하게 배치된 제1 전극 및 상기 제1 전극 상에 형성되고 상기 제1 드레인 전극과 연결되는 제2 전극을 포함하는 제1 캐패시터; 상기 제2 전극 및 상기 제2 전극 상에 형성되고 상기 직류 신호 라인으로 이루어진 제3 전극을 포함하며, 상기 제1 캐패시터와는 서로 다른 기능을 갖는 제2 캐패시터; 및 상기 제3 드레인 전극과 콘택되어 상기 단위 화소 내에 배치된 화소 전극을 구비하는 것을 특징으로 하는 액티브 매트릭스형 유기전계발광 표시장치를 제공한다.

상술한 본 발명의 다른 목적을 달성하기 위하여 본 발명은, 기판 상의 각 화소 영역에 액티브 패턴들 및 제1 전극을 형성하는 단계; 상기 액티브 패턴, 제1 전극 및 기판 상에 게이트 절연막을 형성하는 단계; 상기 액티브 패턴 위의 게이트 절연막 상에 제1, 제2 및 제3 게이트 전극을 형성하고 상기 제1 전극 위의 게이트 절연막 상에 제2 전극을 형성하여 상기 제1 전극, 게이트 절연막 및 제2 전극으로 이루어진 제1 캐패시터를 형성하는 단계; 상기 제1, 제2 및 제3 게이트 전극, 제2 전극 및 게이트 절연막 상에 층간 절연막을 형성하는 단계; 상기 액티브 패턴들 위의 층간 절연막 상에 제1, 제2 및 제3 소오스 전극과 제1, 제2 및 드레인 전극을 형성하여 제1 게이트 전극, 제1 소오스 전극 및 제1 드레인 전극을 포함하는 제1 박막 트랜지스터, 제2 게이트 전극, 제2 소오스 전극 및 제2 드레인 전극을 포함하는 제2 박막 트랜지스터 및 제3 게이트 전극, 제3 소오스 전극 및 제3 드레인 전극을 포함하는 제1 박막 트랜지스터를 형성함과 동시에, 상기 제1 전극 위의 층간 절 연막 상에 제3 전극을 형성하여 상기 제1 캐패시터 상에 수직으로 적층되고 제2 전극, 층간 절연막 및 제3 전극으로 이루어진 제2 캐패시터를 형성하는 단계; 상기 제1, 제2 및 제3 박막 트랜지스터, 제1 및 제2 캐패시터와 층간 절연막 상에 보호막을 형성하는 단계; 상기 보호막 상에 화소 전극을 형성하는 단계; 및 상기 화소 전극 상에 유기전계발광 소자를 형성하는 단계를 구비하는 것을 특징으로 하는 액티브 매트릭스형 유기전계발광 표시장치의 제조방법을 제공한다.

본 발명에 의하면, 화소당 서로 다른 기능을 갖는 두 개 이상의 캐패시터를 필요로 하는 보상 회로를 적용할 때 상기 두 개 이상의 캐패시터를 수직 방향으로 적층시킴으로써, 화소 내 캐패시터 개수의 증가에 따른 개구율 저하를 방지할 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

도 2는 본 발명에 의한 액티브 매트릭스형 유기전계발광 표시장치의 평면도이다. 도 3은 도 2에 도시한 액티브 매트릭스형 유기전계발광 표시장치의 등가 회로도이다. 도 4는 도 2의 A-A'선에 따른 유기전계발광 표시장치의 단면도이다.

도 2 내지 도 4를 참조하면, 본 발명의 액티브 매트릭스형 유기전계발광 표시장치의 화소 회로는 세 개의 박막 트랜지스터(T1, T2, T3)와 두 개의 캐패시터(C1, C2), 그리고 네 개의 배선(GL1, GL2, DL, Vdd)으로 구성된다.

구체적으로, 제1 방향으로 신장되는 제1 및 제2 게이트 라인(GL1, GL2)과, 상기 제1 방향과 직교하는 제2 방향으로 신장되는 데이터 라인(DL) 및 직류 신호 라인(Vdd)에 의해 단위 화소가 한정된다.

상기 제1 게이트 라인(GL1)은 스위칭 소자인 제1 박막 트랜지스터(T1)를 온/오프하여 데이터 라인(DL)을 통해 초기 데이터 전압 및 계조 데이터 전압을 인가하는 역할을 한다. 상기 제2 게이트 라인(GL2)은 제2 박막 트랜지스터(T2)를 온/오프하여 구동 소자인 제3 박막 트랜지스터(T3)의 특성을 보상하는 역할을 한다. 상기 직류 신호 라인(Vdd)에는 디스플레이 신호의 최대 값이 직류 상태로 일정하게 인가된다.

상기 제1 박막 트랜지스터(T1)는 제1 게이트 라인(GL1)과 데이터 라인(DL)의 교차점 부근에 배치된 제1 액티브 패턴(105), 제1 게이트 라인(GL1)으로부터 연장되어 제1 액티브 패턴(105) 위를 지나가는 제1 게이트 전극(110), 데이터 라인(DL)으로부터 연장되어 제1 게이트 전극(110) 일측의 제1 액티브 패턴(105)과 콘택되는 제1 소오스 전극(122) 및 제1 게이트 전극(110) 타측의 제1 액티브 패턴(105)과 콘택되는 제1 드레인 전극(123)을 포함한다. 제1 박막 트랜지스터(T1)의 제1 게이트 전극(110)은 제1 게이트 라인(GL1)과 연결되고, 제1 소오스 전극(122)은 데이터 라인(d1)과 연결된다.

상기 제2 박막 트랜지스터(T2)는 제2 게이트 라인(GL2)과 데이터 라인(DL)의 교차점 부근에 배치된 제2 액티브 패턴(106), 제2 게이트 라인(GL2)으로부터 연장되어 제2 액티브 패턴(106) 위를 지나가는 제2 게이트 전극(111), 제2 게이트 전극(111) 일측의 제2 액티브 패턴(106)과 콘택되는 제2 소오스 전극(125) 및 제2 게이트 전극(111) 타측의 제2 액티브 패턴(106)과 콘택되는 제2 드레인 전극(124) 을 포함한다. 제2 박막 트랜지스터(T2)의 제2 게이트 전극(111)은 제2 게이트 라인(GL2)과 연결된다.

상기 제3 박막 트랜지스터(T3)는 단위 화소 내에 배치된 제3 액티브 패턴(107), 제3 액티브 패턴(107) 위를 지나가는 제3 게이트 전극(112), 직류 신호 라인(Vdd)으로부터 연장되어 제3 게이트 전극(112) 일측의 제3 액티브 패턴(107)과 콘택되는 제3 소오스 전극(127) 및 제2 드레인 전극(124)으로부터 연장되어 제3 게이트 전극(112) 타측의 제3 액티브 패턴(107)과 콘택되는 제3 드레인 전극(126)을 포함한다. 상기 제3 박막 트랜지스터(T3)의 제3 게이트 전극(112)은 제2 박막 트랜지스터(T2)의 제2 소오스 전극(125)과 연결되고, 제3 소오스 전극(127)은 직류 신호 라인(Vdd)과 연결되며, 제3 드레인 전극(126)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(124) 및 유기전계발광 소자(EL)와 연결된다.

바람직하게는, 상기 제3 박막 트랜지스터(T3)는 p형으로 형성되고, 제1 및 제2 박막 트랜지스터(T1, T2)는 n형 또는 p형 중의 하나로 형성한다.

상기 제1 캐패시터(C1)는 제2 박막 트랜지스터(T2)의 제2 액티브 패턴(106)으로부터 연장되고 직류 신호 라인(Vdd)의 하부에 상기 직류 신호 라인(Vdd)과 평행하게 배치된 제1 전극(108), 게이트 절연막(109) 및 제1 전극(108)과 오버랩되는 제2 전극(113)으로 구성된다. 상기 제1 전극(108)은 제1, 제2 및 제3 박막 트랜지스터(T1, T2, T3)의 액티브 패턴들(105, 106, 107)과 동일한 층으로 형성된다. 상기 제2 전극(113)은 게이트 라인(GL)과 동일한 층으로 형성된다. 제1 캐패시터(C1)의 제1 전극(108)은 제3 박막 트랜지스터(T3)의 제3 게이트 전극(112) 및 제2 박막 트랜지스터(T2)의 제2 소오스 전극(125)에 연결되고, 제2 전극(113)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(123)에 연결된다. 상기 제1 캐패시터(C1)는 제3 박막 트랜지스터(T3)의 특성이 보상된 전압을 저장하고, 커플링(coupling)을 통해 제3 박막 트랜지스터(T3)의 제3 게이트 전극(112)에 데이터 전압을 전달하는 역할을 한다.

상기 제2 캐패시터(C2)는 상기 제2 전극(113), 층간 절연막(114) 및 제2 전극(113)과 오버랩되는 제3 전극(128)으로 구성된다. 제2 캐패시터(C2)의 제3 전극(128)은 직류 신호 라인(Vdd)에 연결된다. 상기 제3 전극(128)은 데이터 라인(DL)과 동일한 층으로 형성된다. 상기 제2 캐패시터(C2)는 직류 신호 라인(Vdd)과 제1 박막 트랜지스터(T1)의 제1 드레인 전극(123) 사이에 연결되며, 프레임 시간 동안 데이터 전압을 일정하게 유지시키는 역할을 한다.

따라서, 제1 캐패시터(C1)와 제2 캐패시터(C2)는 다른 기능을 가지며, 제1 박막 트랜지스터(T1)의 제1 드레인 전극(123)에 연결된 공통 전극, 즉 제2 전극(113)을 공유하여 수직 방향으로 적층되어 형성된다.

본 발명의 단위 화소 영역 내에는 제3 박막 트랜지스터(T3)의 제3 드레인 전극(126)과 콘택되는 화소 전극(134)이 형성된다. 또한, 상기 화소 전극(134)과 동일한 층으로 이루어진 제4 전극(135)이 제2 캐패시터(C2)의 제3 전극(128)과 오버랩되도록 형성된다. 만일 제2 캐패시터(C2)에 높은 캐패시턴스가 요구된다면, 상기 제2 전극(113)과 제4 전극(135) 사이의 존재하는 층간 절연막(114) 및 보호막(130)으로 유전막을 구성함으로써 캐패시턴스를 확보할 수 있다.

본 발명에 의한 화소 회로는 다음과 같이 구동된다.

즉, 상기 제1 게이트 라인(GL1)에 의해 제1 박막 트랜지스터(T1)가 턴온되면, 데이터 라인(DL)의 디스플레이 신호 값에 따라 제3 박막 트랜지스터(T3)가 턴온되고, 직류 신호 라인(Vdd)의 직류 신호 값이 유기전계발광 소자(EL)에 인가되어 유기전계발광 소자(EL)가 구동된다. 이때, 제2 게이트 라인(GL2)에 보상 전압을 인가하여 제2 박막 트랜지스터(T2)를 턴온시키면, 제3 박막 트랜지스터(T3)의 제3 게이트 전극(112)과 제3 드레인 전극(126)이 연결되어 구동 소자인 제3 박막 트랜지스터(T3)의 특성 차이가 줄어들게 된다.

이하, 상술한 구조를 갖는 본 발명의 액티브 매트릭스형 유기전계발광 표시장치의 제조방법을 설명하고자 한다.

도 5a 내지 도 5e는 도 4에 도시한 유기전계발광 표시장치의 제조방법을 설명하기 위한 단면도들이다.

도 5a를 참조하면, 유리, 석영, 사파이어와 같은 절연 기판(100) 상에 실리콘 산화물을 플라즈마-증대 화학기상증착(plasma-enhanced chemical vapor deposition; PECVD) 방법에 의해 약 2000Å의 두께로 증착하여 차단막(blocking layer)(101)을 형성한다. 상기 차단막(101)은 후속의 비정질실리콘막의 결정화 동안에 열손실을 방지하기 위하여 사용하는 것이 바람직하다.

상기 차단막(101) 상에 n형 불순물로 도핑된 비정질실리콘막을 PECVD 방법에 의해 약 800Å의 두께로 증착한 후, 이를 사진식각 공정으로 패터닝하여 단위 화소 내의 박막 트랜지스터 영역 및 캐패시터 영역에 버퍼층(102, 103)을 형성한다.

이어서, 상기 버퍼층(102, 103) 및 차단막(101) 상에 비정질실리콘막을 저압 화학 기상 증착(low pressure CVD; LPCVD) 또는 PECVD 방법에 의해 약 500Å의 두께로 증착하여 액티브층(104)을 형성한 후, 레이저 어닐링 또는 퍼니스 어닐링(furnace annealing)을 실시하여 상기 액티브층(104)을 다결정실리콘으로 결정화시킨다.

도 5b를 참조하면, 사진식각 공정으로 상기 다결정실리콘 액티브층(104)을 패터닝하여 단위 화소 내의 박막 트랜지스터 영역에 제1 액티브 패턴(도 2의 105), 제2 액티브 패턴(도 2의 106) 및 제3 액티브 패턴(107)을 형성한다. 이와 동시에, 단위 화소 내의 캐패시터 영역에 상기 다결정실리콘 액티브층으로 이루어진 제1 전극(108)을 형성한다.

이어서, 상기 액티브 패턴들(105, 106, 107) 및 제1 전극(108)이 형성된 결과물의 전면에 실리콘 산화물을 PECVD 방법에 의해 1000Å 2000Å의 두께로 증착하여 게이트 절연막(109)을 형성한다.

도 5c를 참조하면, 상기 게이트 절연막(109) 상에 게이트막으로서, 예컨대 알루미늄-네오디뮴(AlNd)을 스퍼터링에 의해 약 3000Å의 두께로 증착한 후, 사진식각 공정으로 상기 게이트막을 패터닝한다. 그러면, 제1 방향으로 신장되는 제1 및 제2 게이트 라인(도 2의 GL1, GL2), 상기 제1 게이트 라인(GL1)으로부터 분기된 제1 박막 트랜지스터(T1)의 제1 게이트 전극(도 2의 110), 상기 제2 게이트 라인(GL2)으로부터 분기된 제2 박막 트랜지스터(T2)의 제2 게이트 전극(도 2의 111) 및 단위 화소 내에 배치되는 제3 박막 트랜지스터(T3)의 제3 게이트 전극(112)이 형성된다. 이와 동시에, 상기 게이트막으로 이루어진 제2 전극(113)이 상기 제1 전극(108)과 오버랩되도록 형성된다. 상기 제2 전극(113)은 적층형 제1 캐패시터(C1)와 제2 캐패시터(C2)의 공통 전극으로 사용된다.

이때, 상술한 게이트막의 패터닝 공정시 사용되는 포토마스크를 이용하여 불순물 이온주입을 실시함으로써, 제1, 제2 및 제3 박막 트랜지스터(T1, T2, T3)의 소오스/드레인 영역들(도시하지 않음)을 형성한다. 바람직하게는, 상기 제3 박막 트랜지스터(T3)는 p형으로 형성되고, 제1 및 제2 박막 트랜지스터(T1, T2)는 n형 또는 p형 중의 하나로 형성한다.

도 5d를 참조하면, 상기 소오스/드레인 영역들의 도핑된 이온을 활성화시키고 실리콘층의 손상을 큐어링하기 위하여 레이저 어닐링 또는 퍼니스 어닐링을 실시한 후, 결과물의 전면에 실리콘 질화물을 약 8000Å의 두께로 증착하여 층간 절연막(114)을 형성한다.

이어서, 사진식각 공정으로 상기 층간 절연막(114)을 식각하여 제1, 제2 및 제3 박막 트랜지스터(T1, T2, T3)의 소오스/드레인 영역들을 노출시키는 콘택홀들(115, 116, 117, 118, 119, 120)을 형성한다. 이때, 상기 제3 박막 트랜지스터(T3)의 제3 게이트 전극(112)의 소정 부위를 노출시키는 콘택홀(121)을 함께 형성한다.

상기 콘택홀들(115, 116, 117, 118, 119, 120, 121) 및 층간 절연막(114) 상에 데이터막으로서, 예컨대 몰리텅스텐(MoW) 또는 알루미늄-네오디뮴(AlNd)을 약 3000Å 6000Å의 두께로 증착한 후, 사진식각 공정으로 상기 데이터막을 패터닝한 다. 그러면, 상기 제1 방향과 직교하는 제2 방향으로 신장되는 데이터 라인(DL) 및 직류 신호 라인(Vdd), 그리고 상기 콘택홀들을 통해 소오스/드레인 영역들과 접속되는 제1 박막 트랜지스터(T1)의 제1 소오스/드레인 전극(도 2의 122, 123), 제2 박막 트랜지스터(T2)의 제2 소오스/드레인 전극(도 2의 125, 124) 및 제3 박막 트랜지스터(T3)의 제3 소오스/드레인 전극(127, 126)이 형성된다. 이와 동시에, 상기 데이터막으로 이루어진 제3 전극(128)이 상기 제2 전극(113)과 오버랩되도록 형성된다. 상기 제3 전극(128)은 직류 신호 라인(Vdd)으로 구성되며, 제3 박막 트랜지스터(T3)의 제3 소오스 전극(127)과 연결된다. 바람직하게는, 하나의 전극 패턴으로 제2 박막 트랜지스터(T2)의 제2 드레인 전극(124)과 제3 박막 트랜지스터(T3)의 제3 드레인 전극(126)을 동시에 구현한다. 또한, 제2 박막 트랜지스터(T2)의 제2 소오스 전극(125)은 제3 박막 트랜지스터(T3)의 제3 게이트 전극(112)과 콘택되어 형성된다.

도 5e를 참조하면, 상기 데이터 라인(DL), 직류 신호 라인(Vdd), 소오스/드레인 전극들(122, 123, 124, 125, 126, 127) 및 층간 절연막(130) 상에 실리콘 질화물을 약 2000Å 3000Å의 두께로 증착하여 보호막(130)을 형성한 후, 사진식각 공정으로 상기 보호막(130)을 식각하여 제3 박막 트랜지스터(T3)의 제3 드레인 전극(126)을 노출시키는 비어홀(132)을 형성한다.

상기 비어홀(132) 및 보호막(130) 상에 인듐-주석-산화물(indium-tin-oxide) 또는 인듐-아연-산화물(indium-zinc-oxide)과 같은 투명 도전막을 약 300Å 500Å의 두께로 증착한 후, 사진식각 공정으로 상기 투명 도전막을 패터닝한다. 그러면, 상기 비어홀(132)을 통해 제3 박막 트랜지스터(T3)의 제3 드레인 전극(126)과 연결되는 화소 전극(134)이 형성되고, 이와 동시에 상기 투명 도전막으로 이루어진 제4 전극(135)이 상기 제3 전극(128)과 오버랩되도록 형성된다.

이어서, 도 4에 도시한 바와 같이, 상기 화소 전극(134), 제4 전극(135) 및 보호막(130) 상에 유기 절연막(136)을 형성한 후, 노광 및 현상 공정으로 상기 화소 전극(134)과 동일한 형상의 개구부(137)를 형성한다. 이때, 상기 개구부(137)는 상기 화소 전극(134)의 폭보다 좁은 폭으로 형성한다.

상기 개구부(137) 및 유기 절연막(136) 상에 정공 수송층(hole transfer layer; HTL)(138), 발광층(140) 및 전자 수송층(electron transfer layer; ETL)(142)을 순차적으로 형성한 후, 그 위에 음극 전극(cathode electrode)(144)을 형성함으로써 유기전계발광 소자(EL)를 완성한다.

발명의 효과

상술한 바와 같이 본 발명에 의하면, 화소당 서로 다른 기능을 갖는 두 개 이상의 캐패시터를 필요로 하는 보상 회로를 적용할 때 상기 두 개 이상의 캐패시터를 수직 방향으로 적층시킴으로써, 화소 내 캐패시터 개수의 증가에 따른 개구율 저하를 방지할 수 있다.

또한, 본 발명의 적층형 캐패시터는 도 3에 도시한 화소 화로 이외에 서로 다른 기능을 갖는 두 개 이상의 캐패시터를 사용하는 어떠한 화소 회로에도 적용할 수 있음은 명백하다.

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해 당 기술분야의 숙련된 당업자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

단위 화소 영역 내에 서로 다른 기능을 갖는 적어도 두 개의 캐패시터가 배치되고, 상기 적어도 두 개의 캐패시터는 수직 방향으로 적층되어 형성된 것을 특징으로 하는 액티브 매트릭스형 유기전계발광 표시장치.

청구항 2.

제1항에 있어서, 상기 적어도 두 개의 캐패시터는 하나의 전극을 공유하는 것을 특징으로 하는 액티브 매트릭스형 유기전계발광 표시장치.

청구항 3.
제1항에 있어서, 상기 단위 화소 영역 내에 형성된 적어도 세 개의 박막 트랜지스터 및 하나의 유기전계발광 소자를 더 구비하는 것을 특징으로 하는 액티브 매트릭스형 유기전계발광 표시장치.

청구항 4.
제1 방향으로 신장되는 제1 및 제2 게이트 라인과, 상기 제1 방향과 직교하는 제2 방향으로 신장되는 데이터 라인 및 직류 신호 라인에 의해 단위 화소가 한정되는 액티브 매트릭스형 유기전계발광 표시장치에 있어서,

상기 제1 게이트 라인에 제1 게이트 전극이 연결되고, 상기 데이터 라인에 제1 소오스 전극이 연결된 제1 박막 트랜지스터;

상기 제2 게이트 라인에 제2 게이트 전극이 연결된 제2 박막 트랜지스터;

상기 직류 신호 라인에 제3 소오스 전극이 연결된 제3 박막 트랜지스터;

상기 제3 박막 트랜지스터의 제3 드레인 전극과 접지단 사이에 연결된 유기전계발광 소자;

상기 제3 박막 트랜지스터의 제3 게이트 전극 및 상기 제2 박막 트랜지스터의 제2 소오스 전극에 연결된 제1 전극과, 상기 제1 박막 트랜지스터의 제1 드레인 전극에 연결된 제2 전극을 포함하는 제1 캐패시터; 및

상기 제2 전극과 상기 직류 신호 라인에 연결된 제3 전극을 포함하는 제2 캐패시터를 구비하며,

상기 제1 및 제2 캐패시터는 서로 다른 기능을 가지며 수직 방향으로 적층되어 형성된 것을 특징으로 하는 액티브 매트릭스형 유기전계발광 표시장치.

청구항 5.
제1 방향으로 신장되는 제1 및 제2 게이트 라인과, 상기 제1 방향과 직교하는 제2 방향으로 신장되는 데이터 라인 및 직류 신호 라인에 의해 단위 화소가 한정되는 액티브 매트릭스형 유기전계발광 표시장치에 있어서,

상기 제1 게이트 라인과 데이터 라인의 교차점 부근에 배치된 제1 액티브 패턴, 상기 제1 게이트 라인으로부터 연장되어 상기 제1 액티브 패턴 위를 지나가는 제1 게이트 전극, 상기 데이터 라인으로부터 연장되어 상기 제1 게이트 전극 일측의 제1 액티브 패턴과 콘택되는 제1 소오스 전극 및 상기 제1 게이트 전극 타측의 제1 액티브 패턴과 콘택되는 제1 드레인 전극을 포함하는 제1 박막 트랜지스터;

상기 제2 게이트 라인과 데이터 라인의 교차점 부근에 배치된 제2 액티브 패턴, 상기 제2 게이트 라인으로부터 연장되어 상기 제2 액티브 패턴 위를 지나가는 제2 게이트 전극, 상기 제2 게이트 전극 일측의 제2 액티브 패턴과 콘택되는 제2 소오스 전극 및 상기 제2 게이트 전극 타측의 제2 액티브 패턴과 콘택되는 제2 드레인 전극을 포함하는 제2 박막 트랜지스터;

상기 단위 화소 내에 배치된 제3 액티브 패턴, 상기 제3 액티브 패턴 위를 지나가는 제3 게이트 전극, 상기 직류 신호 라인으로부터 연장되어 상기 제3 게이트 전극 일측의 제3 액티브 패턴과 콘택되는 제3 소오스 전극 및 상기 제2 드레인 전극으로부터 연장되어 상기 제3 게이트 전극 타측의 제3 액티브 패턴과 콘택되는 제3 드레인 전극을 포함하는 제3 박막 트랜지스터;

상기 제2 액티브 패턴으로부터 연장되고 상기 직류 신호 라인의 하부에 상기 직류 신호 라인과 평행하게 배치된 제1 전극 및 상기 제1 전극 상에 형성되고 상기 제1 드레인 전극과 연결되는 제2 전극을 포함하는 제1 캐패시터;

상기 제2 전극 및 상기 제2 전극 상에 형성되고 상기 직류 신호 라인으로 이루어진 제3 전극을 포함하며, 상기 제1 캐패시터와는 서로 다른 기능을 갖는 제2 캐패시터; 및

상기 제3 드레인 전극과 콘택되어 상기 단위 화소 내에 배치된 화소 전극을 구비하는 것을 특징으로 하는 액티브 매트릭스형 유기전계발광 표시장치.

청구항 6.

제5항에 있어서, 상기 제1 전극과 상기 제1, 제2 및 제3 액티브 패턴들은 동일한 층으로 형성된 것을 특징으로 하는 액티브 매트릭스형 유기전계발광 표시장치.

청구항 7.
제5항에 있어서, 상기 제2 전극과 상기 게이트 라인은 동일한 층으로 형성된 것을 특징으로 하는 액티브 매트릭스형 유기전계발광 표시장치.

청구항 8.
제5항에 있어서, 상기 제3 전극과 상기 데이터 라인은 동일한 층으로 형성된 것을 특징으로 하는 액티브 매트릭스형 유기전계발광 표시장치.

청구항 9.
제5항에 있어서, 상기 화소 전극과 동일한 층으로 형성되고, 상기 직류 신호 라인 상에 형성된 제4 전극을 더 구비하는 것을 특징으로 하는 액티브 매트릭스형 유기전계발광 표시장치.

청구항 10.
제5항에 있어서, 상기 제2 박막 트랜지스터의 제2 소오스 전극은 상기 제3 박막 트랜지스터의 제3 게이트 전극과 콘택되도록 형성된 것을 특징으로 하는 액티브 매트릭스형 유기전계발광 표시장치.

청구항 11.
기판 상의 각 화소 영역에 액티브 패턴들 및 제1 전극을 형성하는 단계;

상기 액티브 패턴, 제1 전극 및 기판 상에 게이트 절연막을 형성하는 단계;

상기 액티브 패턴 위의 게이트 절연막 상에 제1, 제2 및 제3 게이트 전극을 형성하고 상기 제1 전극 위의 게이트 절연막 상에 제2 전극을 형성하여 상기 제1 전극, 게이트 절연막 및 제2 전극으로 이루어진 제1 캐패시터를 형성하는 단계;

상기 제1, 제2 및 제3 게이트 전극, 제2 전극 및 게이트 절연막 상에 층간 절연막을 형성하는 단계;

상기 액티브 패턴들 위의 층간 절연막 상에 제1, 제2 및 제3 소오스 전극과 제1, 제2 및 드레인 전극을 형성하여 제1 게이트 전극, 제1 소오스 전극 및 제1 드레인 전극을 포함하는 제1 박막 트랜지스터, 제2 게이트 전극, 제2 소오스 전극 및 제2 드레인 전극을 포함하는 제2 박막 트랜지스터 및 제3 게이트 전극, 제3 소오스 전극 및 제3 드레인 전극을 포함하는 제1 박막 트랜지스터를 형성함과 동시에, 상기 제1 전극 위의 층간 절연막 상에 제3 전극을 형성하여 상기 제1 캐패시터 상에 수직으로 적층되고 제2 전극, 층간 절연막 및 제3 전극으로 이루어진 제2 캐패시터를 형성하는 단계;

상기 제1, 제2 및 제3 박막 트랜지스터, 제1 및 제2 캐패시터와 층간 절연막 상에 보호막을 형성하는 단계;

상기 보호막 상에 화소 전극을 형성하는 단계; 및

상기 화소 전극 상에 유기전계발광 소자를 형성하는 단계를 구비하는 것을 특징으로 하는 액티브 매트릭스형 유기전계발광 표시장치의 제조방법.

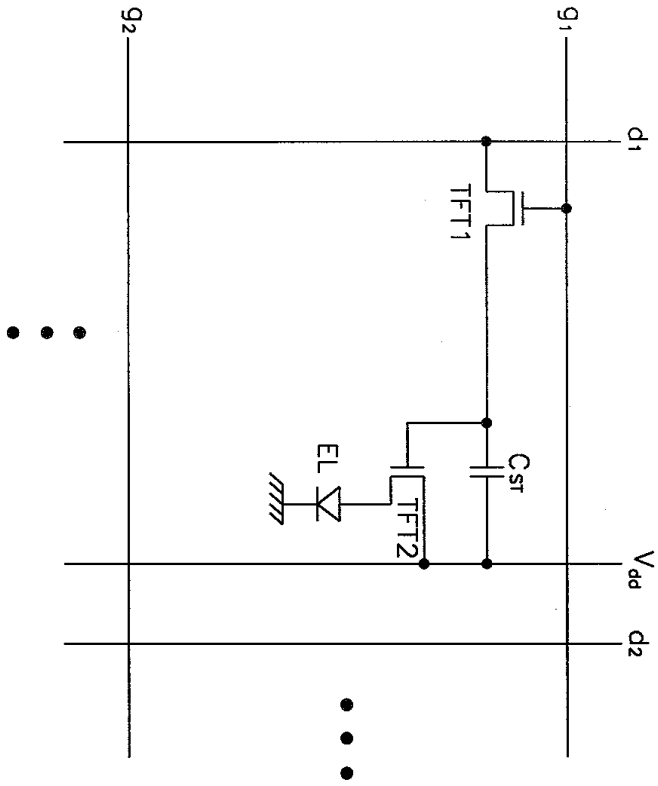
청구항 12.
제11항에 있어서, 하나의 전극 패턴으로 상기 제2 박막 트랜지스터의 제2 드레인 전극과 상기 제3 박막 트랜지스터의 제3 드레인 전극을 함께 형성하는 것을 특징으로 하는 액티브 매트릭스형 유기전계발광 표시장치의 제조방법.

청구항 13.
제11항에 있어서, 상기 제2 박막 트랜지스터의 제2 소오스 전극은 상기 제3 박막 트랜지스터의 제3 게이트 전극과 콘택되도록 형성하는 것을 특징으로 하는 액티브 매트릭스형 유기전계발광 표시장치의 제조방법.

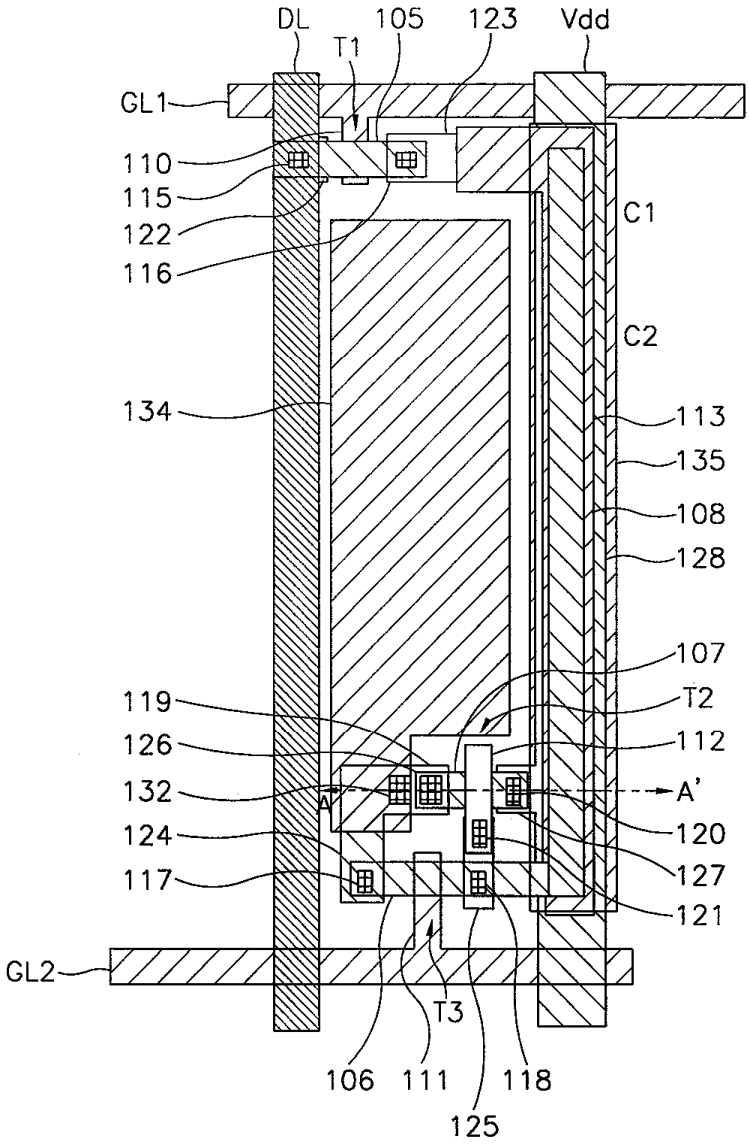
청구항 14.
제11항에 있어서, 상기 화소 전극을 형성하는 단계에서, 상기 제3 전극과 오버랩되도록 제4 전극을 형성하는 것을 특징으로 하는 액티브 매트릭스형 유기전계발광 표시장치의 제조방법.

도면

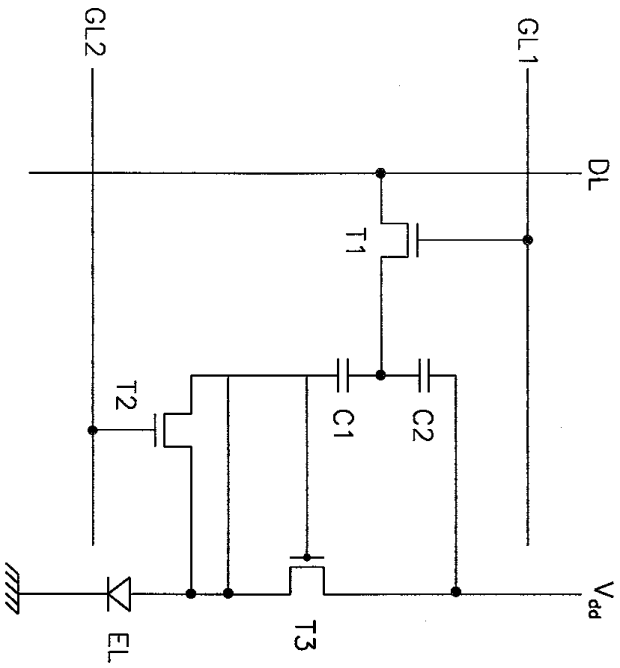
도면1



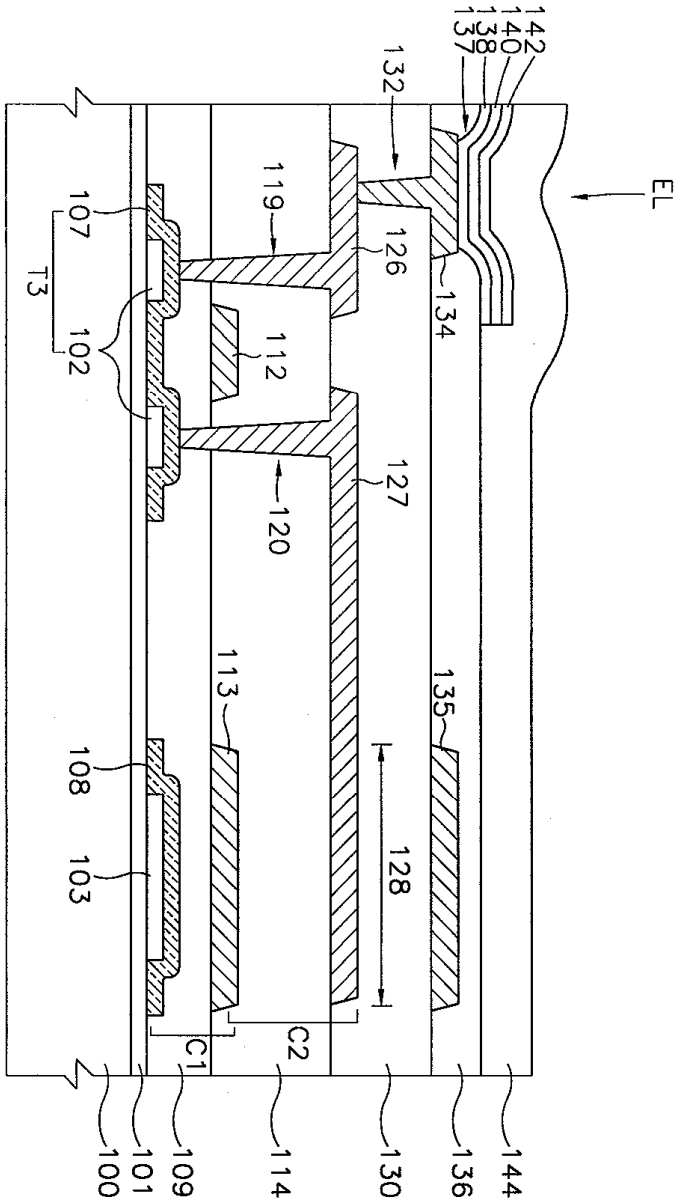
도면2


DL
105
123
Vdd
T1
GL1
110
115
122
116
C1
C2
134
113
135
108
128
107
T2
119
126
112
132
A'
124
120
127
117
121
GL2
T3
106
111
118
125

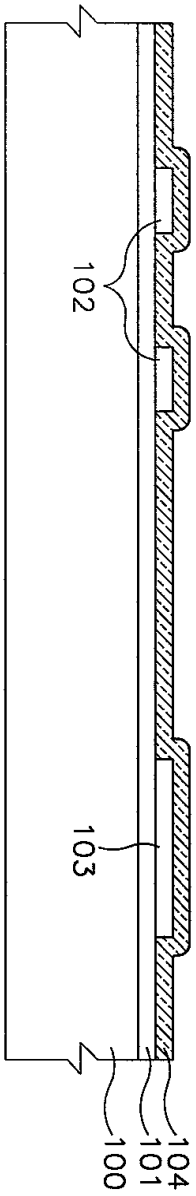
도면3



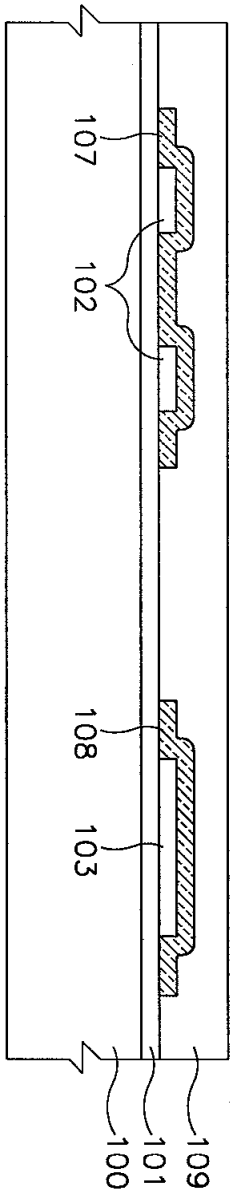
도면4


142
140
138
137
132
EL
119
107
126
T3
134
102
112
127
120
113
135
108
128
103
C1
C2
100
101
109
114
130
136
144

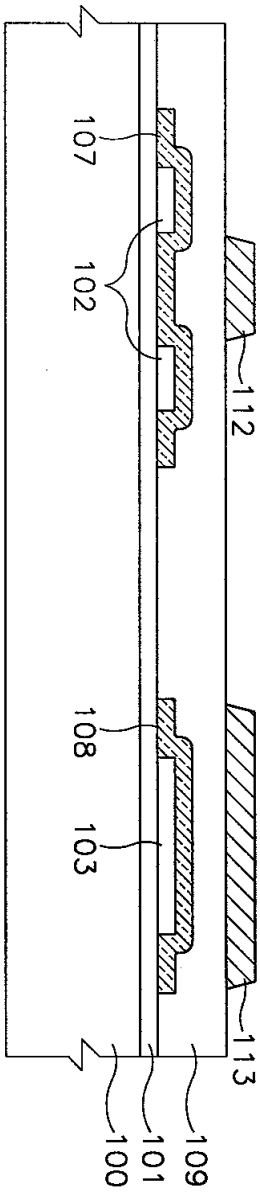
도면5a



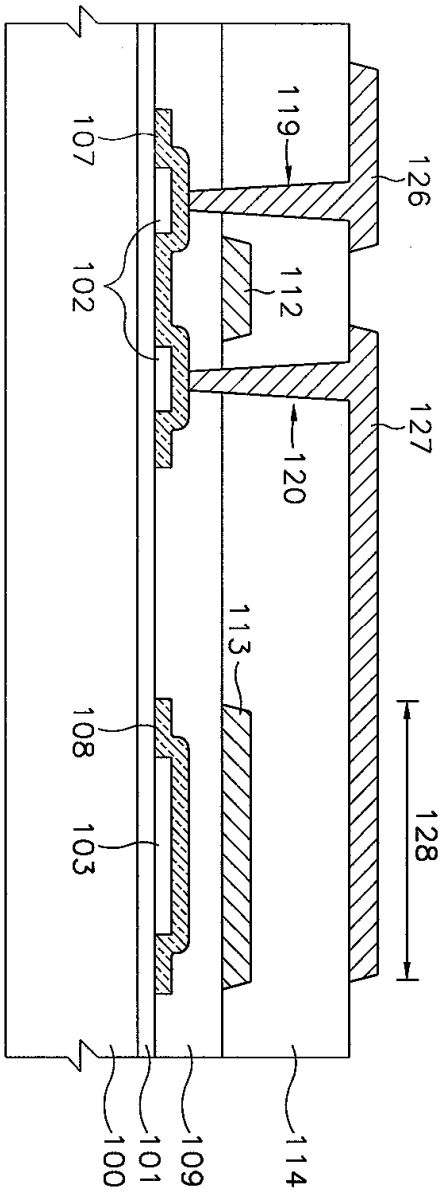
도면5b



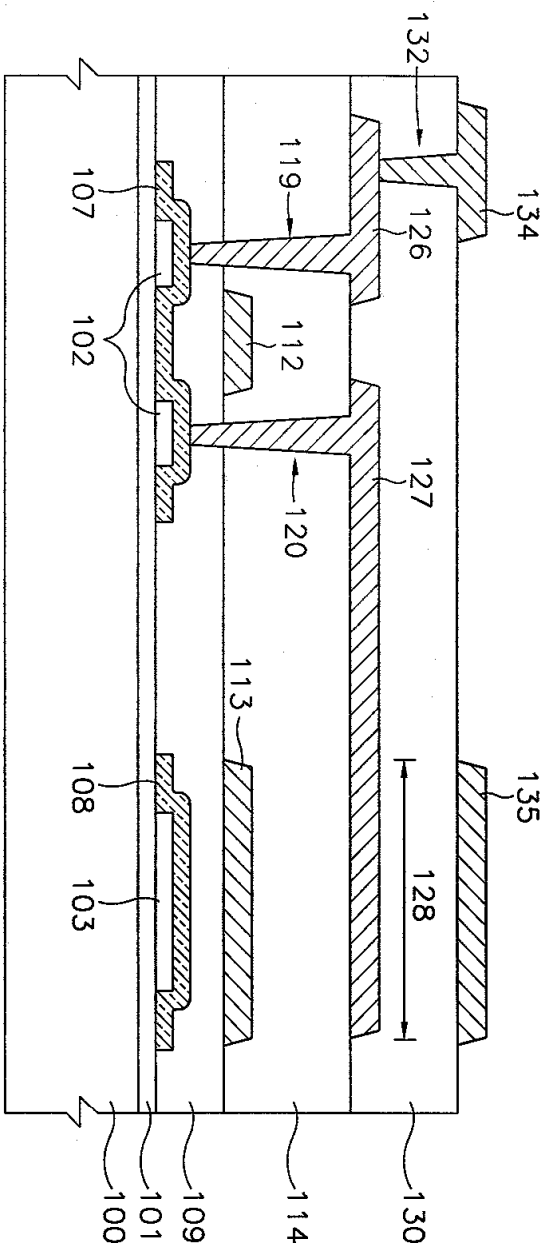
도면5c



도면5d



도면5e


132
134
119
126
107
102
112
127
120
113
135
108
128
103
100
101
109
114
130

专利名称(译)	有源矩阵型有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020030069668A	公开(公告)日	2003-08-27
申请号	KR1020020009590	申请日	2002-02-22
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	CHOI BEOM RAK 최범락 CHOI JOON HOO 최준후 CHAI CHONG CHUL 채종철		
发明人	최범락 최준후 채종철		
IPC分类号	G09G3/30 H01L51/50 H01L27/12 H01L21/84 H05B33/08 G09F9/30 G09G3/32 H05B33/10 G09G3/20 H01L21/77 H01L27/13 H01L27/32		
CPC分类号	G09G2300/0852 G09G2300/0465 H01L27/3244 G09G2310/0262 G09G2320/043 H01L27/13 H01L27/1214 G09G2320/0233 G09G3/3233 G09G2300/0417 G09G2300/0819 H01L27/12 H01L27/1255		
代理人(译)	PARK，YOUNG WOO		
其他公开文献	KR100892945B1		
外部链接	Espacenet		

摘要(译)

公开了一种有源矩阵型有机电致发光显示装置及其制造方法。具有不同功能的两个或更多个电容器布置在单位像素区域内。在垂直方向上层叠两个或更多个电容器。当应用需要两个或更多个具有每个像素不同功能的电容器的补偿电路时，在垂直方向上层叠两个或更多个电容器。以这种方式，开口率根据像素内部的增加而下降，可以防止电容器数量。