



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년03월02일
 (11) 등록번호 10-1711191
 (24) 등록일자 2017년02월22일

(51) 국제특허분류(Int. Cl.)
 H01L 51/52 (2006.01) H01L 51/56 (2006.01)
 (21) 출원번호 10-2010-0106021
 (22) 출원일자 2010년10월28일
 심사청구일자 2015년10월26일
 (65) 공개번호 10-2012-0044627
 (43) 공개일자 2012년05월08일
 (56) 선행기술조사문헌
 KR1020090120698 A*
 US20020155663 A1*
 KR1020030054795 A
 US20060091399 A1
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
 (72) 발명자
 최종현
 경기도 용인시 기흥구 삼성2로 95 (농서동)
 김나영
 경기도 용인시 기흥구 삼성2로 95 (농서동)
 이대우
 경기도 용인시 기흥구 삼성2로 95 (농서동)
 (74) 대리인
 리엔특허법인

전체 청구항 수 : 총 17 항

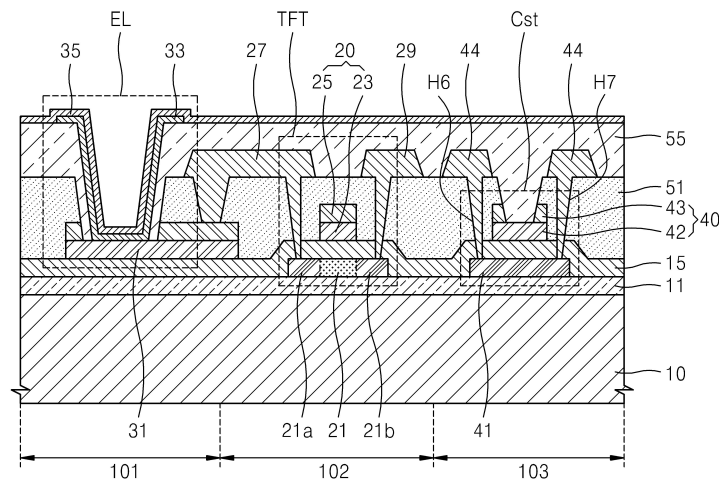
심사관 : 조성수

(54) 발명의 명칭 **유기 발광 표시 장치 및 그 제조방법**

(57) 요약

유기 발광 표시 장치 및 그 제조방법이 개시된다. 개시된 유기 발광 표시 장치는 활성층과 게이트 전극 및 소스/드레인전극을 포함하는 박막 트랜지스터; 그 박막 트랜지스터와 전기적으로 연결되고 게이트 전극과 동일층에 형성된 화소 전극과, 발광층을 포함하는 중간층 및, 대향 전극이 순차 적층된 유기발광소자; 활성층과 동일층에 형성되며 불순물이 도핑된 하부전극과, 게이트 전극과 동일층에 형성된 상부전극과, 소스/드레인전극과 동일층에 형성되어 하부전극과 연결된 금속확산매개층을 포함하는 커패시터를 포함한다. 이러한 구조에 의하면 마스크 수의 저감에 따른 비용의 절감 및 제조 공정의 단순화를 실현할 수 있고, 또한 커패시터의 불균일 도핑에 의한 저항 증가의 우려도 해소할 수 있다.

대표도 - 도1



명세서

청구범위

청구항 1

활성층과 게이트 전극 및 소스/드레인전극을 포함하는 박막 트랜지스터;

상기 박막 트랜지스터와 전기적으로 연결되고 상기 게이트 전극과 동일층에 형성된 화소 전극과, 발광층을 포함하는 중간층 및, 대향 전극이 순차 적층된 유기발광소자; 및

상기 활성층과 동일층에 동일 물질로 형성되며 불순물이 도핑된 하부전극과, 상기 게이트 전극과 동일층에 형성된 상부전극과, 상기 소스/드레인전극과 동일층에 형성되어 상기 하부전극과 연결된 금속확산매개층을 포함하는 커패시터;를 포함하며, 상기 하부전극에는 복수의 슬릿이 형성되고, 상기 하부전극의 상기 금속확산매개층이 연결되는 위치는 상기 복수의 슬릿 사이인 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 게이트 전극은, 상기 화소 전극과 동일층에 동일 물질로 형성된 제1전극 및 상기 제1전극 상부에 형성된 제2전극을 포함하는 유기 발광 표시 장치.

청구항 3

제2항에 있어서,

상기 상부전극은, 상기 제1전극과 동일층에 동일 물질로 형성된 제1상부전극과, 상기 제1상부전극 위에 상기 제2전극과 동일층에 동일 물질로 형성되며 상기 제1상부전극이 노출되도록 일부가 제거된 제2상부전극을 포함하는 유기 발광 표시 장치.

청구항 4

제1항에 있어서,

상기 화소 전극은 상기 소스/드레인전극과 전기적으로 연결된 유기 발광 표시 장치.

청구항 5

삭제

청구항 6

제1항에 있어서,

상기 하부전극에 홈이 형성되고, 상기 금속확산매개층은 상기 홈을 통해 연결되는 유기 발광 표시 장치.

청구항 7

제6항에 있어서,

상기 하부전극 밑에 버퍼층이 마련되고, 상기 홈은 상기 버퍼층까지 형성된 유기 발광 표시 장치.

청구항 8

기관 상에 박막 트랜지스터의 활성층과 커패시터의 하부전극을 형성하는 제1마스크 공정 단계;

상기 활성층과 상기 하부전극 상부에, 게이트 전극과, 화소 전극 및 상기 커패시터의 상부전극을 형성하기 위한 전극패턴을 각각 형성하는 제2마스크 공정 단계;

상기 활성층의 양측과 상기 화소전극의 일부와 상기 상부전극의 일부 및 상기 하부전극의 일부를 노출하는 개구

를 갖는 층간 절연막을 형성하는 제3마스크 공정 단계;

상기 활성층의 노출된 양측 및 상기 화소전극에 접촉하는 소스/드레인전극과, 상기 하부전극의 노출된 일부와 접촉하는 금속확산매개층을 각각 형성하는 제4마스크 공정 단계;

상기 화소 전극을 노출하는 화소 정의막을 형성하는 제5마스크 공정 단계;를 포함하며, 상기 제1마스크 공정에서 상기 하부전극에 복수의 슬릿을 형성하고, 상기 제3마스크 공정에서 상기 하부전극의 일부를 노출시키는 개구는 상기 복수의 슬릿 사이에 위치되도록 형성하는 유기 발광 표시 장치 제조 방법.

청구항 9

제8항에 있어서, 상기 제2마스크 공정은,

상기 활성층 및 상기 하부전극 상부에 제1절연층, 제1도전층 및 제2도전층을 순차 증착하는 단계; 및

상기 제1도전층 및 상기 제2도전층을 패터닝하여, 상기 제1도전층을 제1전극으로 하고, 상기 제2도전층을 제2전극으로 하는 상기 게이트 전극을 형성하는 단계;를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 10

제9항에 있어서,

상기 활성층을 도핑하여 소스드레인 영역 및 이들 사이의 채널 영역을 형성하는 단계;를 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 11

제8항에 있어서, 상기 제3마스크 공정은,

상기 게이트 전극 및 상기 전극패턴 상부에 제2절연층을 증착하는 단계; 및

상기 제2절연층을 패터닝하여 상기 활성층의 양측과 상기 화소전극의 일부와 상기 상부전극의 일부 및 상기 하부전극의 일부를 노출하는 개구를 형성하는 단계;를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 12

제9항에 있어서, 상기 제4마스크 공정은,

상기 층간 절연막 상부에 제3도전층을 증착하는 단계; 및

상기 제3도전층을 패터닝하여 상기 소스/드레인전극 및 상기 금속확산매개층을 형성하는 단계;를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 13

제12항에 있어서, 상기 제4마스크 공정은,

상기 전극패턴을 구성하는 상기 제2도전층을 제거하여, 상기 제1도전층을 전극으로 하는 상기 화소 전극 및 상기 커패시터 상부전극을 각각 형성하는 단계;를 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 14

제12항에 있어서,

상기 커패시터 상부전극은 상기 제1도전층으로 형성된 제1상부전극과, 상기 제2도전층의 일부가 제거되지 않고 남아서 형성된 제2상부전극을 포함하는 유기 발광 표시 장치 제조 방법.

청구항 15

제12항에 있어서, 상기 제4마스크 공정은,

상기 상부전극을 통해 상기 하부전극에 불순물을 도핑하고, 상기 금속확산매개층의 금속 원자가 상기 하부전극으로 확산되게 하는 단계를 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 16

제8항에 있어서, 상기 제5마스크 공정은,
 상기 기판 전면에서 제3절연층을 적층하는 단계; 및
 상기 제3절연층을 패터닝하여 상기 화소 정의막을 형성하는 단계;를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 17

삭제

청구항 18

제8항에 있어서,
 상기 제1마스크 공정은 상기 하부전극에 상기 금속산화물층이 연결되는 홈을 형성하는 단계를 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 19

제18항에 있어서,
 상기 기판과 상기 하부전극 사이에 버퍼층이 형성되며,
 상기 제1마스크 공정은 상기 홈을 상기 버퍼층까지 형성하는 단계를 더 포함하는 유기 발광 표시 장치 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치와 그 제조방법에 관한 것으로서, 더 상세하게는 제조 시 마스크의 사용횟수를 줄일 수 있으며 커패시터에서의 불균일 도핑 문제도 해소할 수 있도록 개선된 유기 발광 표시 장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 박막 트랜지스터(Thin Film Transistor: TFT) 및 커패시터 등과 이들을 연결하는 배선을 포함하는 패턴이 형성된 기판 상에 제작된다.

[0003] 일반적으로, 유기 발광 표시 장치가 제작되는 기판은 TFT 등을 포함하는 미세 구조의 패턴을 형성하기 위하여, 이와 같은 미세 패턴이 그려진 마스크를 이용하여 패턴을 상기 어레이 기판에 전사한다.

[0004] 마스크를 이용하여 패턴을 전사하는 공정은 일반적으로 포토 리소그라피(photo-lithography) 공정을 이용한다. 포토 리소그라피 공정에 의하면, 패턴을 형성할 기판 상에 포토레지스트(photoresist)를 균일하게 도포하고, 스텝퍼(stepper)와 같은 노광 장비로 포토레지스트를 노광시킨 후, (포지티브(positive) 포토레지스트의 경우) 감광된 포토레지스트를 현상(developing)하는 과정을 거친다. 또한, 포토레지스트를 현상한 후에는, 잔존하는 포토레지스트를 마스크로 하여 패턴을 식각(etching)하고, 불필요한 포토레지스트를 제거하는 등의 일련의 과정을 거친다.

[0005] 이와 같이 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 따라서, 이를 해결하기 위해서는 마스크를 사용하는 횟수를 가능한 한 줄일 수 있는 구조가 요구된다.

[0006] 한편, 마스크의 사용횟수를 줄이기 위한 방안으로서 커패시터의 한 전극을 활성층과 같은 다결정 실리콘으로 함께 형성한 후 나중에 불순물을 도핑하는 방안이 고려될 수 있는데, 이와 같이 마스크 사용횟수를 줄이기 위해 여러 영역을 한번에 같은 층으로 형성하는 구조를 만들다보면, 불순물 도핑 시에 앞서 형성된 박막층에 가려져 커패시터 전극에는 불균일한 도핑이 될 가능성이 높다. 커패시터 전극의 도핑이 불균일해지면 저항이 증가하여

원하는 정전용량을 확보할 수가 없다. 따라서, 마스크의 사용횟수를 줄이면서도 이러한 불균일 도핑에 의한 저항 증가 현상을 피할 수 있는 방안이 필요하다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 실시예는 마스크를 이용한 패턴링 공정 단계를 줄이고 또한 커패시터의 불균일 도핑에 의한 저항 증가를 억제할 수 있도록 개선된 유기 발광 표시 장치 및 이의 제조 방법을 제공한다.

과제의 해결 수단

[0008] 본 발명의 실시예에 따른 유기 발광 표시 장치는, 활성층과 게이트 전극 및 소스/드레인전극을 포함하는 박막 트랜지스터; 상기 박막 트랜지스터와 전기적으로 연결되고 상기 게이트 전극과 동일층에 형성된 화소 전극과, 발광층을 포함하는 중간층 및, 대향 전극이 순차 적층된 유기발광소자; 및 상기 활성층과 동일층에 동일 물질로 형성되며 불순물이 도핑된 하부전극과, 상기 게이트 전극과 동일층에 형성된 상부전극과, 상기 소스/드레인전극과 동일층에 형성되어 상기 하부전극과 연결된 금속확산매개층을 포함하는 커패시터;를 포함한다.

[0009] 상기 게이트 전극은, 상기 화소 전극과 동일층에 동일 물질로 형성된 제1전극 및 상기 제1전극 상부에 형성된 제2전극을 포함할 수 있다.

[0010] 상기 상부전극은, 상기 제1전극과 동일층에 동일 물질로 형성된 제1상부전극과, 상기 제1전극 위에 상기 제2전극과 동일층에 동일 물질로 형성되며 상기 제1상부전극이 노출되도록 일부가 제거된 제2상부전극을 포함할 수 있다.

[0011] 상기 화소 전극은 상기 소스/드레인전극과 전기적으로 연결될 수 있다.

[0012] 상기 하부전극에는 복수의 슬릿이 형성되고, 상기 하부전극의 상기 금속확산매개층이 연결되는 위치는 상기 복수의 슬릿 사이일 수 있다.

[0013] 상기 하부전극에 홈이 형성되고, 상기 금속확산매개층은 상기 홈을 통해 연결될 수 있으며, 상기 홈은 상기 하부전극 밑의 버퍼층까지 형성될 수 있다.

[0014] 또한 본 발명의 실시예에 따른 유기 발광 표시 장치 제조방법은, 기판 상에 박막 트랜지스터의 활성층과 커패시터의 하부전극을 형성하는 제1마스크 공정 단계; 상기 활성층과 상기 하부전극 상부에, 게이트 전극과, 화소 전극 및 상기 커패시터의 상부전극을 형성하기 위한 전극패턴을 각각 형성하는 제2마스크 공정 단계; 상기 활성층의 양측과 상기 화소전극의 일부와 상기 상부전극의 일부 및 상기 하부전극의 일부를 노출하는 개구를 갖는 층간 절연막을 형성하는 제3마스크 공정 단계; 상기 활성층의 노출된 양측 및 상기 화소전극에 접촉하는 소스/드레인전극과, 상기 하부전극의 노출된 일부와 접촉하는 금속확산매개층과, 상기 화소전극과 상기 상부전극을 각각 형성하는 제4마스크 공정 단계; 및 상기 화소 전극을 노출하는 화소 정의막을 형성하는 제5마스크 공정 단계;를 포함한다.

[0015] 상기 제2마스크 공정은, 상기 활성층 및 상기 하부전극 상부에 제1절연층, 제1도전층 및 제2도전층을 순차 증착하는 단계; 및 상기 제1도전층 및 상기 제2도전층을 패턴링하여, 상기 제1도전층을 제1전극으로 하고, 상기 제2도전층을 제2전극으로 하는 상기 게이트 전극을 형성하는 단계;를 포함할 수 있으며, 상기 활성층을 도핑하여 소스드레인 영역 및 이들 사이의 채널 영역을 형성하는 단계;를 더 포함할 수 있다.

[0016] 상기 제3마스크 공정은, 상기 게이트 전극 및 상기 전극패턴 상부에 제2절연층을 증착하는 단계; 및 상기 제2절연층을 패턴링하여 상기 활성층의 양측과 상기 화소전극의 일부와 상기 상부전극의 일부 및 상기 하부전극의 일부를 노출하는 개구를 형성하는 단계;를 포함할 수 있다.

[0017] 상기 제4마스크 공정은, 상기 층간 절연막 상부에 제3도전층을 증착하는 단계; 및 상기 제3도전층을 패턴링하여 상기 소스/드레인전극 및 상기 금속확산매개층을 형성하는 단계;를 포함할 수 있다.

[0018] 상기 제4마스크 공정은, 상기 전극패턴을 구성하는 상기 제2도전층을 제거하여 상기 제1도전층을 전극으로 하는

상기 화소 전극 및 상기 커패시터 상부전극을 각각 형성하는 단계;를 더 포함할 수 있다.

- [0019] 상기 커패시터 상부전극은 상기 제1도전층으로 형성된 제1상부전극과, 상기 제2도전층의 일부가 제거되지 않고 남아서 형성된 제2상부전극을 포함할 수 있다. 상기 제4마스크 공정은, 상기 상부전극을 통해 상기 하부전극에 불순물을 도핑하고, 상기 금속확산매개층의 금속 원자가 상기 하부전극으로 확산되게 하는 단계를 더 포함할 수 있다.
- [0020] 상기 제5마스크 공정은, 상기 기판 전면에서 제3절연층을 적층하는 단계; 및 상기 제3절연층을 패터닝하여 상기 화소 정의막을 형성하는 단계;를 포함할 수 있다.
- [0021] 상기 제1마스크 공정에서 상기 하부전극에 복수의 슬릿을 형성하고, 상기 제3마스크 공정에서 상기 하부전극의 일부를 노출시키는 개구는 상기 복수의 슬릿 사이에 위치되도록 형성할 수 있다.
- [0022] 상기 제1마스크 공정은 상기 하부전극에 상기 금속확산매개층이 연결되는 홈을 형성하는 단계를 더 포함할 수 있으며, 상기 홈을 상기 하부전극 밑의 버퍼층까지 형성할 수 있다.

발명의 효과

- [0023] 상기한 바와 같은 본 발명의 유기 발광 표시 장치 및 그 제조방법에 의하면 마스크 수의 저감에 따른 비용의 절감 및 제조 공정의 단순화를 실현할 수 있고, 또한 커패시터의 불균일 도핑에 의한 저항 증가의 우려도 해소할 수 있다.

도면의 간단한 설명

- [0024] 도 1은 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치의 일부를 개략적으로 도시한 단면도이다.
 도 2 내지 도 11은 도 1에 도시된 유기 발광 표시 장치의 제조 공정을 개략적으로 도시한 단면도이다.
 도 12a 및 도 12b는 도 1에 도시된 유기 발광 표시 장치 중 커패시터 하부전극의 변형 가능한 예를 보인 평면도이다.
 도 13 및 도 14는 도 1에 도시된 유기 발광 표시 장치 중 커패시터의 변형 가능한 예를 보인 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.
- [0026] 도면상의 동일한 부호는 동일한 요소를 지칭한다. 하기에서 본 발명을 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.
- [0027] 본 발명의 실시예를 설명하는 도면에 있어서, 어떤 층이나 영역들은 명세서의 명확성을 위해 두께를 확대하여 나타내었다. 또한 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0028] 도 1은 본 발명의 바람직한 일 실시예에 따른 배면 발광형 유기 발광 표시 장치의 일부를 개략적으로 도시한 단면도이다.
- [0029] 도 1을 참조하면, 본 발명의 유기 발광 표시 장치는, 발광영역(101), 스위치영역(102), 및 저장영역(103)을 정의한다.
- [0030] 스위치영역(102)에는 구동소자로서 박막 트랜지스터(TFT)가 구비된다. 박막트랜지스터(TFT)는, 활성층(21), 게이트 전극(20) 및 소스/드레인전극(27/29)으로 구성된다. 상기 게이트 전극(20)은 게이트 하부전극(23;이하 제1전극이라 함)과 게이트 상부전극(25;이하 제2전극이라 함)으로 구성되고, 상기 제1전극(23)은 투명한 전도성 물질로 형성된다. 상기 게이트 전극(20)과 활성층(21) 사이에는 이들 간의 절연을 위한 게이트 절연막(15;이하 제1절연층이라 함)이 개재되어 있다. 또한, 상기 활성층(21)의 양쪽 가장자리에는 고농도의 불순물이 주입된 소스/드레인 영역(21a/21b)이 형성되어 있으며, 이들은 상기 소스/드레인전극(27/29)에 각각 연결되어 있다.

- [0031] 발광영역(101)에는 유기 발광 소자(EL)가 구비된다. 유기발광소자(EL)는 상기 박막 트랜지스터(TFT)의 소스/드레인전극(27/29) 중 하나와 접속된 화소 전극(31), 대향 전극(35) 및 그 사이에 개재된 중간층(33)으로 구성된다. 상기 화소 전극(31)은 투명한 전도성 물질로 형성되며, 상기 박막 트랜지스터(TFT)의 게이트 전극(20)과 동시에 형성된다.
- [0032] 저장영역(103)에는 커패시터(Cst)가 구비된다. 커패시터(Cst)는 하부전극(41) 및 상부전극(42)(43)으로 이루어지며, 이들 사이에 제1절연층(15)이 개재된다. 상기 커패시터의 상부전극(42)(43)은 상기 박막 트랜지스터(TFT)의 게이트 전극(20) 및 유기발광소자(EL)의 화소 전극(31)과 동시에 형성된다.
- [0033] 도 2 내지 도 11은 도 1에 도시된 유기 발광 표시 장치의 제조 공정을 개략적으로 도시한 단면도이다.
- [0034] 도 2를 참조하면, 기판(10) 상부에 기판(10)의 평활성과 불순 원소의 침투를 차단하기 위한 버퍼층(11)을 형성한다.
- [0035] 기판(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.
- [0036] 도 3을 참조하면, 상기 버퍼층(11) 상부에 박막 트랜지스터(TFT)의 활성층(21)과 커패시터(Cst)의 하부전극(41)을 형성한다. 즉, 제1마스크(미도시)를 사용한 마스크 공정에 의해, 박막 트랜지스터(TFT)의 활성층(21) 및 커패시터(Cst)의 하부전극(41)이 패터닝된다. 상기 활성층(21)과 하부전극(41)은 다결정 실리콘 재질로 형성할 수 있다.
- [0037] 도 4를 참조하면, 활성층(21)과 커패시터 하부전극(41)이 형성된 기판(10)의 전면에 제1절연층(15), 제1도전층(17) 및 제2도전층(19)을 순차로 증착한다.
- [0038] 제1절연층(15)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 상기 제1절연층(15)은, 박막 트랜지스터(TFT)의 활성층(21)과 게이트 전극(20) 사이에 개재되어 박막 트랜지스터(TFT)의 게이트 절연막 역할을 하며, 커패시터 상부전극(42)(43)과 하부전극(41) 사이에 개재되어 커패시터(Cst)의 유전체층 역할을 하게 된다.
- [0039] 제1도전층(17)은 ITO, IZO, ZnO, 또는 In₂O₃와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 추후 상기 제1도전층(17)은 화소 전극(31), 게이트 제1전극(23) 및 커패시터 제1상부전극(42)으로 패터닝된다.
- [0040] 제2도전층(19)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 추후 상기 제2도전층(19)은 게이트 제2전극(25) 및 커패시터의 제2상부전극(43)으로 패터닝된다.
- [0041] 도 5를 참조하면, 기판(10) 상에 게이트 전극(20)과 전극패턴(30, 40)을 각각 형성한다.
- [0042] 기판(10) 전면에 차례로 적층된, 상기 제1도전층(17) 및 상기 제2도전층(19)은 제2마스크(미도시)를 사용한 마스크 공정에 의해 패터닝된다.
- [0043] 스위치영역(102)에는 활성층(21) 상부에 게이트 전극(20)이 형성되고, 상기 게이트 전극(20)은 제1도전층(17)의 일부로 형성된 제1전극(23)과 제2도전층(19)의 일부로 형성된 제2전극(25)을 포함한다.
- [0044] 발광영역(101)에는 추후 화소 전극(31)을 형성하기 위한 전극패턴(30)이 형성되고, 저장영역(103)에는 추후 커패시터의 제1상부전극(42)과 제2상부전극(43)을 형성하기 위한 전극패턴(40)이 커패시터 하부전극(41) 상부에 형성된다.
- [0045] 게이트 전극(20)은 활성층(21)의 중앙에 대응하며, 게이트 전극(20)을 마스크로 하여 활성층(21)으로 n형 또는 p형의 불순물을 도핑하여 게이트 전극(20)의 양측에 대응하는 활성층(21)의 가장자리에 소스/드레인 영역(21a/21b)과 이들 사이의 채널 영역을 형성한다.
- [0046] 도 6을 참조하면, 게이트 전극(20)이 형성된 기판(10)의 전면에 제2절연층(50)을 증착한다.
- [0047] 상기 제2절연층(50)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성된다. 제2절연층(50)은 충분한 두께로 형성되어, 예컨대 전술한 제1절연층(15)보다 두껍게 형성되어, 박막 트랜지스터의 게이트 전극(20)과 소스/드레인전극(27/29) 사이의 층간 절연막 역할을 수행한다. 한편, 제2절연층(50)은 상기와 같은 유기 절연 물질뿐

만 아니라, 전술한 제1절연층(15)과 같은 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기절연 물질을 교번하여 형성할 수도 있다.

- [0048] 도 7을 참조하면, 상기 전극패턴(30, 40)과 소스/드레인 영역(21a/21b)의 일부를 노출하는 개구들(H1, H2, H3, H4, H5, H6, H7)을 갖는 층간 절연막(51)을 형성한다.
- [0049] 상기 제2절연층(50)은 제3마스크(미도시)를 사용한 마스크 공정에 의해 패터닝됨으로써 상기 개구들(H1, H2, H3, H4, H5, H6, H7)을 형성한다.
- [0050] 상기 H1, H2 개구는 상기 소스/드레인 영역(21a/21b)의 일부를 노출시키고, 상기 H3, H4 개구는 발광영역(101) 전극패턴(30)의 상부를 구성하는 제2도전층(19)의 일부를 노출시키고, 상기 H5개구는 저장영역(103) 전극패턴(40)의 상부를 구성하는 제2도전층(19)의 일부를 노출시킨다. 또한, 상기 H6, H7개구는 상기 커패시터의 하부 전극(41) 일부를 노출시킨다.
- [0051] 도 8을 참조하면, 상기 층간 절연막(51)을 커버하며 기판(10) 전면에서 제3도전층(53)을 증착한다.
- [0052] 상기 제3도전층(53)은 전술한 제1 또는 제2도전층(17, 19)과 동일한 도전 물질 가운데 선택할 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다. 또한, 상기 도전 물질은 전술한 개구들(H1, H2, H3, H4, H5, H6, H7)을 충전할 수 있을 정도로 충분한 두께로 증착된다.
- [0053] 도 9를 참조하면, 이 제3도전층(53)을 패터닝하여 소스/드레인전극(27/29), 금속확산매개층(44)을 형성하고, 또한 식각을 통해 화소 전극(31) 및 커패시터 상부전극(42)(43)을 각각 형성한다. 즉, 상기 제3도전층(53)을 제4 마스크(미도시)를 사용한 마스크 공정으로 패터닝하여 소스/드레인전극(27/29)과 금속확산매개층(44)을 형성한다.
- [0054] 상기 소스/드레인전극(27/29) 중 하나의 전극(본 실시예의 경우 전극(27))은 화소 전극(31)이 형성될 전극패턴(30)의 상부 제2도전층(19)의 가장자리 영역의 개구(H3)를 통하여 화소 전극(31)과 접촉하도록 형성된다.
- [0055] 상기 금속확산매개층(44)은 상기 커패시터(Cst)의 하부전극(41)에 연결되는데, 이렇게 되면, 간단한 열처리에서 금속확산매개층(44)의 금속원자가 하부전극(41)으로 확산되어, 하부전극(41) 내의 저항을 낮춘다. 예컨대 금속확산매개층(44)이 티타늄과 알루미늄이 혼합된 제질이라면 알루미늄 원자가 하부전극(41)으로 확산되어 들어간다. 이것은 다음에 설명될 불순물 도핑 시 불균일 도핑에 따른 저항 증가를 억제하는데 유용한 구조가 된다.
- [0056] 그리고, 상기 소스/드레인전극(27/29)이 형성된 후, 추가 식각에 의해 화소 전극(31) 및 커패시터 상부전극(42)(43)이 각각 형성된다.
- [0057] 상기 발광영역(101)의 전극패턴(30)에서 H4개구에 의해 노출된 제2도전층(19)을 제거하여 화소 전극(31)을 형성한다.
- [0058] 상기 저장영역(103)의 전극패턴(40)에서 H5개구에 의해 노출된 제2도전층(19)을 제거하여 커패시터 상부전극(42)(43)을 형성한다. 이때, 제1도전층(17)으로 형성된 제1상부전극(42)은 그대로 남게 되고, 제2도전층(19)으로 형성된 제2상부전극(43)은 상기 제1상부전극(42)이 노출되도록 일부만 남고 제거된다. 사실, 제2상부전극(43)의 경우 모두 제거되는 것이 바람직하나, 층간 절연막(51) 안에 들어간 부분이 제거되지 않고 잔류하게 된다. 즉, 제2상부전극(43)은 의도적으로 남기는 것이 아니라, 일부가 제거되지 않고 남게 되는 것이다. 그런데, 이렇게 남은 제2상부전극(43)이 이후의 하부전극(41) 도핑 시 하부전극(41)의 일부를 가려서 불균일 도핑을 초래할 수 있다. 바로 이러한 문제를 해결하기 위해 전술한 바와 같이 금속확산매개층(44)을 형성해 두는 것이다.
- [0059] 도 10을 참조하면, 상기 개구(H5)를 통해 n형 또는 p형의 불순물을 주입하여 커패시터 하부전극(41)을 도핑한다. 상기 도핑시 주입되는 불순물은 상기 활성층(21)의 도핑시 사용된 것과 동일 또는 상이할 수 있다. 이때, 하부전극(41)에서 상기 제2상부전극(43)에 의해 가려진 영역에는 도핑이 잘 안 될 수가 있다. 즉, 불균일 도핑이 될 수 있다. 그러나, 이때 약 300~350℃ 정도로 가열하는 간단한 열처리를 진행하면 상기 금속확산매개층(44) 내의 금속원자가 하부전극(41)으로 확산되고, 이에 따라 도핑이 잘 안 된 영역에 금속원자가 들어가게 된다. 이렇게 되면 도핑이 이루어지지 않아서 저항이 증가되는 영역에 금속원자가 확산되어 들어가면서 다시 저항이 낮아지게 되며, 결국 불균일 도핑에 의한 저항 증가 현상을 완화시킬 수 있다.
- [0060] 그리고, 불순물의 확산이 보다 원활하게 이루어지도록 하기 위해서는, 도 3에 도시된 하부전극(41) 형성 단계에

서 도 12a나 도 12b에 도시된 바와 같이 하부전극(41)에 슬릿(41a)(41b)을 형성하고, 도 7에 도시된 H6, H7 개구 형성 단계에서는 그 슬릿(41a)(41b) 사이에 금속확산매개층(44)이 연결되도록 개구(H6,H7)를 형성하는 것이 더 효과적이다. 금속원자의 확산을 슬릿(41a)(41b)의 길이 방향으로 집중시켜서 신속한 확산을 유도할 수 있기 때문이다.

- [0061] 다음으로, 도 11을 참조하면, 기관(10) 상에 화소정의막(pixel define layer: PDL)(55)을 형성한다.
- [0062] 상기 화소 전극(31), 소스/드레인전극(27, 29), 커패시터 상부전극(42)(43)이 형성된 기관(10) 전면에 제3절연층(55a)을 증착한다.
- [0063] 상기 제3절연층(55a)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스펀 코팅 등의 방법으로 형성될 수 있다. 한편, 상기 제3절연층(55a)은 상기와 같은 유기 절연 물질뿐만 아니라, SiO₂, SiN_x, Al₂O₃, CuO_x, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있음은 물론이다. 또한 상기 제3절연층(55a)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0064] 상기 제3절연층(55a)은 제5마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 화소 전극(31)의 중앙부가 노출되도록 개구(H8)를 형성함으로써, 픽셀을 정의하는 화소정의막(55)을 형성한다.
- [0065] 이후, 도 1에 도시된 바와 같이, 상기 화소 전극(31)을 노출하는 개구(H8)에 유기 발광층을 포함하는 중간층(33) 및 대향 전극(35)을 형성한다.
- [0066] 상기 중간층(33)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다.
- [0067] 상기 중간층(33)은 저분자 또는 고분자 유기물로 구비될 수 있다.
- [0068] 저분자 유기물로 형성되는 경우, 중간층(33)은 유기 발광층을 중심으로 화소 전극(31)의 방향으로 정공 수송층 및 정공 주입층 등이 적층되고, 대향 전극(35) 방향으로 전자 수송층 및 전자 주입층 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenylbenzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq₃) 등을 비롯하여 다양하게 적용 가능하다.
- [0069] 한편, 고분자 유기물로 형성되는 경우에는, 중간층(33)은 유기 발광층을 중심으로 화소 전극(31) 방향으로 정공 수송층만이 포함될 수 있다. 정공 수송층은 폴리에틸렌 디히드록시티오펜(PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스펀 코팅의 방법에 의해 화소 전극(31) 상부에 형성할 수 있다. 이때 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있으며, 잉크젯 프린팅이나 스펀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.
- [0070] 상기 대향 전극(35)은 기관(10) 전면에 증착되어 공통 전극으로 형성될 수 있다. 본 실시예에 따른 유기 발광 표시 장치의 경우, 화소 전극(31)은 애노드 전극으로 사용되고, 대향 전극(35)은 캐소드 전극으로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0071] 유기 발광 표시 장치가 기관(10)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)의 경우, 화소 전극(31)은 투명전극이 되고 대향 전극(35)은 반사 전극이 된다. 이때 반사 전극은 일함수가 적은 금속, 예를 들자면, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착하여 형성할 수 있다.
- [0072] 한편, 상기 도면에는 도시되지 않았지만, 대향 전극(35) 상에는 외부의 수분이나 산소 등으로부터 유기 발광층을 보호하기 위한 밀봉 부재(미도시) 및 흡습제(미도시) 등이 더 구비될 수 있다.
- [0073] 전술된 유기 발광 표시 장치를 형성하기 위한 각 마스크 공정시 적층막의 제거는 건식 식각 또는 습식 식각으로 수행될 수 있다.
- [0074] 본 발명의 실시예에 따른 유기 발광 표시 장치와 그 제조방법에 의하면, 기관에서 화소정의막까지 5번의 마스크

만으로 제조가 가능하므로, 마스크 수의 저감에 따른 비용의 절감 및 제조 공정의 단순화를 실현할 수 있고, 또한 커패시터의 불균일 도핑에 의한 저항 증가의 우려도 해소할 수 있다.

[0075] 한편, 도 13 및 도 14는 도 1에 도시된 유기 발광 표시 장치의 구조 중 커패시터(Cst)의 변형 가능한 실시예를 보인 것이다. 도면에서 전술한 도 1과 같은 참조번호는 동일 기능의 부재를 나타낸다.

[0076] 먼저, 도 13에 도시된 바와 같이, 하부전극(41)에 홈(41c)을 형성하고, 금속확산매개층(44)이 그 홈(41c)에도 들어와 하부전극(41)과 접촉되도록 구성할 수 있다. 상기 홈(41c)은 도 3에서와 같이 하부전극(41)을 패터닝할 때 형성할 수 있다. 이렇게 홈(41c)을 형성해서 금속확산매개층(44)을 접촉시키면, 금속확산매개층(44)과 하부전극(41) 간의 접촉면적이 증가하게 된다. 즉, 도 1에서는 금속확산매개층(44)이 하부전극(41)의 상면에만 접촉되었지만, 본 실시예에서는 금속확산매개층이 하부전극(41)의 상면 뿐 아니라 홈(41c)을 통해 측면에도 접촉되기 때문에 그만큼 접촉면적이 넓어지게 되며, 따라서 금속원자의 확산 효율도 높아지게 된다.

[0077] 또한, 도 14에 도시된 바와 같이 홈(41d)을 하부전극(41) 아래의 버퍼층(11)까지 형성할 수도 있다. 이 홈(41d)도 도 3에서와 같이 하부전극(41)을 패터닝할 때 형성할 수 있으며, 도 13과 같이 금속확산매개층(44)과 하부전극(41) 간의 접촉면적이 증가하는 효과를 얻을 수 있다. 그리고, 버퍼층(11)까지 홈(41d)을 형성했기 때문에, 하부전극(41)의 측면에 금속확산매개층(44)이 접촉할 수 있는 면적이 더 넓어질 수 있다.

[0078] 따라서, 이러한 변형예를 통해 금속원자의 확산을 더욱 촉진시킬 수 있게 된다.

[0079] 한편, 본 발명에 따른 실시예를 설명하기 위한 도면에는 하나의 TFT와 하나의 커패시터만 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명은 이에 한정되지 않으며, 복수 개의 TFT와 복수 개의 커패시터가 포함될 수 있음은 물론이다.

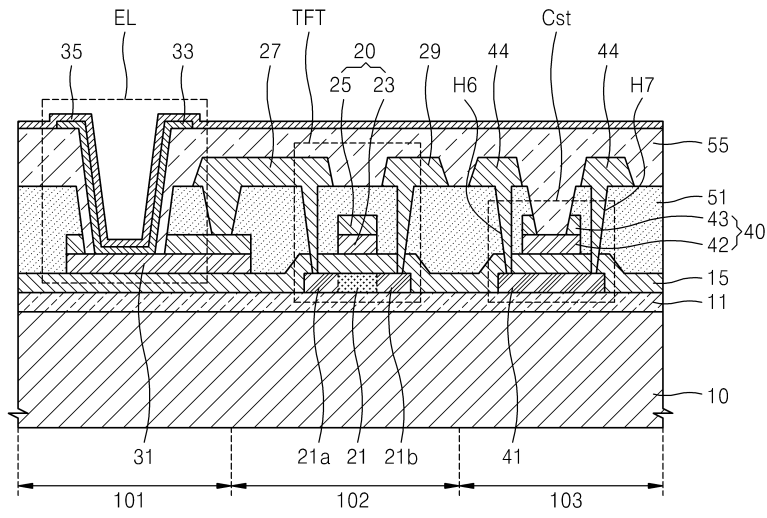
[0080] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

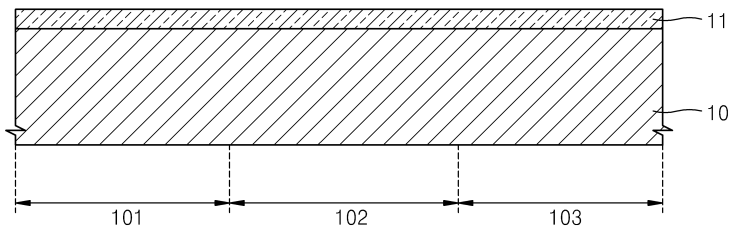
[0081] 10...기관	11...버퍼층
15,50,55a...제1,2,3절연층	17,19,53...제1,2,3도전층
20...게이트 전극	21...활성층
23...제1전극	25...제2전극
27,29...소스/드레인전극	30,40...전극 패턴
31...화소 전극	33...중간층
35...대향 전극	
41...하부전극	42,43...제1,2상부전극
44...금속확산매개층	51...층간 절연막
55...화소정의막	H1~H8...개구

도면

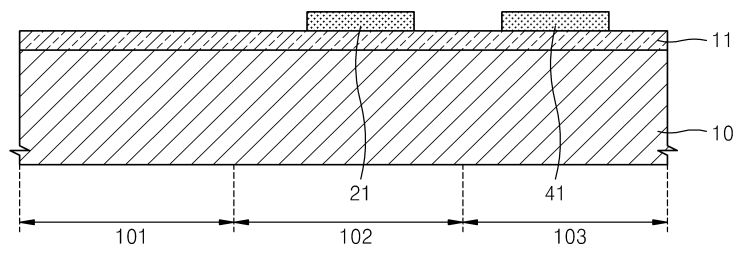
도면1



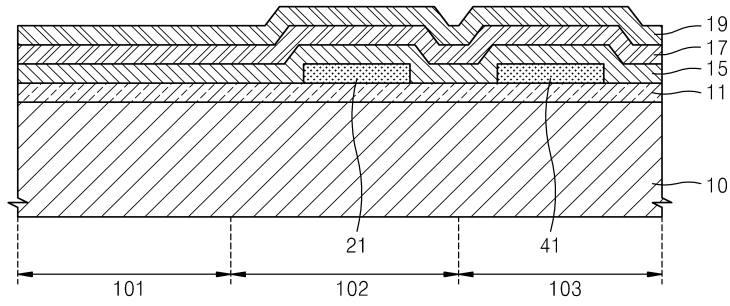
도면2



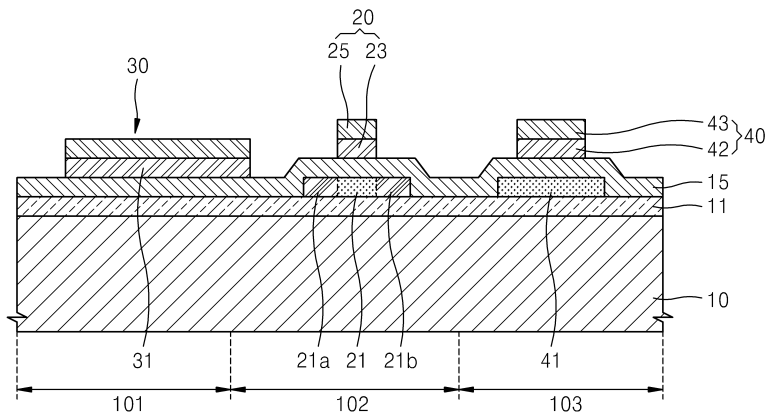
도면3



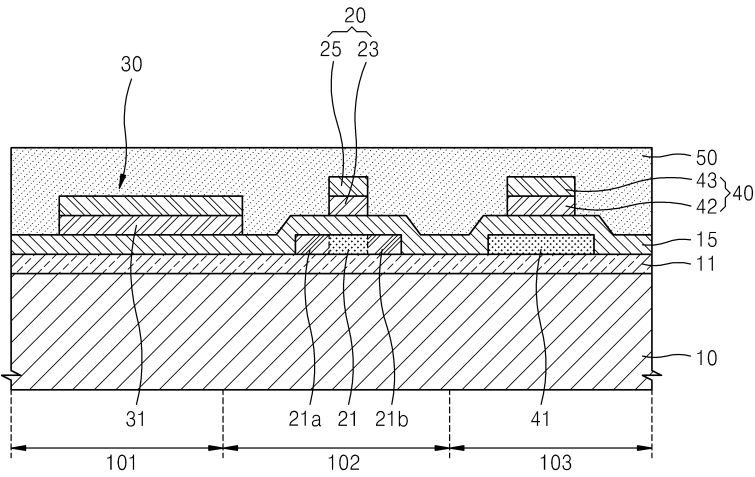
도면4



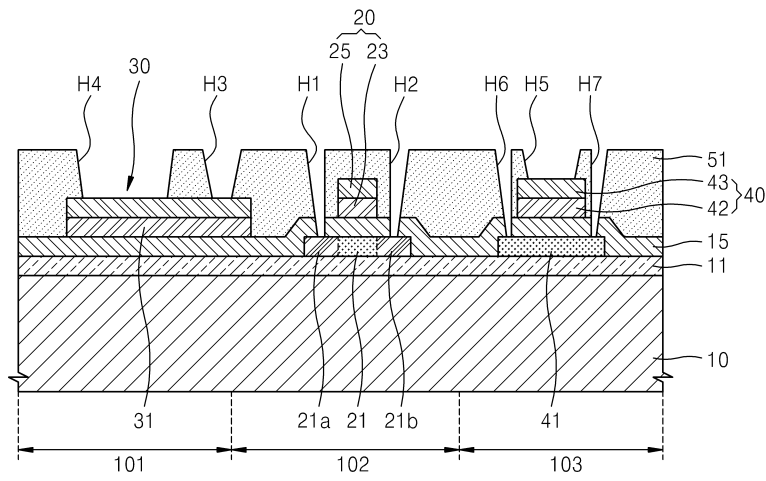
도면5



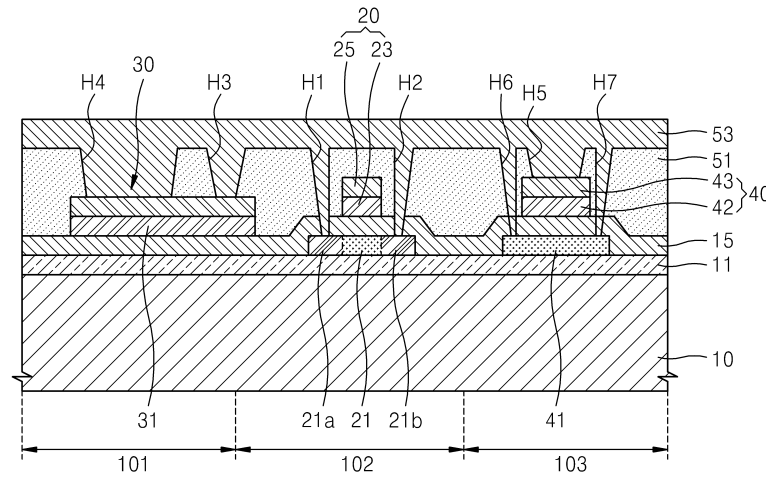
도면6



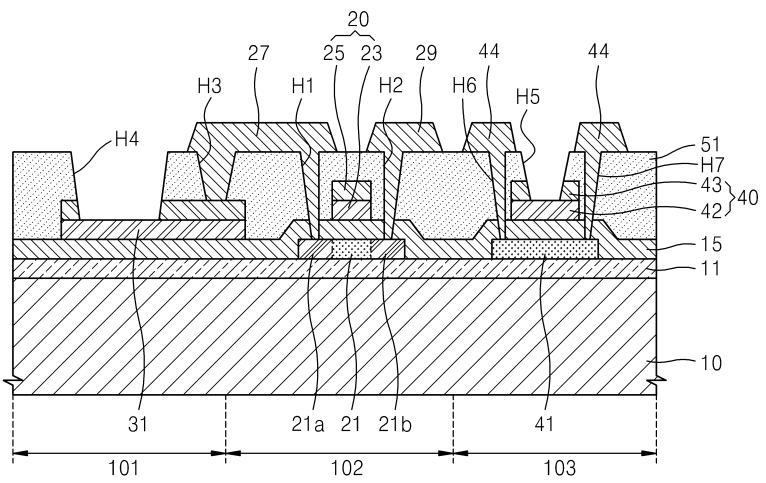
도면7



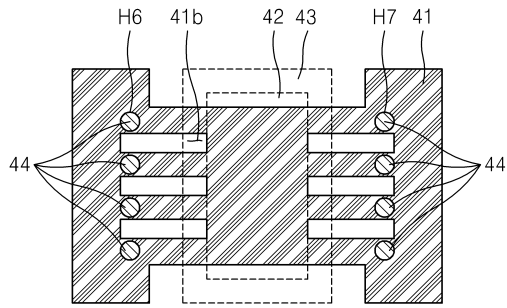
도면8



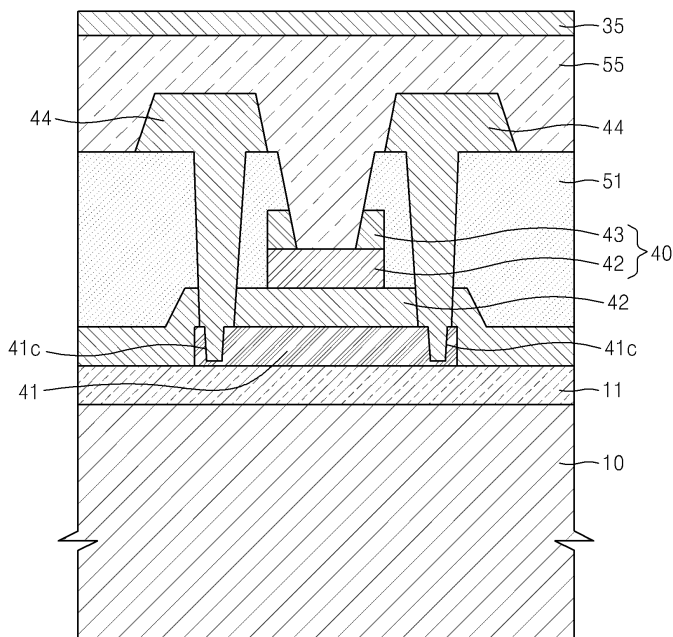
도면9



도면12b



도면13



도면14

