



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년03월17일
(11) 등록번호 10-1375059
(24) 등록일자 2014년03월10일

(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01) G09G 3/32 (2006.01)
G09G 3/20 (2006.01) H05B 33/12 (2006.01)
(21) 출원번호 10-2007-0031257
(22) 출원일자 2007년03월30일
심사청구일자 2012년03월20일
(65) 공개번호 10-2008-0088702
(43) 공개일자 2008년10월06일
(56) 선행기술조사문헌
KR1020050106834 A*
JP2005326793 A
KR1020060110215 A
KR1020050109699 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김중철
경상북도 칠곡군 약목면 북성13길 24, 오성타워맨
션 101동 110호
이호영
충청남도 천안시 서북구 월봉5길 46 (쌍용동)
전창훈
경상북도 칠곡군 석적읍 북중리3길 70, 부영 APT
110동 1606호
(74) 대리인
서교준

전체 청구항 수 : 총 31 항

심사관 : 양성지

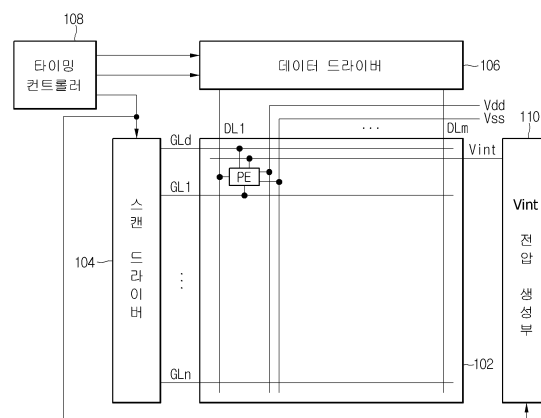
(54) 발명의 명칭 화소회로, 표시패널 및 이를 구비한 표시장치

(57) 요약

유기발광 다이오드에 공급되는 전류의 손실을 방지할 수 있는 화소회로가 개시된다.

본 발명에 따른 화소회로는 제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드와, 제 2 노드 상의 제 1 제어 전압에 응답하여 제 2 전원 라인 및 상기 제 1 노드 사이에 흐르는 전류량을 제어하는 제 1 스위치 소자와, 제 3 노드 상의 전압과 상기 제 2 전원 라인 상의 전압에 기초한 제 2 제어전압을 충전하는 제 1 캐패시터와, 데이터 전압과 기준 전압에 기초하여 제 3 제어 전압을 충전하여 상기 제 1 스위치 소자에 상기 제 3 제어 전압이 인가되게 하는 제 2 캐패시터와, 대응하는 게이트라인 상의 신호에 응답하여 대응하는 데이터라인으로부터 상기 제 3 노드에 공급될 상기 데이터 전압을 절환하는 제 2 스위치 소자와, 이전 게이트라인 상의 신호에 응답하여 상기 제 3 노드에 공급될 상기 기준 전압을 절환하는 제 3 스위치 소자 및 상기 이전 게이트라인 상의 신호에 응답하여 상기 제 2 노드와 제 3 노드 사이의 전류 통로를 스위치 하는 제 4 스위치 소자를 포함하는 것을 특징으로 한다.

대표도 - 도4



특허청구의 범위

청구항 1

제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드;

제 2 노드 상의 제 1 제어 전압에 응답하여 제 2 전원 라인 및 상기 제 1 노드 사이에 흐르는 전류량을 제어하는 제 1 스위치 소자;

제 3 노드 상의 전압과 상기 제 2 전원 라인 상의 전압에 기초한 제 2 제어전압을 충전하는 제 1 캐패시터;

데이터 전압과 기준 전압에 기초하여 제 3 제어 전압을 충전하여 상기 제 1 스위치 소자에 상기 제 3 제어 전압이 인가되게 하는 제 2 캐패시터;

대응하는 게이트라인 상의 신호에 응답하여 대응하는 데이터라인으로부터 상기 제 3 노드에 공급될 상기 데이터 전압을 절환하는 제 2 스위치 소자;

이전 게이트라인 상의 신호에 응답하여 상기 제 3 노드에 공급될 상기 기준 전압을 절환하는 제 3 스위치 소자;

상기 이전 게이트라인 상의 신호에 응답하여 상기 제 2 노드와 제 3 노드 사이의 전류 통로를 스위치 하는 제 4 스위치 소자; 그리고

상기 대응하는 게이트라인과 대응된 초기 전압 라인 상의 초기 전압 신호에 응답하여 상기 제 1 및 제 2 캐패시터를 초기화 시키는 제 5 스위치 소자를 포함하는 것을 특징으로 하는 화소회로.

청구항 2

삭제

청구항 3

제 1항에 있어서,

상기 초기 전압 신호의 위상은 상기 대응하는 게이트라인 상의 신호보다 빠르고 폭은 작은 것을 특징으로 하는 화소회로.

청구항 4

제 1항에 있어서,

상기 제 2 노드에 인가된 전압에 응답하여 상기 제 1 노드 상의 전압을 상기 다이오드로 공급하는 제 6 스위치 소자를 더 포함하는 것을 특징으로 하는 화소회로.

청구항 5

제 1항에 있어서,

상기 제 1 제어 전압은 상기 제 2 및 제 3 제어 전압을 합한 것과 동일한 것을 특징으로 하는 화소회로.

청구항 6

제 1항에 있어서,

상기 제 1 내지 제 4 스위치 소자는 PNP 타입의 트랜지스터를 포함하는 것을 특징으로 하는 화소회로.

청구항 7

제 6 항에 있어서,

상기 제 1 전원 라인에는 저전위 전압이 공급되고, 상기 제 2 전원 라인에는 고전위 전압이 공급되는 것을 특징으로 하는 화소회로.

청구항 8

제 7 항에 있어서,

상기 제 1 캐패시터는 상기 제 3 노드 및 상기 제 2 전원 라인 사이에 접속된 것을 특징으로 하는 화소회로.

청구항 9

제 1항에 있어서,

상기 제 1 내지 제 4 스위치 소자는 NPN 타입의 트랜지스터를 포함하는 것을 특징으로 하는 화소회로.

청구항 10

제 9항에 있어서,

상기 제 1 전원 라인에는 저전위 전압이 공급되고, 상기 제 2 전원 라인에는 고전위 전압이 공급되는 것을 특징으로 하는 화소회로.

청구항 11

제 10항에 있어서,

상기 제 1 캐패시터는 상기 제 3 노드 및 상기 제 1 전원 라인 사이에 접속된 것을 특징으로 하는 화소회로.

청구항 12

제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드;

제 2 노드 상의 제 1 제어 전압에 응답하게 제 2 전원 라인 및 상기 제 1 노드 사이에 접속된 제 1 스위치 소자;

상기 제 1 및 제 2 전원 라인들 중 어느 하나와 상기 제 3 노드 사이에 접속된 제 1 캐패시터;

상기 제 2 및 제 3 노드 사이에 접속된 제 2 캐패시터;

대응하는 게이트라인 상의 신호에 응답하게 대응하는 데이터라인 및 상기 제 3 노드 사이에 접속된 제 2 스위치 소자;

이전 게이트라인 상의 신호에 응답하게 대응하는 기준 전압라인 및 상기 제 3 노드 사이에 접속된 제 3 스위치 소자;

상기 이전 게이트라인 상의 신호에 응답하게 상기 제 2 노드 및 제 3 노드 사이에 접속된 제 4 스위치 소자;
그리고

상기 대응하는 게이트라인과 대응된 초기 전압 라인 상의 초기 전압 신호에 응답하게 상기 제 2 노드와 상기 다이오드 사이에 접속된 제 5 스위치 소자를 포함하는 것을 특징으로 하는 화소회로.

청구항 13

삭제

청구항 14

제 12항에 있어서,

상기 초기 전압 신호의 위상은 상기 대응하는 게이트라인 상의 신호보다 빠르고 폭은 작은 것을 특징으로 하는 화소회로.

청구항 15

제 12항에 있어서,

상기 제 1 노드와 상기 다이오드 사이에 접속된 제 6 스위치 소자를 더 포함하는 것을 특징으로 하는 화소회로.

청구항 16

제 12항에 있어서,

상기 제 1 내지 제 4 스위치 소자는 PNP 타입의 트랜지스터를 포함하는 것을 특징으로 하는 화소회로.

청구항 17

제 16항에 있어서,

상기 제 1 전원 라인에는 저전위 전압이 공급되고, 상기 제 2 전원 라인에는 고전위 전압이 공급되는 것을 특징으로 하는 화소회로.

청구항 18

제 17항에 있어서,

상기 제 1 캐패시터는 상기 제 3 노드 및 상기 제 2 전원 라인 사이에 접속된 것을 특징으로 하는 화소회로.

청구항 19

제 12항에 있어서,

상기 제 1 내지 제 4 스위치 소자는 NPN 타입의 트랜지스터를 포함하는 것을 특징으로 하는 화소회로.

청구항 20

제 19항에 있어서,

상기 제 1 전원 라인에는 저전위 전압이 공급되고, 상기 제 2 전원 라인에는 고전위 전압이 공급되는 것을 특징으로 하는 화소회로.

청구항 21

제 20항에 있어서,

상기 제 1 캐패시터는 상기 제 3 노드 및 상기 제 1 전원 라인 사이에 접속된 것을 특징으로 하는 화소회로.

청구항 22

다수의 스캔라인들 및 다수의 데이터라인들;

상기 다수의 스캔라인들과 평행하게 배열된 다수의 초기전압라인들;

상기 다수의 게이트 라인들 및 상기 다수의 데이터 라인들에 의하여 구분된 화소영역들 각각에 형성된 화소회로를 포함하고,

상기 화소회로는 제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드와, 제 2 노드 상의 제 1 제어 전압에 응답하여 제 2 전원 라인 및 상기 제 1 노드 사이에 흐르는 전류량을 제어하는 제 1 스위치 소자와, 제 3 노드 상의 전압과 상기 제 2 전원 라인 상의 전압에 기초한 제 2 제어전압을 충전하는 제 1 캐패시터와, 데이터 전압과 기준 전압에 기초하여 제 3 제어 전압을 충전하여 상기 제 1 스위치 소자에 상기 제 3 제어 전압이 인가되게 하는 제 2 캐패시터와, 대응하는 게이트라인 상의 신호에 응답하여 대응하는 데이터라인으로부터 상기 제 3 노드에 공급될 상기 데이터 전압을 절환하는 제 2 스위치 소자와, 이전 게이트라인 상의 신호에 응답하여 상기 제 3 노드에 공급될 상기 기준 전압을 절환하는 제 3 스위치 소자와 상기 이전 게이트라인 상의 신호에 응답하여 상기 제 2 노드와 제 3 노드 사이의 전류 통로를 스위치 하는 제 4 스위치 소자 및 상기 다수의 초기전압라인들 상의 초기 전압 신호에 응답하여 상기 제 1 및 제 2 캐패시터를 초기화 시키는 제 5 스위치 소자를 포함하는 것을 특징으로 하는 표시패널.

청구항 23

삭제

청구항 24

제 22항에 있어서,

상기 초기 전압 신호의 위상은 상기 대응하는 게이트라인 상의 신호보다 빠르고 폭은 작은 것을 특징으로 하는 표시패널.

청구항 25

제 22항에 있어서,

상기 제 2 노드에 인가된 전압에 응답하여 상기 제 1 노드 상의 전압을 상기 다이오드로 공급하는 제 6 스위치 소자를 더 포함하는 것을 특징으로 하는 표시패널.

청구항 26

다수의 스캔라인들 및 다수의 데이터라인들;

상기 다수의 스캔라인들과 평행하게 배열된 다수의 초기전압라인들;

상기 다수의 게이트 라인들 및 상기 다수의 데이터 라인들에 의하여 구분된 화소영역들 각각에 형성된 화소회로를 포함하고,

상기 화소회로는 제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드와, 제 2 노드 상의 제 1 제어 전압에 응답하게 제 2 전원 라인 및 상기 제 1 노드 사이에 접속된 제 1 스위치 소자와, 상기 제 1 및 제 2 전원 라인들 중 어느 하나와 상기 제 3 노드 사이에 접속된 제 1 캐패시터와, 상기 제 2 및 제 3 노드 사이에 접속된 제 2 캐패시터와, 대응하는 게이트라인 상의 신호에 응답하게 대응하는 데이터라인 및 상기 제 3 노드 사이에 접속된 제 2 스위치 소자와, 이전 게이트라인 상의 신호에 응답하게 대응하는 기준 전압라인 및 상기 제 3 노드 사이에 접속된 제 3 스위치 소자와 상기 이전 게이트라인 상의 신호에 응답하게 상기 제 2 노드 및 제 3 노드 사이에 접속된 제 4 스위치 소자 및 상기 다수의 초기전압라인들 상의 초기 전압 신호에 응답하게 상기 제 2 노드와 상기 다이오드 사이에 접속된 제 5 스위치 소자를 포함하는 것을 특징으로 하는 표시패널.

청구항 27

삭제

청구항 28

제 26항에 있어서,

상기 초기 전압 신호의 위상은 상기 대응하는 게이트라인 상의 신호보다 빠르고 폭은 작은 것을 특징으로 하는 표시패널.

청구항 29

제 26항에 있어서,

상기 제 1 노드와 상기 다이오드 사이에 접속된 제 6 스위치 소자를 더 포함하는 것을 특징으로 하는 표시패널.

청구항 30

다수의 스캔라인들 및 다수의 데이터라인들과, 상기 다수의 스캔라인들과 평행하게 배열된 다수의 초기전압라인들과, 상기 다수의 게이트 라인들 및 상기 다수의 데이터 라인들에 의하여 구분된 화소영역들 각각에 형성된 화소회로를 포함하고, 상기 화소회로는 제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드와, 제 2 노드 상의 제 1 제어 전압에 응답하여 제 2 전원 라인 및 상기 제 1 노드 사이에 흐르는 전류량을 제어하는 제 1 스위치 소자와, 제 3 노드 상의 전압과 상기 제 2 전원 라인 상의 전압에 기초한 제 2 제어전압을 충전하는 제 1 캐패시터와, 데이터 전압과 기준 전압에 기초하여 제 3 제어 전압을 충전하여 상기 제 1 스위치 소자에 상기 제 3 제어 전압이 인가되게 하는 제 2 캐패시터와, 대응하는 게이트라인 상의 신호에 응답하여 대응하는 데이터라인으로부터 상기 제 3 노드에 공급될 상기 데이터 전압을 절환하는 제 2 스위치 소자와, 이전 게이트라인 상의 신호에 응답하여 상기 제 3 노드에 공급될 상기 기준 전압을 절환하는 제 3 스위치 소자와 상기 이전 게

이트라인 상의 신호에 응답하여 상기 제 2 노드와 제 3 노드 사이의 전류 통로를 스위치 하는 제 4 스위치 소자 및 상기 다수의 초기전압라인들 상의 초기 전압 신호에 응답하여 상기 제 1 및 제 2 캐패시터를 초기화 시키는 제 5 스위치 소자를 포함하는 표시패널;

상기 다수의 스캔라인들을 구동하기 위한 신호를 생성하는 스캔 드라이버;

상기 다수의 데이터라인들을 구동하기 위한 신호를 생성하는 데이터 드라이버; 및

상기 초기 전압 신호를 생성하는 초기 전압 생성부를 포함하는 것을 특징으로 하는 표시장치.

청구항 31

삭제

청구항 32

제 30항에 있어서,

상기 초기 전압 신호의 위상은 상기 대응하는 게이트라인 상의 신호보다 빠르고 폭은 작은 것을 특징으로 하는 표시장치.

청구항 33

제 30항에 있어서,

상기 제 2 노드에 인가된 전압에 응답하여 상기 제 1 노드 상의 전압을 상기 다이오드로 공급하는 제 6 스위치 소자를 더 포함하는 것을 특징으로 하는 표시장치.

청구항 34

다수의 스캔라인들 및 다수의 데이터라인들과, 상기 다수의 스캔라인들과 평행하게 배열된 다수의 초기전압라인들과, 상기 다수의 게이트 라인들 및 상기 다수의 데이터 라인들에 의하여 구분된 화소영역들 각각에 형성된 화소회로를 포함하고, 상기 화소회로는 제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드와, 제 2 노드 상의 제 1 제어 전압에 응답하게 제 2 전원 라인 및 상기 제 1 노드 사이에 접속된 제 1 스위치 소자와, 상기 제 1 및 제 2 전원 라인들 중 어느 하나와 상기 제 3 노드 사이에 접속된 제 1 캐패시터와, 상기 제 2 및 제 3 노드 사이에 접속된 제 2 캐패시터와, 대응하는 게이트라인 상의 신호에 응답하게 대응하는 데이터라인 및 상기 제 3 노드 사이에 접속된 제 2 스위치 소자와, 이전 게이트라인 상의 신호에 응답하게 대응하는 기준 전압라인 및 상기 제 3 노드 사이에 접속된 제 3 스위치 소자와 상기 이전 게이트라인 상의 신호에 응답하게 상기 제 2 노드 및 제 3 노드 사이에 접속된 제 4 스위치 소자 및 상기 다수의 초기전압라인들 상의 초기 전압 신호에 응답하여 상기 제 1 및 제 2 캐패시터를 초기화 시키는 제 5 스위치 소자를 포함하는 표시패널;

상기 다수의 스캔라인들을 구동하기 위한 신호를 생성하는 게이트 드라이버;

상기 다수의 데이터라인들을 구동하기 위한 신호를 생성하는 데이터 드라이버; 및 상기 초기 전압 신호를 생성하는 초기 전압 생성부를 포함하는 것을 특징으로 하는 표시장치.

청구항 35

삭제

청구항 36

제 34항에 있어서,

상기 초기 전압 신호의 위상은 상기 대응하는 게이트라인 상의 신호보다 빠르고 폭은 작은 것을 특징으로 하는 표시장치.

청구항 37

제 34항에 있어서,

상기 제 1 노드와 상기 다이오드 사이에 접속된 제 6 스위치 소자를 더 포함하는 것을 특징으로 하는 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0014] 본 발명은 유기발광 다이오드를 구비한 화소회로에 있어서, 특히 전류 손실을 방지할 수 있는 화소회로, 표시패널 및 이를 구비한 표시패널에 관한 것이다.
- [0015] 유기발광 다이오드는 전자와 정공의 재결합으로 형광물질을 발광시키는 자발광 소자이었다. 상기 유기발광 다이오드를 구비한 화소회로를 포함하는 표시장치는 액정표시장치와 같이 별도의 광원을 필요로 하는 수동형 발광소자에 비하여 응답속도가 빠르고 직류구동전압이 낮고 초박막화가 가능하기 때문에 벽걸이형 또는 휴대용으로 응용이 가능하였다.
- [0016] 이와 같은 유기발광 다이오드를 구비한 화소회로는 적색, 녹색 및 청색의 서브픽셀들이 하나의 색을 표현하는 픽셀들을 이용하여 풀-컬러를 구현하였다. 이때 유기발광 다이오드를 구비한 화소회로는 서브픽셀을 구동하는 방식으로 단순 매트릭스형(Passive Matrix)과 박막트랜지스터(TFT)를 이용하여 구동하는 방식인 액티브 매트릭스형(Active Matrix)로 나눌 수 있다.
- [0017] 도 1은 종래의 액티브 매트릭스형 화소회로의 회로도이다.
- [0018] 도 1에 도시된 바와 같이, 종래의 액티브 매트릭스형 화소회로는 제 1 내지 제 5 박막트랜지스터(T1 ~ T5)와, 스토리지 캐패시터(Cst)와, 문턱전압 캐패시터(Cth) 및 유기발광 다이오드(OLED)를 포함하고 있다. 상기 유기발광 다이오드(OLED)는 인가되는 전류의 양에 대응하는 빛을 발광한다.
- [0019] 상기 제 1 내지 제 5 박막트랜지스터(T1 ~ T5) 중 제 1 박막트랜지스터(T1)는 전원전압(Vdd)에 소스가 연결되고 제 5 박막트랜지스터(T5)의 소스에 드레인이 연결되어, 상기 문턱전압 캐패시터(Cth)에 충전된 전하량에 따라 제어되는 게이트로 이루어져 있다.
- [0020] 상기 제 5 박막트랜지스터(T5)는 유기발광 다이오드(OLED)와 연결된 드레인과, 상기 제 1 박막트랜지스터(T1)의 드레인과 연결된 소스와, 별도의 인에이블 제어신호(EM)에 의해 제어되는 게이트로 이루어져 있다. 상기 인에이블 제어신호(EM)에 의해 상기 제 5 박막트랜지스터(T5)가 턴-온/오프(turn-on/off)되어 상기 유기발광 다이오드(OLED)로 전류를 공급하는 역할을 한다.
- [0021] 상기 제 1 내지 제 5 박막트랜지스터(T1 ~ T5) 중 제 2 박막트랜지스터(T2)는 상기 제 1 및 제 5 박막트랜지스터(T1, T5) 사이에 위치한 제 3 노드(N3)에 접속된 드레인과, 제 2 노드(N2)에 접속된 소스와, 이전 게이트라인에 인가된 스캔신호(scan(n-1))에 의해 제어되는 게이트로 이루어져 있다.
- [0022] 제 3 박막트랜지스터(T3)는 데이터 전압(Vdata)에 접속된 소스와, 대응하는 게이트라인에 인가된 스캔신호(scan(n))에 제어되는 게이트와, 상기 스토리지 캐패시터(Cst)와 문턱전압 캐패시터(Cth) 사이에 위치한 제 1 노드(N1)에 접속된 드레인으로 이루어져 있다. 제 4 박막트랜지스터(T4)는 전원전압(Vdd)에 접속된 소스와, 상기 제 1 노드(N1)에 접속된 드레인과, 상기 이전 게이트라인에 인가된 스캔신호(scan(n-1))에 제어되는 게이트로 이루어져 있다.
- [0023] 이때, 상기 제 1 내지 제 5 박막트랜지스터(T1 ~ T5)는 P 타입형 박막트랜지스터로 구성되어 있다.
- [0024] 도 2는 도 1의 화소회로의 구동 타이밍도이다.
- [0025] 도 1 및 도 2에 도시된 바와 같이, 이전 게이트라인에 인가된 스캔신호(scan(n-1))가 로우(Low)이고, 대응하는 게이트라인에 인가된 스캔신호(scan(n))가 하이(High)이고 인에이블 제어신호(EM)가 로우(Low)인 경우(이하, "제 1 구간"이라 함), 상기 제 3 박막트랜지스터(T3)만 턴-오프(turn-off) 되어 개방 되고, 상기 제 3 박막트랜지스터(T3)를 제외한 나머지는 턴-온(turn-on) 되어 쇼트된다. 이전 게이트라인에 인가된 스캔신호(scan(n-1))와 상기 인에이블 제어신호(EM)가 하이(High)이고, 대응하는 게이트라인에 인가된 스캔신호(scan(n))가 로우(Low)인 경우(이하, "제 2 구간"이라 함), 제 2 박막트랜지스터(T2)와 제 4 및 제 5 박막트랜지스터(T4, T5)는 턴-오프(turn-off) 되어 개방되고, 제 3 박막트랜지스터(T3)는 턴-온(turn-on) 되어 쇼트된다. 이전 게이트라인에 인가된 스캔신호(scan(n-1))와 대응하는 게이트라인에 인가된 스캔신호(scan(n))가 하이(High) 이고, 상기

인에이블 제어신호(EM)가 로우(Low)인 경우(이하, "제 3 구간"이라 함), 상기 제 5 박막트랜지스터(T5)만 턴-온(turn-on) 되어 쇼트되고, 상기 제 5 박막트랜지스터(T5)를 제외한 나머지는 턴-오프(turn-off)되어 개방된다.

[0026] 상기 제 1 구간에서 도 1에 도시된 화소회로는 도 3a에서와 같은 연결 구성을 가지게 된다. 도 3a에 도시된 바와 같이, 상기 제 1 구간에서 제 1 노드(N1)에는 전원전압(Vdd)이 인가되고, 제 2 노드(N2)에는 전원전압(Vdd)에서 상기 제 1 박막트랜지스터(T1)의 문턱전압(Vth)을 뺀 전압(Vdd-Vth, 이하 "제 1 전압"이라 함)이 인가된다. 이때, 상기 제 2 노드(N2)에 인가된 전압의 레벨에 따라 상기 제 1 박막트랜지스터(T1)의 턴-온/오프(turn-on/off)가 결정된다. 상기 제 2 노드(N2)에 인가된 전압이 상기 전원전압(Vdd)에 가까워짐에 따라 상기 스토리지 캐패시터(Cst)와 문턱전압 캐패시터(Cth)가 초기화된다.

[0027] 상기 제 2 구간에서 도 1에 도시된 화소회로는 도 3b에서와 같은 연결 구성을 가지게 된다. 도 3b에 도시된 바와 같이, 상기 제 2 구간에서 상기 제 2 노드(N2)에는 제 1 전압(Vdd-Vth)이 셋팅되고 상기 제 3 박막트랜지스터(T3)가 턴-온(turn-on) 되면서 상기 제 1 노드(N1)에는 데이터 전압(Vdata)이 인가된다. 상기 스토리지 캐패시터(Cst)와 상기 문턱전압 캐패시터(Cth)에는 상기 제 1 전압(Vdd-Vth) 및 상기 데이터 전압(Vdata)에 근거한 전압에 해당되는 전하량이 충전된다.

[0028] 상기 제 3 구간에서 도 1에 도시된 화소회로는 도 3c에서와 같은 연결 구성을 가지게 된다. 도 3c에 도시된 바와 같이, 상기 제 3 구간에서 상기 제 2 노드(N2)에는 상기 제 1 전압(Vdd-Vth)에서 상기 데이터 전압(Vdata)을 뺀 전압(Vdd-Vth-Vdata, 이하 "제 2 전압"이라 함)이 인가된다. 결과적으로 상기 유기발광 다이오드(OLED)에 흐르는 전류는 다음과 같은 수식을 통해 표현된다.

수학식 1

$$I_{OLED} = K (V_{gs} - |V_{th}|)^2 = K (Vdd - Vdata + |Vth| - |Vth|)^2 = K (Vdd - Vdata)^2$$

[0029]

[0030] 위의 수학식 1을 통해 상기 유기발광 다이오드(OLED)에 흐르는 전류는 상기 전원전압(Vdd)과 데이터 전압에 의해 결정될 수 있다. 상기 화소회로는 전원전압 공급라인을 통해 상기 전원전압(Vdd)을 공급받는다. 이러한 경우, 상기 전원전압 공급라인에 의해 공급되는 상기 전원전압(Vdd)이 라인저항 등으로 인해 전압강하가 발생할 수 있다. 표시패널이 대형화됨에 따라 상기 전원전압 공급라인이 길어질수록 화소회로 내에 연결되는 부분이 많아져서 상기 전원전압(Vdd)의 전압강하의 크기는 더욱 커지게 되는 문제점이 있다. 특히 최근에 대화면을 갖는 표시장치가 각광을 받고 있어 표시장치의 화면이 커질수록 상기 전원전압 공급라인에서 발생하는 전압강하는 더 커지게 된다. 이로 인해, 상기 유기발광 다이오드(OLED)에 흐르는 전류에도 영향을 미쳐 상기 유기발광 다이오드(OLED)에서 발광되는 빛의 양에 차이가 발생하여 휘도가 불균일해질 수 있다.

발명이 이루고자 하는 기술적 과제

[0031] 본 발명은 전류 손실을 방지할 수 있는 화소회로, 표시패널 및 이를 구비한 표시장치를 제공함에 그 목적이 있다.

[0032] 또한, 본 발명은 균일한 휘도를 표시할 수 있는 화소회로, 표시패널 및 이를 구비한 표시장치를 제공함에 그 목적이 있다.

발명의 구성 및 작용

[0033] 상기 목적을 달성하기 위한 본 발명의 제 1 실시예에 따른 화소회로는 제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드와, 제 2 노드 상의 제 1 제어 전압에 응답하여 제 2 전원 라인 및 상기 제 1 노드 사이에 흐르는 전류량을 제어하는 제 1 스위치 소자와, 제 3 노드 상의 전압과 상기 제 2 전원 라인 상의 전압에 기초한 제 2 제어전압을 충전하는 제 1 캐패시터와, 데이터 전압과 기준 전압에 기초하여 제 3 제어 전압을 충전하여 상기 제 1 스위치 소자에 상기 제 3 제어 전압이 인가되게 하는 제 2 캐패시터와, 대응하는 게이트라인 상의 신호에 응답하여 대응하는 데이터라인으로부터 상기 제 3 노드에 공급될 상기 데이터 전압을 절환하는 제 2 스위치 소자와, 이전 게이트라인 상의 신호에 응답하여 상기 제 3 노드에 공급될 상기 기준 전압을 절환하는 제 3 스위치 소자 및 상기 이전 게이트라인 상의 신호에 응답하여 상기 제 2 노드와 제 3 노드 사이의 전류 통로를 스위치하는 제 4 스위치 소자를 포함하는 것을 특징으로 한다.

[0034] 상기 목적을 달성하기 위한 본 발명의 제 2 실시예에 따른 화소회로는 제 1 노드 및 제 1 전원 라인 사이에 접

속된 다이오드와, 제 2 노드 상의 제 1 제어 전압에 응답하게 제 2 전원 라인 및 상기 제 1 노드 사이에 접속된 제 1 스위치 소자와, 상기 제 1 및 제 2 전원 라인들 중 어느 하나와 상기 제 3 노드 사이에 접속된 제 1 캐패시터와, 상기 제 2 및 제 3 노드 사이에 접속된 제 2 캐패시터와, 대응하는 게이트라인 상의 신호에 응답하게 대응하는 데이터라인 및 상기 제 3 노드 사이에 접속된 제 2 스위치 소자와, 이전 게이트라인 상의 신호에 응답하게 대응하는 기준 전압라인 및 상기 제 3 노드 사이에 접속된 제 3 스위치 소자 및 상기 이전 게이트라인 상의 신호에 응답하게 상기 제 2 노드 및 제 3 노드 사이에 접속된 제 4 스위치 소자를 포함하는 것을 특징으로 한다.

[0035] 상기 목적을 달성하기 위한 본 발명의 제 1 실시예에 따른 표시패널은 다수의 스캔라인들 및 다수의 데이터라인들과, 상기 다수의 스캔라인들과 평행하게 배열된 다수의 초기전압라인들과, 상기 다수의 게이트 라인들 및 상기 다수의 데이터 라인들에 의하여 구분된 화소영역을 각각에 형성된 화소회로를 포함하고, 상기 화소회로는 제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드와, 제 2 노드 상의 제 1 제어 전압에 응답하여 제 2 전원 라인 및 상기 제 1 노드 사이에 흐르는 전류량을 제어하는 제 1 스위치 소자와, 제 3 노드 상의 전압과 상기 제 2 전원 라인 상의 전압에 기초한 제 2 제어전압을 충전하는 제 1 캐패시터와, 데이터 전압과 기준 전압에 기초하여 제 3 제어 전압을 충전하여 상기 제 1 스위치 소자에 상기 제 3 제어 전압이 인가되게 하는 제 2 캐패시터와, 대응하는 게이트라인 상의 신호에 응답하여 대응하는 데이터라인으로부터 상기 제 3 노드에 공급될 상기 데이터 전압을 절환하는 제 2 스위치 소자와, 이전 게이트라인 상의 신호에 응답하여 상기 제 3 노드에 공급될 상기 기준 전압을 절환하는 제 3 스위치 소자 및 상기 이전 게이트라인 상의 신호에 응답하여 상기 제 2 노드와 제 3 노드 사이의 전류 통로를 스위치 하는 제 4 스위치 소자를 포함하는 것을 특징으로 한다.

[0036] 상기 목적을 달성하기 위한 본 발명의 제 2 실시예에 따른 표시패널은 다수의 스캔라인들 및 다수의 데이터라인들과, 상기 다수의 스캔라인들과 평행하게 배열된 다수의 초기전압라인들과, 상기 다수의 게이트 라인들 및 상기 다수의 데이터 라인들에 의하여 구분된 화소영역을 각각에 형성된 화소회로를 포함하고, 상기 화소회로는 제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드와, 제 2 노드 상의 제 1 제어 전압에 응답하게 제 2 전원 라인 및 상기 제 1 노드 사이에 접속된 제 1 스위치 소자와, 상기 제 1 및 제 2 전원 라인들 중 어느 하나와 상기 제 3 노드 사이에 접속된 제 1 캐패시터와, 상기 제 2 및 제 3 노드 사이에 접속된 제 2 캐패시터와, 대응하는 게이트라인 상의 신호에 응답하게 대응하는 데이터라인 및 상기 제 3 노드 사이에 접속된 제 2 스위치 소자와, 이전 게이트라인 상의 신호에 응답하게 대응하는 기준 전압라인 및 상기 제 3 노드 사이에 접속된 제 3 스위치 소자 및 상기 이전 게이트라인 상의 신호에 응답하게 상기 제 2 노드 및 제 3 노드 사이에 접속된 제 4 스위치 소자를 포함하는 것을 특징으로 한다.

[0037] 상기 목적을 달성하기 위한 본 발명의 제 1 실시예에 따른 표시장치는 다수의 스캔라인들 및 다수의 데이터라인들과, 상기 다수의 스캔라인들과 평행하게 배열된 다수의 초기전압라인들과, 상기 다수의 게이트 라인들 및 상기 다수의 데이터 라인들에 의하여 구분된 화소영역을 각각에 형성된 화소회로를 포함하고, 상기 화소회로는 제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드와, 제 2 노드 상의 제 1 제어 전압에 응답하여 제 2 전원 라인 및 상기 제 1 노드 사이에 흐르는 전류량을 제어하는 제 1 스위치 소자와, 제 3 노드 상의 전압과 상기 제 2 전원 라인 상의 전압에 기초한 제 2 제어전압을 충전하는 제 1 캐패시터와, 데이터 전압과 기준 전압에 기초하여 제 3 제어 전압을 충전하여 상기 제 1 스위치 소자에 상기 제 3 제어 전압이 인가되게 하는 제 2 캐패시터와, 대응하는 게이트라인 상의 신호에 응답하여 대응하는 데이터라인으로부터 상기 제 3 노드에 공급될 상기 데이터 전압을 절환하는 제 2 스위치 소자와, 이전 게이트라인 상의 신호에 응답하여 상기 제 3 노드에 공급될 상기 기준 전압을 절환하는 제 3 스위치 소자 및 상기 이전 게이트라인 상의 신호에 응답하여 상기 제 2 노드와 제 3 노드 사이의 전류 통로를 스위치 하는 제 4 스위치 소자를 포함하는 표시패널과, 상기 다수의 스캔라인들을 구동하기 위한 신호를 생성하는 스캔 드라이버 및 상기 다수의 데이터라인들을 구동하기 위한 신호를 생성하는 데이터 드라이버를 포함하는 것을 특징으로 한다.

[0038] 상기 목적을 달성하기 위한 본 발명의 제 2 실시예에 따른 표시장치는 다수의 스캔라인들 및 다수의 데이터라인들과, 상기 다수의 스캔라인들과 평행하게 배열된 다수의 초기전압라인들과, 상기 다수의 게이트 라인들 및 상기 다수의 데이터 라인들에 의하여 구분된 화소영역을 각각에 형성된 화소회로를 포함하고, 상기 화소회로는 제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드와, 제 2 노드 상의 제 1 제어 전압에 응답하게 제 2 전원 라인 및 상기 제 1 노드 사이에 접속된 제 1 스위치 소자와, 상기 제 1 및 제 2 전원 라인들 중 어느 하나와 상기 제 3 노드 사이에 접속된 제 1 캐패시터와, 상기 제 2 및 제 3 노드 사이에 접속된 제 2 캐패시터와, 대응하는 게이트라인 상의 신호에 응답하게 대응하는 데이터라인 및 상기 제 3 노드 사이에 접속된 제 2 스위치 소자와, 이전 게이트라인 상의 신호에 응답하게 대응하는 기준 전압라인 및 상기 제 3 노드 사이에 접속된 제 3 스위치

소자 및 상기 이전 게이트라인 상의 신호에 응답하게 상기 제 2 노드 및 제 3 노드 사이에 접속된 제 4 스위치 소자를 포함하는 표시패널과, 상기 다수의 스캔라인들을 구동하기 위한 신호를 생성하는 게이트 드라이버 및 상기 다수의 데이터라인들을 구동하기 위한 신호를 생성하는 데이터 드라이버를 포함하는 것을 특징으로 한다.

[0039] 상기 목적들 외에 본 발명의 다른 목적들, 다른 특징들 및 다른 이점들은 첨부한 도면과 결부된 실시 예의 상세한 설명을 통하여 명백하게 드러나게 될 것이다. 이하, 본 발명의 실시 예가 첨부된 도면들과 결부되어 상세하게 설명될 것이다.

[0040] 도 4는 본 발명에 따른 화소회로가 형성된 표시패널을 구비한 표시장치를 나타낸 도면이다.

[0041] 도 4에 도시된 바와 같이, 본 발명에 따른 표시장치는 다수의 게이트라인(GLd, GL1 ~ GLn)과 다수의 데이터라인(DL1 ~ DLm)이 교차로 배열되어 정의된 화소영역마다 형성된 화소회로(PE)를 포함하는 표시패널(102)과, 상기 다수의 게이트라인(GLd, GL1 ~ GLn)을 구동하기 위한 스캔 드라이버(104)와, 상기 다수의 데이터라인(DL1 ~ DLm)을 구동하기 위한 데이터 드라이버(106)와 상기 스캔 드라이버(104) 및 상기 데이터 드라이버(106) 각각의 구동 타이밍을 제어하기 위한 타이밍 컨트롤러(108)를 포함한다.

[0042] 또한, 본 발명에 따른 표시장치는 Vint 전압을 생성하여 상기 액정패널(102)에 형성된 화소회로(PE)내로 공급하는 Vint 전압 생성부(110)를 더 포함한다.

[0043] 상기 표시패널(102)은 다수의 게이트라인(GLd, GL1 ~ GLn)과 다수의 데이터라인(DL1 ~ DLm)이 교차로 배열되고 상기 다수의 게이트라인(GLd, GL1 ~ GLn)과 상기 다수의 데이터라인(DL1 ~ DLm)으로 정의된 화소영역마다 화소회로(PE)를 포함하고 있다. 상기 화소회로(PE)는 대응되는 게이트라인과 이전 게이트라인 사이에 접속되고 대응되는 데이터라인과 접속된다. 또한, 상기 화소회로(PE)는 전원전압(Vdd)을 공급하는 전원전압 공급라인과 기저전압(Vss)을 공급하는 라인 및 상기 Vint 전압이 공급되는 라인과 접속된다. 상기 표시패널(102)에는 상기 다수의 게이트라인(GLd, GL1 ~ GLn)과 평행하게 배열된 다수의 초기 전압 라인(Vint)이 배열되어 있다. 상기 다수의 초기 전압 라인(Vint)에는 상기 Vint 전압 생성부(110)에서 생성된 Vint 전압이 공급된다. 상기 Vint 전압은 상기 게이트 드라이버(104)에서 생성된 스캔신호에 동기되어 상기 다수의 초기 전압 라인(Vint)을 순차적으로 초기화시키는 전압이다. 상기 Vint 전압의 위상은 상기 스캔신호 보다 빠르고, 폭은 상기 스캔신호 보다 좁다. 상기 Vint 전압이 상기 다수의 초기 전압 라인(Vint)에 공급되면, 상기 다수의 초기 전압 라인(Vint)이 연결된 화소회로(PE)에 포함된 캐패시터는 초기화된다. 상기 화소회로(PE)에 대한 상세한 설명은 도 5를 통해 후술하기로 한다.

[0044] 상기 타이밍 컨트롤러(108)는 외부의 시스템(예를 들면, 그래픽 카드)으로부터 공급된 동기신호들을 이용하여 상기 데이터 드라이버(106)를 제어하기 위한 데이터 제어신호 및 상기 스캔 드라이버(104)를 제어하기 위한 스캔 제어신호를 생성한다. 또한, 상기 타이밍 컨트롤러(108)는 외부의 시스템으로부터 공급된 데이터 신호를 상기 데이터 드라이버(106)로 공급한다.

[0045] 상기 스캔 드라이버(104)는 상기 타이밍 컨트롤러(108)로부터의 스캔 제어신호에 응답하여 스캔신호(scan)를 발생하고, 상기 스캔신호(scan)를 상기 다수의 게이트라인(GL1 ~ GLn)에 공급하여 상기 다수의 게이트라인(GL1 ~ GLn)을 순차적으로 구동한다.

[0046] 상기 데이터 드라이버(106)는 상기 타이밍 컨트롤러(108)로부터의 데이터 제어신호에 따라 수평기간(1H)마다 데이터 전압(Vdata)을 상기 다수의 데이터라인(DL1 ~ DLm)에 공급한다. 이때, 상기 데이터 드라이버(106)는 상기 다수의 데이터라인(DL1 ~ DLm)과 대응되는 출력채널들을 갖는다. 상기 Vint 전압 생성부(110)는 초기화 전압인 Vint 전압을 생성해서 상기 화소회로에 공급라인을 통해 상기 Vint 전압을 공급한다.

[0047] 도 5는 도 4의 본 발명에 따른 화소회로를 상세히 나타낸 회로도이다.

[0048] 도 4 및 도 5에 도시된 바와 같이, 본 발명에 따른 화소회로는 제 1 내지 제 6 박막트랜지스터(T1 ~ T6)와 스토리지 캐패시터(Cst)와 문턱전압 캐패시터(Cth) 및 유기발광 다이오드(OLED)를 포함하고 있다. 상기 유기발광 다이오드(OLED)는 인가되는 전류의 양에 대응하는 빛을 발광한다.

[0049] 구체적으로, 본 발명에 따른 화소회로는 상기 스토리지 캐패시터(Cst) 및 문턱전압 캐패시터(Cth)에 충전된 전하량에 따라 상기 유기발광 다이오드(OLED)의 발광량을 조절하는 제 1 박막트랜지스터(T1)와, 대응하는 게이트라인에 인가된 스캔신호(scan(n))에 응답하여 대응하는 데이터라인으로부터 상기 스토리지 캐패시터(Cst)와 문턱전압 캐패시터(Cth)에 충전될 데이터 전압(Vdata)을 스위칭 하기 위한 제 3 박막트랜지스터(T3)와, 이전 게이트라인에 인가된 스캔신호(scan(n-1))에 응답하여 상기 스토리지 캐패시터(Cst)와 문턱전압 캐패시터(Cth)에 기

준전압(Vref)에 근거한 전압이 충전되도록 하는 제 2 및 제 4 박막트랜지스터(T2, T4)와, 상기 Vint 전압에 응답하여 상기 스토리지 캐패시터(Cst)와 문턱전압 캐패시터(Cth)를 초기화 하는 제 6 박막트랜지스터(T6)를 포함한다.

- [0050] 또한, 본 발명에 따른 화소회로는 상기 스토리지 캐패시터(Cst)와 문턱전압 캐패시터(Cth)에 충전된 전하량에 해당되는 전류의 양에 따라 빛을 발광하는 유기발광 다이오드(OLED)를 포함한다.
- [0051] 본 발명에 따른 화소회로내에서 상기 제 1 내지 제 6 박막트랜지스터(T1 ~ T6)의 접속관계는 다음과 같다.
- [0052] 상기 제 1 박막트랜지스터(T1)는 전원전압(Vdd)에 접속된 소스와, 제 3 노드(N3)에 접속된 드레인과, 제 2 노드(N2)에 인가된 전압에 의해 제어되는 게이트로 이루어진다. 상기 제 2 노드(N2)에는 상기 문턱전압 캐패시터(Cth)의 일단과 상기 제 1 박막트랜지스터(T1)의 게이트 및 제 2 박막트랜지스터(T2)의 소스가 접속된다. 상기 제 3 노드(N3)는 상기 제 1 및 제 5 박막트랜지스터(T1, T5) 사이에 위치하며, 제 2 박막트랜지스터(T2)의 드레인과 상기 제 1 박막트랜지스터(T1)의 드레인 및 상기 제 5 박막트랜지스터(T5)의 소스가 접속된다. 상기 제 1 박막트랜지스터(T1)로는 P형 박막트랜지스터가 사용된다.
- [0053] 상기 제 2 박막트랜지스터(T2)는 상기 제 2 노드(N2)에 접속된 소스와, 상기 제 3 노드(N3)에 접속된 드레인과, 이전 게이트라인에 인가된 스캔신호(scan(n-1))에 의해 제어되는 게이트로 이루어진다. 상기 제 2 박막트랜지스터(T2)로는 P형 박막트랜지스터가 사용된다.
- [0054] 상기 제 3 박막트랜지스터(T3)는 데이터 전압(Vdata)에 접속되는 소스와, 제 1 노드(N1)에 접속된 드레인과, 대응하는 게이트라인에 인가된 스캔신호(scan(n))에 의해 제어되는 게이트로 이루어진다. 상기 제 3 박막트랜지스터(T3)로는 P형 박막트랜지스터가 사용된다.
- [0055] 상기 제 4 박막트랜지스터(T4)는 기준전압(Vref)에 접속되는 소스와, 상기 제 1 노드(N1)에 접속된 드레인과, 상기 이전 게이트라인에 인가된 스캔신호(scan(n-1))에 의해 제어되는 게이트로 이루어진다. 상기 제 4 박막트랜지스터(T4)로는 P형 박막트랜지스터가 사용된다. 상기 제 1 노드(N1)는 상기 스토리지 캐패시터(Cst)와 문턱전압 캐패시터(Cth) 사이에 위치하며, 상기 제 3 및 제 4 박막트랜지스터(T3, T4)의 드레인이 접속된다. 또한, 상기 제 1 노드(N1)에는 상기 스토리지 캐패시터(Cst)의 일단과 상기 문턱전압 캐패시터(Cth)의 타단이 접속된다.
- [0056] 상기 제 5 박막트랜지스터(T5)는 상기 제 3 노드(N3)에 접속된 소스와, 상기 유기발광 다이오드(OLED)에 접속된 드레인과, Vint 전압에 의해 제어되는 게이트로 이루어진다. 상기 제 5 박막트랜지스터(T5)로는 P형 박막트랜지스터가 사용된다. 이때, 상기 Vint 전압은 상기 스토리지 캐패시터(Cst)와 상기 문턱전압 캐패시터(Cth)을 초기화 하는데 사용되므로 초기화 전압이라고 할 수도 있다.
- [0057] 상기 제 6 박막트랜지스터(T6)는 상기 제 2 노드(N2)에 접속된 소스와, 상기 유기발광 다이오드(OLED)에 접속된 드레인과, 상기 Vint 전압에 의해 제어되는 게이트로 이루어진다. 상기 제 6 박막트랜지스터(T6)로는 P형 박막트랜지스터가 사용된다. 상기 유기발광 다이오드(OLED)의 일단에는 상기 제 5 및 제 6 박막트랜지스터(T5, T6)의 일단이 접속되고, 그 타단은 저전위 전압(Vss, 이하 "그라운드 전압"이라 함)에 접속된다.
- [0058] 도 6은 도 5의 화소회로의 구동 타이밍도이다.
- [0059] 도 5 및 도 6 에 도시된 바와 같이, 이전 게이트라인에 인가된 스캔신호(scan(n-1)) 및 상기 Vint 전압이 로우(Low)이고, 대응하는 게이트라인에 인가된 스캔신호(scan(n))가 하이(High) 인 경우(이하, "제 1 구간"이라 함), 상기 제 2 박막트랜지스터(T2)와 제 4 및 제 6 박막트랜지스터(T4, T6)는 턴-온(turn-on) 되어 쇼트되고 제 3 및 제 5 박막트랜지스터(T3, T5)는 턴-오프(turn-off) 되어 개방된다. 상기 제 1 구간에서 본 발명에 따른 화소회로의 동작에 대한 상세한 설명은 도 7a를 통해 후술하기로 한다.
- [0060] 이전 게이트라인에 인가된 스캔신호(scan(n-1))가 로우(Low)이고, 상기 Vint 전압이 하이(High)이고 대응하는 게이트라인에 인가된 스캔신호(scan(n))가 하이(High) 인 경우(이하, "제 2 구간"이라 함), 상기 제 2 및 제 4 박막트랜지스터(T2, T4)는 턴-온(turn-on) 되어 쇼트되고 상기 제 3 박막트랜지스터(T3)와 상기 제 5 및 제 6 박막트랜지스터(T5, T6)는 턴-오프(turn-off) 되어 개방된다. 상기 제 2 구간에서 본 발명에 따른 화소회로의 동작에 대한 상세한 설명은 도 7b를 통해 후술하기로 한다.
- [0061] 이전 게이트라인에 인가된 스캔신호(scan(n-1))와 상기 Vint 전압이 하이(High)이고, 대응하는 게이트라인에 인가된 스캔신호(scan(n))가 로우(Low) 인 경우(이하, "제 3 구간"이라 함), 상기 제 3 및 제 5 박막트랜지스터(T3, T5)는 턴-온(turn-on) 되어 쇼트되고, 상기 제 3 및 제 5 박막트랜지스터(T3, T5)를 제외한 나머지는 턴-

오프(turn-off) 되어 개방된다. 상기 제 3 구간에서 본 발명에 따른 화소회로의 동작에 대한 상세한 설명은 도 7c를 통해 후술하기로 한다.

[0062] 이전 게이트라인에 인가된 스캔신호(scan(n-1))와 상기 Vint 전압 및 대응하는 게이트라인에 인가된 스캔신호(scan(n))가 모두 하이(High) 인 경우(이하, "제 4 구간"이라 함), 상기 제 5 박막트랜지스터(T5)만 턴-온(turn-on) 되어 쇼트되고 상기 제 5 박막트랜지스터(T5)를 제외한 나머지는 턴-오프(turn-off) 되어 개방된다. 상기 제 4 구간에서 본 발명에 따른 화소회로의 동작에 대한 상세한 설명은 도 7d를 통해 후술하기로 한다.

[0063] 상기 제 1 구간에서 도 5에 도시된 화소회로는 도 7a에서와 같은 연결 구성을 가지게 된다. 도 7a에 도시된 바와 같이, 상기 제 1 구간에서 상기 제 2 박막트랜지스터(T2)와 제 4 및 제 6 박막트랜지스터(T4, T6)가 턴-온(turn-on) 되고 상기 제 3 및 제 5 박막트랜지스터(T3, T5)는 턴-오프(turn-on) 된다. 상기 제 1 구간(N1)에는 상기 기준전압(Vref)이 셋팅되고, 상기 제 2 노드(N2)는 상기 제 6 박막트랜지스터(T6)가 턴-온(trun-on) 됨에 따라 초기화 된다. 상기 Vint 전압에 의해 상기 제 6 박막트랜지스터(T6)가 턴-온(turn-on) 됨에 따라 상기 스토리지 캐패시터(Cst)와 상기 문턱전압 캐패시터(Cth)는 초기화 된다. 결국, 상기 제 1 구간은 상기 2개의 캐패시터(Cst, Cth)가 초기화 되는 구간이라고 할 수 있다.

[0064] 상기 제 2 구간에서 도 5에 도시된 화소회로는 도 7b에서와 같은 연결 구성을 가지게 된다. 도 7b에 도시된 바와 같이, 상기 제 2 구간에서 상기 제 2 및 제 4 박막트랜지스터(T2, T4)가 턴-온(turn-on) 되고, 상기 제 3 박막트랜지스터(T3)와 상기 제 5 및 제 6 박막트랜지스터(T5, T6)는 턴-오프(turn-off) 된다. 상기 제 4 박막트랜지스터(T4)가 턴-온(turn-on) 되면 상기 기준전압(Vref)은 상기 제 1 노드(N1)에 인가된다. 상기 제 2 박막트랜지스터(T2)가 턴-온(turn-on) 되면 상기 제 2 노드(N2)에는 상기 전원전압(Vdd)에서 상기 제 1 박막트랜지스터(T1)의 문턱전압(Vth)을 뺀 전압(Vdd-Vth, 이하, "제 1 전압"이라 함)이 인가된다. 상기 스토리지 캐패시터(Cst)의 일단은 상기 전원전압(Vdd)에 접속되고 타단은 상기 기준전압(Vref)에 접속되므로, 상기 스토리지 캐패시터(Cst)에는 상기 전원전압(Vdd)과 상기 기준전압(Vref)의 차이전압(Vdd-Vref)에 해당하는 전하량이 충전된다. 또한, 상기 문턱전압 캐패시터(Cth)에는 상기 제 1 및 제 2 노드(N1, N2) 상에 인가된 전압들의 차이전압에 해당하는 전하량이 충전된다. 구체적으로, 상기 문턱전압 캐패시터(Cth)에는 상기 제 1 노드(N1)에 인가된 전압(Vdd-Vref)과 상기 제 2 노드(N2)에 인가된 제 1 전압(Vdd-Vth) 사이의 차이전압(Vdd-Vref-Vdd+Vth)에 해당하는 전하량이 충전된다. 이때, 상기 제 2 노드(N2)에 인가된 전압은 상기 제 1 박막트랜지스터(T1)의 게이트 전압(Vg)에 해당된다. 따라서, 상기 제 1 박막트랜지스터(T1)의 게이트 전압(Vg)은 제 1 전압(Vdd-Vth)이 된다. 결국, 상기 제 2 구간은 상기 제 1 박막트랜지스터(T1)의 문턱전압(Vth)을 샘플링 하는 구간이라고 할 수 있다.

[0065] 상기 제 3 구간에서 도 5에 도시된 화소회로는 도 7c에서와 같은 연결 구성을 가지게 된다. 도 7c에 도시된 바와 같이, 상기 제 3 구간에서 상기 제 3 및 제 5 박막트랜지스터(T3, T5)가 턴-온(turn-on) 되고, 상기 제 2 박막트랜지스터(T2)와 상기 제 4 및 제 6 박막트랜지스터(T4, T6)는 턴-오프(turn-off) 된다. 상기 제 3 박막트랜지스터(T3)가 턴-온(turn-on) 되면 데이터 전압(Vdata)이 상기 제 1 노드(N1)에 인가된다. 이로인해, 상기 제 1 노드(N1)에는 상기 기준전압(Vref)과 상기 데이터 전압(Vdata) 사이의 차이전압(Vref-Vdata, 이하 "제 2 전압"이라 함)이 인가된다. 상기 데이터 전압(Vdata)이 상기 제 1 노드(N1)에 인가됨에 따라 상기 스토리지 캐패시터(Cst)에는 상기 전원전압(Vdd)과 상기 제2 전압(Vref-Vdata)의 차이전압(Vdd-Vref+Vdata)에 해당하는 전하량이 충전된다. 상기 제 2 노드(N2)에는 상기 제 1 전압(Vdd-Vth)과 상기 제 2 전압(Vref-Vdata) 사이의 차이전압{(Vdd-Vth)-(Vref-Vdata), 이하 "제 3 전압"이라 함}이 인가된다. 상기 제 2 노드(N2)에 인가된 전압이 상기 제 1 박막트랜지스터(T1)의 게이트 전압(Vg)에 해당되므로, 상기 제 1 박막트랜지스터(T1)의 게이트 전압(Vg)은 상기 제 3 전압{(Vdd-Vth)-(Vref-Vdata)}이 된다. 이때, 상기 기준전압(Vref)은 상기 전원전압(Vdd) 보다 작고 상기 데이터 전압(Vdata)보다 큰 레벨을 갖는다. 상기 제 3 구간은 상기 데이터 전압(Vdata)이 상기 제 1 노드(N1)에 인가되므로 데이터 전압(Vdata)이 차지되는 구간이라 할 수 있다.

[0066] 상기 제 3 구간에서 상기 제 2 노드(N2)에 인가된 제 3 전압{(Vdd-Vth)-(Vref-Vdata)}을 살펴보면, 상기 전원전압(Vdd)을 공급하는 전원전압 공급라인의 라인저항 등으로 인해 상기 전원전압(Vdd)이 왜곡되는 경우에 상기 기준전압(Vref)이 상기 전원전압(Vdd)을 보상하는 역할을 한다. 결국, 표시패널이 대형화되어 상기 전원전압 공급라인이 길어져 라인저항이 증가하여 상기 전원전압(Vdd)이 왜곡되더라도 상기 기준전압(Vref)이 상기 왜곡된 전원전압(Vdd)을 보상해줄 수 있다.

[0067] 상기 제 4 구간에서 도 5에 도시된 화소회로는 도 7d에서와 같은 연결 구성을 가지게 된다. 도 7d에 도시된 바와 같이, 상기 제 4 구간에서 상기 제 5 박막트랜지스터(T5)만 턴-온(turn-on) 되고 상기 제 5 박막트랜지스터

(T5)를 제외한 나머지는 턴-오프(turn-off) 된다. 상기 제 4 구간에서 상기 문턱전압 캐패시터(Cth)에 충전된 전하량에 대응되는 전류가 상기 유기발광 다이오드(OLED)로 공급된다 상기 유기발광 다이오드(OLED)로 전류가 공급되면 상기 유기발광 다이오드(OLED)는 상기 전류에 대응되는 빛을 발광한다. 상기 제 4 구간은 상기 유기발광 다이오드(OLED)가 빛을 발광하므로 발광 구간이라고 할 수 있다.

[0068] 결과적으로, 상기 유기발광 다이오드(OLED)에 흐르는 전류는 다음과 같은 수학적식을 통해 표현된다.

수학적식 2

$$I_{OLED} = K(V_{gs} - |V_{th}|)^2 = K((V_g - V_s) - |V_{th}|)^2 = K(V_{dd} - (V_{dd} - V_{th}) + (V_{ref} - V_{data}) - V_{th})^2 = K(V_{ref} - V_{data})^2$$

[0069]

[0070] 위의 수학적식에서 K는 상수이다.

[0071]

상기 유기발광 다이오드(OLED)에 흐르는 전류식에서 표현된 바와 같이, 상기 유기발광 다이오드(OLED)에 흐르는 전류는 기준전압(Vref)과 상기 데이터 전압(Vdata)에 의해 결정될 수 있다. 앞서 서술된 바와 같이, 상기 유기발광 다이오드(OLED)에 흐르는 전류는 상기 기준전압(Vref)과 상기 데이터 전압(Vdata)에 의해 결정되기 때문에 상기 전원전압 공급라인의 라인저항으로 인해 상기 전원전압(Vdd)이 왜곡되더라도 상기 전원전압(Vdd)에 영향을 받지 않는다. 결국, 표시패널이 대형화되더라도 상기 유기발광 다이오드(OLED)에 흐르는 전류는 상기 전원전압(Vdd)에 영향을 받지 않기 때문에 손실을 방지할 수 있다. 상기 유기발광 다이오드(OLED)에 흐르는 전류의 손실이 발생되지 않기 때문에 균일한 휘도를 얻을 수 있다.

[0072]

도 8은 도 5에 도시된 화소회로의 다른 실시예를 나타낸 회로도이고, 도 9는 도 8의 화소회로의 구동 타이밍도이다. 상기 다른 실시예에 따른 화소회로에 대한 상세한 설명 중 도 5에 도시된 화소회로와 동일한 부분에 대한 설명은 간략히 하도록 한다.

[0073]

도 8 및 도 9에 도시된 바와 같이, 다른 실시예에 따른 화소회로는 제 1 내지 제 6 박막트랜지스터(T1 ~ T6)와 스토리지 캐패시터(Cst)와 문턱전압 캐패시터(Cth) 및 유기발광 다이오드(OLED)를 포함하고 있다. 상기 유기발광 다이오드(OLED)는 인가되는 전류의 양에 대응하는 빛을 발광한다.

[0074]

상기 다른 실시예에 따른 화소회로는 상기 스토리지 캐패시터(Cst) 및 문턱전압 캐패시터(Cth)에 충전된 전하량에 따라 상기 유기발광 다이오드(OLED)의 발광량을 조절하는 제 1 박막트랜지스터(T1)와, 대응하는 게이트라인에 인가된 스캔신호(scan(n))에 응답하여 대응하는 데이터라인으로부터 상기 스토리지 캐패시터(Cst)와 문턱전압 캐패시터(Cth)에 기준전압(Vref)에 근거한 전압이 충전되도록 하는 제 2 및 제 4 박막트랜지스터(T2, T4)와, 도 4의 표시장치에 도시된 Vint 전압 생성부(110)에서 생성된 Vint 전압에 응답하여 상기 스토리지 캐패시터(Cst)와 문턱전압 캐패시터(Cth)를 초기화 하는 제 6 박막트랜지스터(T6)를 포함한다.

[0075]

또한, 상기 다른 실시예에 따른 화소회로는 상기 스토리지 캐패시터(Cst)와 문턱전압 캐패시터(Cth)에 충전된 전하량에 해당하는 전류의 양에 따라 빛을 발광하는 유기발광 다이오드(OLED)를 포함한다. 상기 다른 실시예에 따른 화소회로의 상기 제 1 내지 제 6 박막트랜지스터(T1 ~ T6)로는 N 타입형 박막트랜지스터가 사용된다. 상기 스토리지 캐패시터(Cst)의 일단은 제 1 노드(N1)에 접속되고 타단은 그라운드 전압(Vss)에 접속된다.

[0076]

이때, 이전 게이트라인에 인가된 스캔신호(scan(n-1))와 상기 Vint 전압이 하이(High) 이고 대응하는 게이트라인에 인가된 스캔신호(scan(n))가 로우(Low) 인 경우를 "제 1 구간" 이라고 정의한다. 또한, 상기 이전 게이트라인에 인가된 스캔신호(scan(n-1))가 하이(High) 이고 상기 Vint 전압과 상기 대응하는 게이트라인에 인가된 스캔신호(scan(n))가 로우(Low) 인 경우를 "제 2 구간" 이라고 정의한다. 또한, 상기 이전 게이트라인에 인가된 스캔신호(scan(n-1))와 상기 Vint 전압이 로우(Low)이고 상기 대응하는 게이트라인에 인가된 스캔신호(scan(n))가 하이(High) 인 경우를 "제 3 구간" 이라고 정의한다. 상기 이전 게이트라인에 인가된 스캔신호(scan(n-1))와 상기 Vint 전압 및 상기 대응하는 게이트라인에 인가된 스캔신호(scan(n))가 로우(Low) 인 경우를 "제 4 구간" 이라고 정의한다.

[0077]

상기 제 1 구간에서 상기 스토리지 캐패시터(Cst)와 문턱전압 캐패시터(Cth)는 도 5에 도시된 화소회로에서와 마찬가지로 초기화되므로, 상기 제 1 구간을 초기화 구간이라고 할 수 있다. 상기 제 2 구간에서 제 2 노드(N2)에 상기 제 1 박막트랜지스터(T1)의 문턱전압(Vth)이 샘플링되므로, 상기 제 2 구간을 문턱전압(Vth)의 샘플링 구간이라고 할 수 있다. 상기 제 3 구간에서 데이터 전압(Vdata)에 근거한 전압이 상기 스토리지 캐패시터(Cst)와 문턱전압 캐패시터(Cth)에 충전되므로, 상기 제 3 구간을 데이터 전압(Vdata) 충전 구간이라고 할 수

있다. 상기 제 4 구간은 상기 유기발광 다이오드(OLED)에 전류가 공급되어 빛을 발광하므로, 상기 제 4 구간을 발광 구간이라고 할 수 있다.

[0078] 상기 본 발명의 다른 실시예에 따른 화소회로는 상기 제 1 내지 제 6 박막트랜지스터(T1 ~ T6)가 N 타입형 박막 트랜지스터이고 상기 스토리지 캐패시터(Cst)의 타단이 그라운드 전압(Vss)에 접속된 것을 제외하고 도 5에 도시된 화소회로와 동일한 동작을 수행한다. 따라서, 상기 다른 실시예에 따른 화소회로에서는 상기 유기발광 다이오드(OLED)에 공급되는 전류의 양은 상기 기준전압(Vref)과 상기 데이터 전압(Vdata)에 의해 결정된다.

[0079] 도 5에 도시된 화소회로와 마찬가지로 상기 다른 실시예에 따른 화소회로에서 상기 유기발광 다이오드(OLED)에 흐르는 전류는 상기 기준전압(Vref)과 상기 데이터 전압(Vdata)에 의해 결정될 수 있다. 상기 유기발광 다이오드(OLED)에 흐르는 전류는 상기 기준전압(Vref)과 상기 데이터 전압(Vdata)에 의해 결정되기 때문에 상기 전원 전압 공급라인의 라인저항으로 인해 상기 전원전압(Vdd)이 왜곡되더라도 상기 전원전압(Vdd)에 영향을 받지 않는다. 결국, 표시패널이 대형화되더라도 상기 유기발광 다이오드(OLED)에 흐르는 전류는 상기 전원전압(Vdd)에 영향을 받지 않기 때문에 손실을 방지할 수 있다. 상기 유기발광 다이오드(OLED)에 흐르는 전류의 손실이 발생되지 않기 때문에 균일한 휘도를 얻을 수 있다.

발명의 효과

[0080] 서술한 바와 같이, 본 발명에 따른 화소회로는 유기발광 다이오드에 흐르는 전류를 기준전압(Vref)과 데이터 전압(Vdata)으로 결정되도록 함으로써 표시패널이 대형화됨에 따라 라인저항 등으로 인해 왜곡되는 전원전압(Vdd)에 상기 유기발광 다이오드에 흐르는 전류가 영향을 받지 않기 때문에 상기 유기발광 다이오드에 흐르는 전류의 손실을 방지할 수 있다.

[0081] 이로인해, 본 발명에 따른 화소회로를 구비한 표시패널은 균일한 휘도를 얻을 수 있다.

[0082] 이상과 같이, 본 발명이 도면에 도시된 실시 예들로 국한하여 설명되었으나, 본 발명이 속하는 기술 분야에 대한 통상의 지식을 가진 자라면 본 발명의 기술적 사상 및 범위를 이탈하지 않으면서 다양한 변형, 변경 및 균등한 타 실시 예들이 가능하다는 것을 명백하게 알 수 있을 것이다. 따라서, 본 발명의 기술적인 범위 및 특징들은 실시 예의 설명에 국한될 수는 없고 첨부된 특허청구의 범위에 기재된 사항에 의하여 설정되어야 할 것이다.

도면의 간단한 설명

[0001] 도 1은 종래의 액티브 매트릭스형 화소회로의 회로도.

[0002] 도 2는 도 1의 화소회로의 구동 타이밍도.

[0003] 도 3a 내지 도 3c는 도 2의 타이밍에 따른 도 1의 화소회로의 동작을 나타낸 회로 구성도.

[0004] 도 4는 본 발명에 따른 화소회로가 형성된 표시패널을 구비한 표시장치를 나타낸 도면.

[0005] 도 5는 도 4의 본 발명에 따른 화소회로를 상세히 나타낸 회로도.

[0006] 도 6은 도 5의 화소회로의 구동 타이밍도.

[0007] 도 7a 내지 도 7c는 도 6의 타이밍에 따른 도 5의 화소회로의 동작을 나타낸 회로 구성도.

[0008] 도 8은 도 5에 도시된 화소회로의 다른 실시예를 나타낸 회로도.

[0009] 도 9는 도 8의 화소회로의 구동 타이밍도.

[0010] <도면의 주요부분에 대한 간단한 설명>

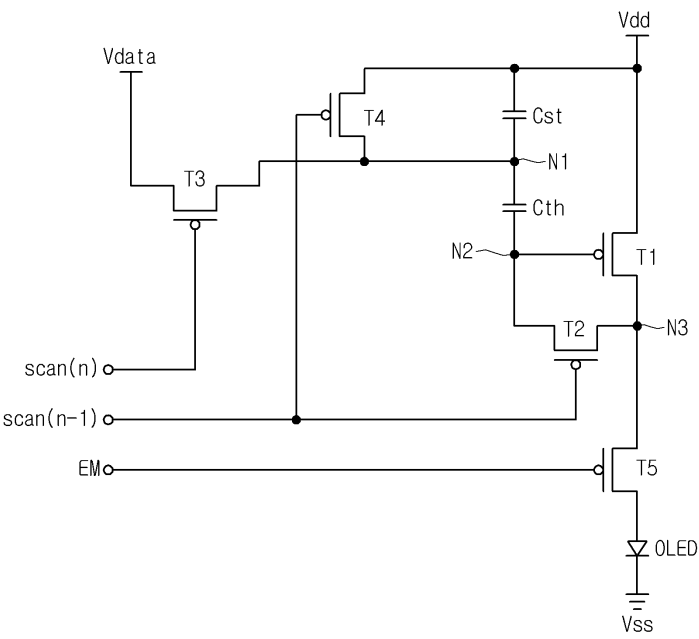
[0011] 102:액정패널 104:게이트 드라이버

[0012] 106:데이터 드라이버 108:타이밍 컨트롤러

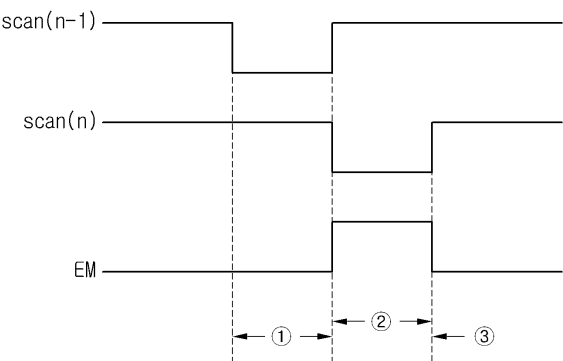
[0013] 110:Vint 전압 생성부

도면

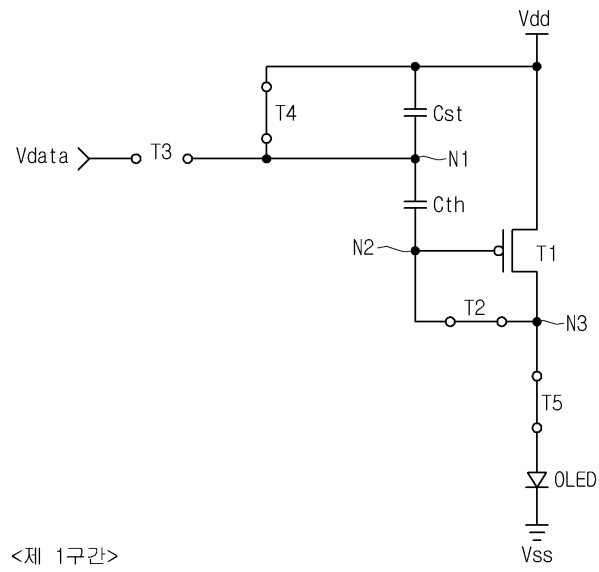
도면1



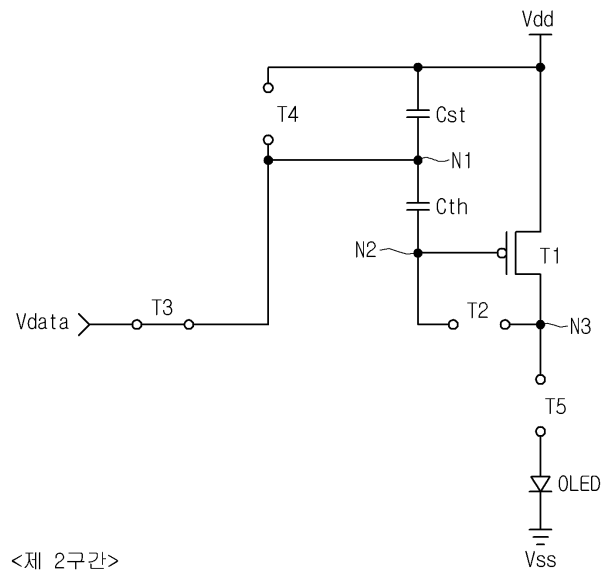
도면2



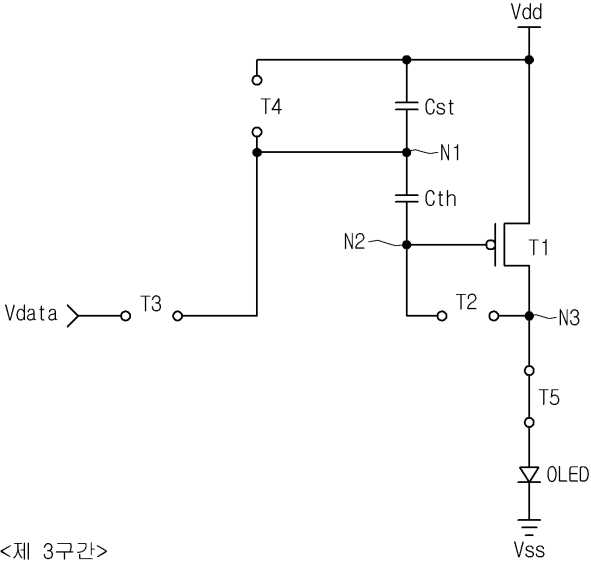
도면3a



도면3b

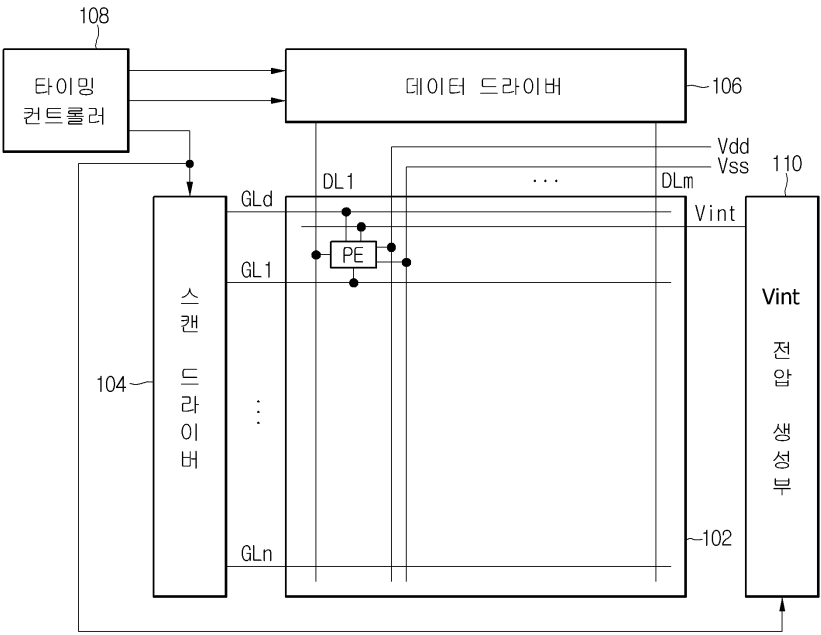


도면3c

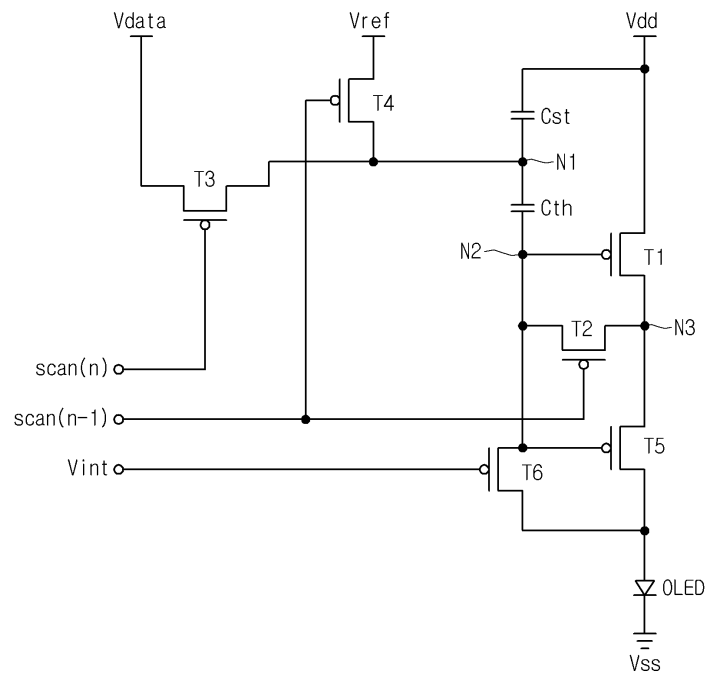


<제 3구간>

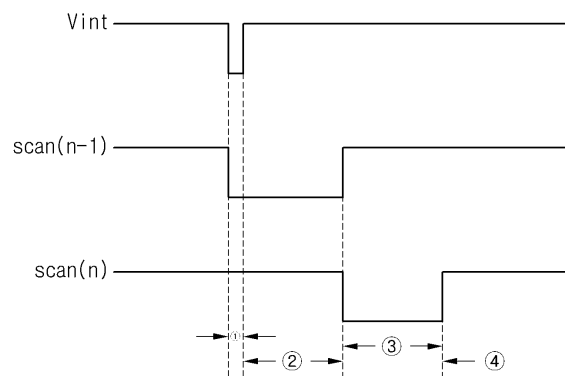
도면4



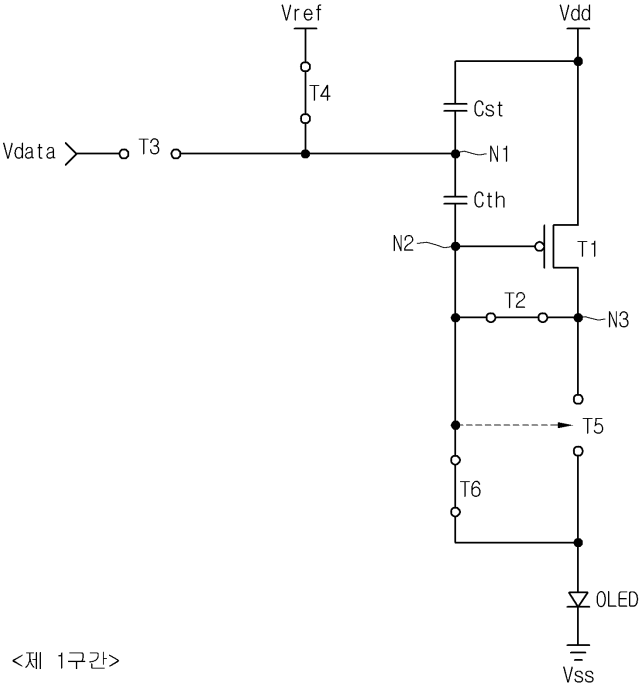
도면5



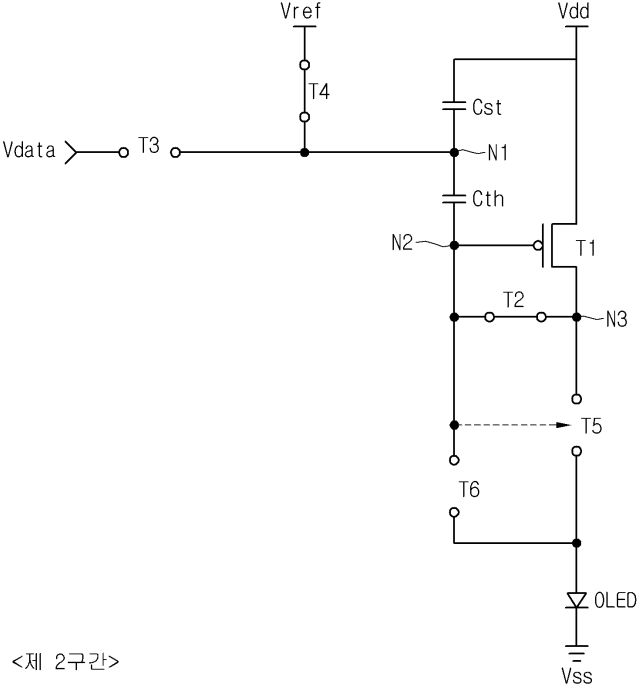
도면6



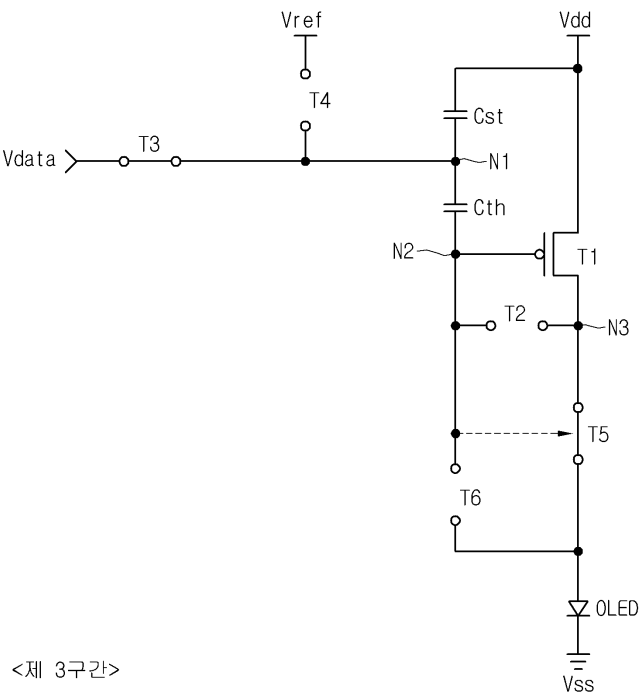
도면7a



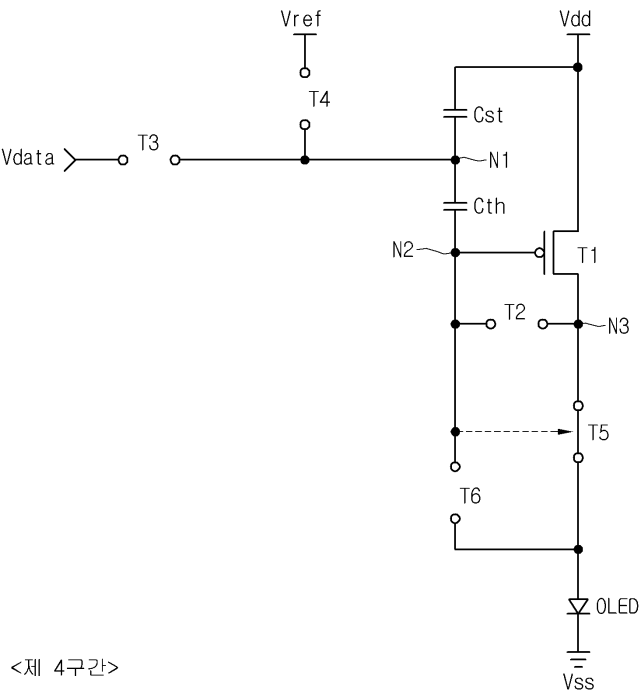
도면7b



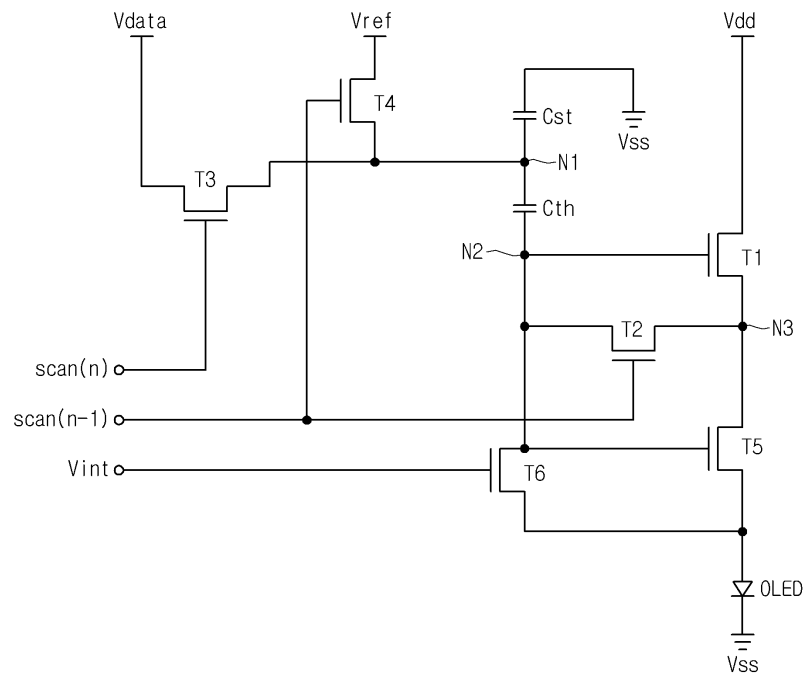
도면7c



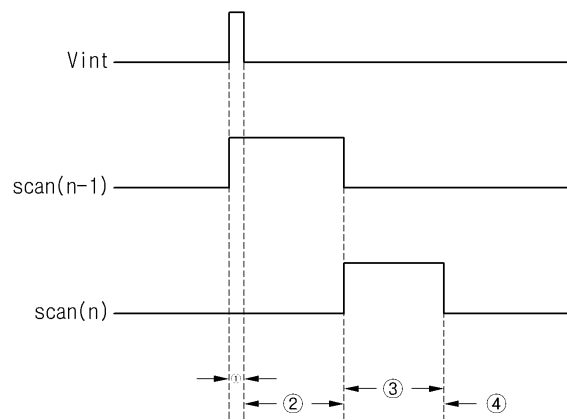
도면7d



도면8



도면9



专利名称(译)	标题：像素电路，显示面板和具有相同的显示设备		
公开(公告)号	KR101375059B1	公开(公告)日	2014-03-17
申请号	KR1020070031257	申请日	2007-03-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JUNG CHUL 김중철 LEE HO YOUNG 이호영 JEON CHANG HOON 전창훈		
发明人	김중철 이호영 전창훈		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
其他公开文献	KR1020080088702A		
外部链接	Espacenet		

摘要(译)

公开了一种能够防止提供给有机发光二极管的电流损失的像素电路。宣称该像素电路控制第一节点和第一二极管，到第二节点2上的第一控制电压的第一响应，根据本发明的电源线和电流连接在电源线之间的第一节点之间流动的量1个开关元件，第三个开关元件的电压和所述第二和第三控制电压和用于充电基于在供电线的电压的第二控制电压的第一电容器，由基于所述数据电压和参考电压施加到所述第一开关元件填充的第三控制电压第二电容器，用于响应相应栅极线上的信号将第二电压施加到相应的数据线，第三开关元件，用于响应于前一栅极线上的信号切换要提供给第三节点的参考电压，以及用于切换要提供给第三节点的数据电压的第二开关元件，并且第四开关元件用于响应地切换第二节点和第三节点之间的电流路径它表征。

