



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년02월25일
(11) 등록번호 10-1366885
(24) 등록일자 2014년02월18일

(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01) G09G 3/32 (2006.01)
G09G 3/20 (2006.01) H05B 33/12 (2006.01)
(21) 출원번호 10-2007-0068041
(22) 출원일자 2007년07월06일
심사청구일자 2012년07월02일
(65) 공개번호 10-2009-0004104
(43) 공개일자 2009년01월12일
(56) 선행기술조사문헌
KR1020050106834 A
KR1020050117368 A
KR1020070027265 A
KR1020060017586 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
황광조
경기 안양시 동안구 임곡로 43, 101동 1801호 (비
산동, 그린빌주공아파트)
남우진
경기도 성남시 분당구 구미로144번길 33 (구미동)
(74) 대리인
특허법인로알

전체 청구항 수 : 총 13 항

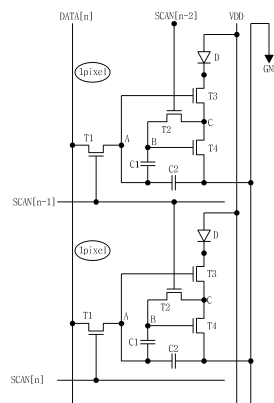
심사관 : 조기덕

(54) 발명의 명칭 유기전계발광표시장치와 이의 구동방법

(57) 요약

본 발명은, 복수의 제1 및 제2전원 배선, 스캔 배선 및 데이터 배선에 연결된 서브 픽셀이 매트릭스 형태로 위치하는 표시패널을 포함하되, 서브 픽셀은, 스캔 배선에 게이트가 연결되고 데이터 배선에 제1전극이 연결되며 제1노드에 제2전극이 연결된 제1트랜지스터와, 전단에 위치하는 스캔 배선에 게이트가 연결되고 제2노드에 제1전극이 연결되며 제3노드에 제2전극이 연결된 제2트랜지스터와, 제1전원 배선에 제1전극이 연결된 유기 발광다이오드와, 유기 발광다이오드의 제2전극에 제1전극이 연결되고 제1노드에 게이트가 연결되며 제3노드에 제2전극이 연결된 제3트랜지스터와, 제2노드에 게이트가 연결되고 제3노드에 제1전극이 연결되며 제2전원 배선에 제2전극이 연결된 제4트랜지스터와, 제1노드에 제1전극이 연결되고 제2노드에 제2전극이 연결된 제1커패시터와, 제1노드에 제1전극이 연결되고 제2전원 배선에 제2전극이 연결된 제2커패시터를 포함하는 유기전계발광표시장치를 제공한다.

대표도 - 도1



(72) 발명자

한창욱

경기도 안양시 동안구 귀인로 294, 꿈마을건영동아
아파트 302동 1001호 (평촌동)

박재용

경기도 안양시 동안구 귀인로 294, 305동 701호 (
평촌동, 꿈마을아파트)

특허청구의 범위

청구항 1

복수의 제1 및 제2전원 배선, 스캔 배선 및 데이터 배선에 연결된 서브 픽셀이 매트릭스 형태로 위치하는 표시 패널을 포함하되,

상기 서브 픽셀은,

상기 스캔 배선에 게이트가 연결되고 상기 데이터 배선에 제1전극이 연결되며 제1노드에 제2전극이 연결된 제1 트랜지스터와, 전단에 위치하는 스캔 배선에 게이트가 연결되고 제2노드에 제1전극이 연결되며 제3노드에 제2전극이 연결된 제2트랜지스터와, 상기 제1전원 배선에 제1전극이 연결된 유기 발광다이오드와, 상기 유기 발광다이오드의 제2전극에 제1전극이 연결되고 상기 제1노드에 게이트가 연결되며 제3노드에 제2전극이 연결된 제3트랜지스터와, 상기 제2노드에 게이트가 연결되고 상기 제3노드에 제1전극이 연결되며 상기 제2전원 배선에 제2전극이 연결된 제4트랜지스터와, 상기 제1노드에 제1전극이 연결되고 상기 제2노드에 제2전극이 연결된 제1커패시터와, 상기 제1노드에 제1전극이 연결되고 상기 제2전원 배선에 제2전극이 연결된 제2커패시터를 포함하는 유기 전계발광표시장치.

청구항 2

제1항에 있어서,

상기 제1, 제2, 제3 및 제4트랜지스터는,

N-Mos 형인 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 제1, 제2, 제3 및 제4트랜지스터는,

a-Si 트랜지스터인 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 서브 픽셀은 제3전원 배선과,

상기 제3전원 배선에 제1전극이 연결되고 상기 전단에 위치하는 스캔 배선에 게이트가 연결되며 상기 제1노드에 제2전극이 연결된 제5트랜지스터를 포함하는 유기전계발광표시장치.

청구항 5

제4항에 있어서,

상기 제3전원 배선은,

상기 제3 및 제4트랜지스터에 네거티브 바이어스 어닐(Negative Bias Anneal)을 하도록 상기 제5트랜지스터의 제1전극에 참조전압을 공급하는 유기전계발광표시장치.

청구항 6

스캔 배선에 게이트가 연결되고 데이터 배선에 제1전극이 연결되며 제1노드에 제2전극이 연결된 제1트랜지스터와, 전단에 위치하는 스캔 배선에 게이트가 연결되고 제2노드에 제1전극이 연결되며 제3노드에 제2전극이 연결된 제2트랜지스터와, 제1전원 배선에 제1전극이 연결된 유기 발광다이오드와, 상기 유기 발광다이오드의 제2전극에 제1전극이 연결되고 상기 제1노드에 게이트가 연결되며 제3노드에 제2전극이 연결된 제3트랜지스터와, 상기 제2노드에 게이트가 연결되고 상기 제3노드에 제1전극이 연결되며 제2전원 배선에 제2전극이 연결된 제4트랜지스터와, 상기 제1노드에 제1전극이 연결되고 상기 제2노드에 제2전극이 연결된 제1커패시터와, 상기 제1노드에 제1전극이 연결되고 상기 제2전원 배선에 제2전극이 연결된 제2커패시터를 포함하는 서브 픽셀이 매트릭스

형태로 위치하는 표시패널을 포함하는 유기전계발광표시장치의 구동방법에 있어서,
 상기 제2트랜지스터를 턴 온하고 상기 제1트랜지스터를 턴 온하는 초기화 단계와,
 상기 제2트랜지스터가 턴 온된 상태에서 상기 제1트랜지스터를 턴 오프하는 감지 단계와,
 상기 제2트랜지스터를 턴 오프하고 상기 제1트랜지스터를 턴 온하여 상기 제1 및 제2커패시터에 데이터를 저장하는 쓰기 단계와,
 상기 제2트랜지스터를 턴 오프하고 상기 제1트랜지스터를 턴 오프하며 상기 제1 및 제2커패시터에 저장된 데이터 전압으로 상기 제3 및 제4트랜지스터를 턴 온하여 상기 유기 발광다이오드를 발광시키는 발광 단계를 포함하는 유기전계발광표시장치의 구동방법.

청구항 7

제6항에 있어서,
 상기 감지 단계에서는,
 상기 제2트랜지스터를 통해 상기 제3트랜지스터의 게이트 전압을 감지하고 감지된 상기 제3트랜지스터의 게이트 전압에 따라 상기 제1 및 제2커패시터에 저장할 데이터 전압을 달리하는 유기전계발광표시장치의 구동방법.

청구항 8

제6항에 있어서,
 상기 감지 단계에서는,
 상기 제2트랜지스터가 턴 온된 상태에서 상기 감지 단계를 수행하거나 상기 제2트랜지스터를 턴 오프한 후 턴 온 하여 상기 감지 단계를 수행하는 유기전계발광표시장치의 구동방법.

청구항 9

제6항에 있어서,
 상기 서브 픽셀에 참조전압을 공급하는 제5트랜지스터가 포함된 경우,
 상기 초기화 단계에서는, 상기 제5트랜지스터를 턴 온하고 상기 참조전압을 상기 제3 및 제4트랜지스터에 공급하여 제3 및 제4트랜지스터의 문턱 전압 특성을 회복하는 네거티브 바이어스 어닐(Negative Bias Anneal)을 선택적으로 수행하는 유기전계발광표시장치의 구동방법.

청구항 10

제9항에 있어서,
 상기 제3 및 제4트랜지스터의 게이트 바이어스가 상기 참조전압에 도달하는 시점은 유동적이게 됨에 따라 상기 네거티브 바이어스 어닐이 수행되는 구간이 변동되면 상기 제3 및 제4트랜지스터의 문턱 전압 특성 회복 정도 또한 가변 되는 유기전계발광표시장치의 구동방법.

청구항 11

제9항에 있어서,
 상기 참조전압은 -4 [V] 내지 -12 [V]의 음의 전압 값인 유기전계발광표시장치의 구동방법.

청구항 12

제6항에 있어서,
 상기 초기화 단계는,
 상기 제1커패시터에 데이터 전압을 저장하는 쓰기 단계와 중첩되지 않도록 수행하는 유기전계발광표시장치의 구동방법.

청구항 13

제6항에 있어서,
상기 제1, 제2, 제3 및 제4트랜지스터는,
a-Si으로 형성된 N-Mos형인 유기전계발광표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0016] 본 발명은 유기전계발광표시장치와 이의 구동방법에 관한 것이다.
- [0017] 최근, 평판표시장치(FPD: Flat Panel Display)는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 디스플레이(Liquid Crystal Display: LCD), 플라스마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출표시장치(Field Emission Display: FED), 유기전계발광표시장치(Organic Light Emitting Device) 등과 같은 여러 가지의 평면형 디스플레이가 실용화되고 있다.
- [0018] 이러한 유기전계발광표시장치를 구동하는 방식에는 수동 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor; 이하 트랜지스터)를 이용한 능동 매트릭스(active matrix) 방식이 있다. 여기서, 수동 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 매트릭스 방식은 박막 트랜지스터를 각 ITO(Indium Tin Oxide) 화소 전극에 연결하고 박막 트랜지스터의 게이트 전극에 연결된 커패시터에 유지된 전압에 따라 구동하게 된다.
- [0019] 종래 유기전계발광표시장치의 서브 픽셀을 구조적으로 보상해주기 위해 5개의 트랜지스터와 2개의 커패시터(Capacitor)인 5T2C 구조를 사용하였다. 종래 서브 픽셀 구조는 유기 발광다이오드가 발광하지 않는 쓰기 단계(Writing)에는 전원을 차단하고 유기 발광다이오드가 발광하는 발광 단계(Emission)에 전원을 공급하는 방식을 사용하였다.
- [0020] 이러한 방식은 서브 픽셀에 문턱 전압(Vth) 변동에 따라 유기 전계발광소자에 흐르는 전류의 양이 변하는 문제가 발생하였다. 그리하여, 이와 같은 문제를 해결하기 위해 위와 같이 서브 픽셀의 구조를 5T2C 구조를 사용하였으나, 신호 배선의 수가 4개로 복잡한 구조로 되어 있다. 그리고 데이터 신호 및 게이트 전압에 동기 시키도록 별도의 배선이 필요하였다. 그리하여, 패널에 위치하는 전원 배선의 증가로 레이아웃(Layout)이 복잡해 짐은 물론 복잡한 구동 방식을 채택할 수밖에 없게 되어 고해상도 구현의 어려움과 실제 패널에 적용성이 떨어져 이의 개선이 요구된다.

발명이 이루고자 하는 기술적 과제

- [0021] 상술한 문제점을 해결하기 위한 본 발명의 목적은, 유기전계발광표시장치의 서브 픽셀 구조를 개선하여 구동 트랜지스터의 문턱 전압 변화에 의한 전류감소 및 유기 발광다이오드의 휘도 감소 문제를 해결한다. 아울러, 표시 품질을 향상시키는 물론 고해상도 구현에 적합한 유기전계발광표시장치를 제공한다.

발명의 구성 및 작용

- [0022] 상술한 과제를 해결하기 위한 본 발명은, 복수의 제1 및 제2전원 배선, 스캔 배선 및 데이터 배선에 연결된 서브 픽셀이 매트릭스 형태로 위치하는 표시패널을 포함하되, 서브 픽셀은, 스캔 배선에 게이트가 연결되고 데이터 배선에 제1전극이 연결되며 제1노드에 제2전극이 연결된 제1트랜지스터와, 전단에 위치하는 스캔 배선에 게이트가 연결되고 제2노드에 제1전극이 연결되며 제3노드에 제2전극이 연결된 제2트랜지스터와, 제1전원 배선에 제1전극이 연결된 유기 발광다이오드와, 유기 발광다이오드의 제2전극에 제1전극이 연결되고 제1노드에 게이트가 연결되며 제3노드에 제2전극이 연결된 제3트랜지스터와, 제2노드에 게이트가 연결되고 제3노드에 제1전극이 연결되며 제2전원 배선에 제2전극이 연결된 제4트랜지스터와, 제1노드에 제1전극이 연결되고 제2노드에 제2전극이 연결된 제1커패시터와, 제1노드에 제1전극이 연결되고 제2전원 배선에 제2전극이 연결된 제2커패시터를 포함

하는 유기전계발광표시장치를 제공한다.

- [0023] 제1, 제2, 제3 및 제4트랜지스터는, N-Mos형일 수 있다.
- [0024] 제1, 제2, 제3 및 제4트랜지스터는, a-Si 트랜지스터일 수 있다.
- [0025] 서브 픽셀은 제3전원 배선과, 제3전원 배선에 제1전극이 연결되고 전단에 위치하는 스캔 배선에 게이트가 연결되며 제1노드에 제2전극이 연결된 제5트랜지스터를 포함할 수 있다.
- [0026] 제3전원 배선은, 제3 및 제4트랜지스터에 네거티브 바이어스 어닐(Negative Bias Anneal)을 하도록 제5트랜지스터의 제1전극에 참조전압을 공급할 수 있다.
- [0027] 한편, 다른 측면에서 본 발명은, 제1, 제2, 제3 및 제4트랜지스터와 커패시터와 유기 발광다이오드를 포함하는 서브 픽셀이 매트릭스 형태로 위치하는 표시패널을 포함하는 유기전계발광표시장치의 구동방법에 있어서, 제2트랜지스터를 턴 온하고 제1트랜지스터를 턴 온하는 초기화 단계와, 제2트랜지스터가 턴 온된 상태에서 제1트랜지스터를 턴 오프하는 감지 단계와, 제2트랜지스터를 턴 오프하고 제1트랜지스터를 턴 온하여 제1 및 제2커패시터에 데이터를 저장하는 쓰기 단계와, 제2트랜지스터를 턴 오프하고 제1트랜지스터를 턴 오프하며 제1 및 제2커패시터에 저장된 데이터 전압으로 제3 및 제4트랜지스터를 턴 온하여 유기 발광다이오드를 발광시키는 발광 단계를 포함하는 유기전계발광표시장치의 구동방법을 제공한다.
- [0028] 감지 단계에서는, 제2트랜지스터를 통해 제3트랜지스터의 게이트 전압을 감지하고 감지된 제3트랜지스터의 게이트 전압에 따라 제1 및 제2커패시터에 저장할 데이터 전압을 달리할 수 있다.
- [0029] 감지 단계에서는, 제2트랜지스터가 턴 온된 상태에서 감지 단계를 수행하거나 제2트랜지스터를 턴 오프한 후 턴 온 하여 감지 단계를 수행할 수 있다.
- [0030] 서브 픽셀에 참조전압을 공급하는 제5트랜지스터가 포함된 경우, 제5트랜지스터를 턴 온하고 참조전압을 제3 및 제4트랜지스터에 공급하여 제3 및 제4트랜지스터의 문턱 전압 특성을 회복하는 네거티브 바이어스 어닐(Negative Bias Anneal)을 선택적으로 수행할 수 있다.
- [0031] 제3 및 제4트랜지스터의 게이트 바이어스가 참조전압에 도달하는 시점은 유동적으로 설정할 수 있게 됨에 따라 네거티브 바이어스 어닐이 수행되는 구간이 변동되면 제3 및 제4트랜지스터의 문턱 전압 특성 회복 정도 또한 가변될 수 있다.
- [0032] 참조전압은 -4 [V] 내지 -12 [V]의 음의 전압 값일 수 있다.
- [0033] 초기화 단계는, 제1커패시터에 데이터 전압을 저장하는 쓰기 단계와 중첩되지 않도록 수행할 수 있다.
- [0034] 제1, 제2, 제3 및 제4트랜지스터는, a-Si으로 형성된 N-Mos형일 수 있다.
- [0035] <제1실시예>
- [0036] 도 1은 제1실시예에 따른 유기전계발광표시장치의 서브 픽셀 회로 구성도이다.
- [0037] 도 1을 참조하면, 본 발명의 제1실시예에 따른 유기전계발광표시장치는 복수의 제1 및 제2전원 배선(VDD, GND), 스캔 배선(SCAN1[n]) 및 데이터 배선(DATA[n])에 연결된 서브 픽셀(1pixel)이 매트릭스 형태로 위치하는 표시패널을 포함한다.
- [0038] 여기서, 하나의 서브 픽셀(1pixel)은 스캔 배선(SCAN1[n])에 게이트가 연결되고 데이터 배선(DATA[n])에 제1전극이 연결되며 제1노드(A)에 제2전극이 연결된 제1트랜지스터(T1)를 포함한다.
- [0039] 또한, 전단에 위치하는 스캔 배선(SCAN1[n-1])에 게이트가 연결되고 제2노드(B)에 제1전극이 연결되며 제3노드(C)에 제2전극이 연결된 제2트랜지스터(T2)를 포함한다.
- [0040] 또한, 제1전원 배선(VDD)에 제1전극이 연결된 유기 발광다이오드(D)를 포함하고, 유기 발광다이오드(D)의 제2전극에 제1전극이 연결되고 제1노드(A)에 게이트가 연결되며 제3노드(C)에 제2전극이 연결된 제3트랜지스터(T3)를 포함한다.
- [0041] 또한, 제2노드(B)에 게이트가 연결되고 제3노드(C)에 제1전극이 연결되며 제2전원 배선(GND)에 제2전극이 연결된 제4트랜지스터(T4)를 포함한다.

- [0042] 또한, 제1노드(A)에 제1전극이 연결되고 제2노드(B)에 제2전극이 연결된 제1커패시터(C1)과, 제1노드(A)에 제1전극이 연결되고 제2전원 배선(GND)에 제2전극이 연결된 제2커패시터(C2)를 포함한다.
- [0043] 앞서 설명한 제1, 제2, 제3 및 제4트랜지스터(T1, T2, T3, T4)의 제1전극과 제2전극은 각각 소스와 드레인 또는 드레인 소스 전극으로 선택될 수 있으며, 이는 a-Si(아몰포스 실리콘)으로 형성된 N-Mos형 트랜지스터일 수 있다. 덧붙여, 유기 발광다이오드(D)의 제1전극과 제2전극 또한 서브 픽셀 회로 구성에 따라 각각 애노드와 캐소드 또는 캐소드와 애노드로 선택될 수 있다.
- [0044] 이러한 유기 발광다이오드(D)는 정공주입층(HIL), 정공수송층(HTL), 전자수송층(ETL) 및 전자주입층(EIL)과 같은 공통막 사이에 유기 발광층(EML)이 개재된 것을 포함한다.
- [0045] 이와 같은 회로 구성에서, 제1전원 배선(VDD)은 매트릭스 형태로 위치하는 서브 픽셀에 모두 공통으로 연결되거나 R, G, B 서브 픽셀 별로 구분되어 연결될 수 있다. 즉, 모든 서브 픽셀은 제1전원 배선(VDD)을 통해 모두 동일한 전원을 공급받을 수 있게 되거나, R, G, B 서브 픽셀별로 각기 다른 전원을 공급받을 수 있게 된다.
- [0046] 한편, 본 발명과 같이 4T2C(4 Transistor 2 Capacitor)로 구성된 서브 픽셀 회로는 일부 트랜지스터인 제3트랜지스터(T3)와 제4트랜지스터(T4)가 전류 스케일링에 의해서 제3트랜지스터(T3)는 포화(Saturation) 영역에서 구동하고 제4트랜지스터(T4)는 선형(Linear) 영역에서 구동할 수 있다. 이에 대한 보충 설명은 이하의 구동방법에서 더욱 자세히 설명한다.
- [0047] 참고로, 위와 같은 유기전계발광표시장치는 표시패널에 위치하는 복수의 제1 및 제2전원 배선(VDD, GND)에 전원을 공급하고 스캔 배선(SCAN1[n])에 스캔신호를 공급한 후, 데이터 배선(DATA[n])에 데이터신호를 공급하게 되면, 스캔 배선(SCAN1[n])에 의해 선택된 서브 픽셀이 발광을 하여 표시패널 상에 영상을 구현할 수 있게 된다.
- [0048] 여기서, 제1 및 제2전원 배선(VDD, GND)은 설명의 표기상 "VDD"와 "GND"라고 하였으나 제1 및 제2전원 배선(VDD, GND)에 공급되는 전원은 상호 전압 차를 두고 공급되는 양의 전원 또는 음의 전원 레벨에 준할 수 있음은 물론이다.
- [0049] 앞서 설명한 제1 및 제2전원 배선(VDD, GND), 스캔 배선(SCAN1[n]) 및 데이터 배선(DATA[n])에 구동에 필요한 전원 및 신호를 공급하는 장치는 표시패널 또는 표시패널 외부 등에 선택적으로 위치할 수 있다.
- [0050] 이러한 장치들은 일반적으로 전원을 공급하는 전원부, 스캔신호를 공급하는 스캔 구동부 및 데이터신호를 공급하는 데이터 구동부 등을 포함할 수 있다. 그리고 이러한 장치들은 외부로부터 공급된 영상신호를 저장하는 메모리부 및 타이밍 제어부 등과 상호 연동하여 구동하게 된다.
- [0051] 이하, 도 2를 참조하여 본 발명의 제1실시예에 따른 유기전계발광표시장치의 구동방법에 대해 설명한다.
- [0052] 도 2는 본 발명의 제1실시예에 따른 구동 파형의 예시도 이다.
- [0053] 본 발명의 제1실시예에 따른 유기전계발광표시장치의 표시패널은 도 1을 참조하여 설명한 바와 같이 제1, 제2, 제3 및 제4트랜지스터(T1, T2, T3, T4)와 제1 및 제2커패시터(C1, C2)와 유기 발광다이오드(D)를 포함하는 서브 픽셀이 매트릭스 형태로 위치한다.
- [0054] 여기서, 도시된 도 2의 구동 파형 예시도를 참조하면, 본 발명의 제1실시예에 따른 구동방법은 초기화 단계(Reset)와 감지 단계(Vth Sensing)와 쓰기 단계(Writing)와 발광 단계(Emission)를 포함한다.
- [0055] 먼저, 초기화 단계(Reset)는 제2트랜지스터(T2)를 턴 온하고 제1트랜지스터(T1)를 턴 온하는 단계이다.
- [0056] 초기화 단계(Reset)에서는 스캔 구동부로부터 출력된 스캔 신호(Scan[n-1])가 n-1번째에 위치하는 스캔 배선(SCAN[n-1])을 통해 n-1번째에 위치하는 서브 픽셀에 공급되면, 제2트랜지스터(T2)가 턴 온하게 된다. 이와 아울러, 스캔 구동부로부터 출력된 스캔 신호(Scan[n])가 n번째에 위치하는 스캔 배선(SCAN[n])을 통해 n번째에 위치하는 서브 픽셀에 공급되면, 제1트랜지스터(T1)가 턴 온하게 된다.
- [0057] 그러면, 턴 온된 제1 및 제2트랜지스터(T1, T2)를 통해 n번째에 위치하는 서브 픽셀의 제1 및 제2커패시터(C1, C2)에 남아 있는 잔량의 전압을 제거하여 n번째에 위치하는 서브 픽셀을 초기화할 수 있게 된다. 여기서, 제1 및 제2커패시터(C1, C2)에 남아 있는 잔량의 전압에는 해당 서브 픽셀 내에 위치하는 배선에 남아 있는 잔량의 기생 커패시턴스 성분도 포함된다.

- [0058] 이후, 감지 단계(Vth Sensing)는 제2트랜지스터(T2)가 턴 온된 상태에서 제1트랜지스터(T1)를 턴 오프하는 단계이다.
- [0059] 감지 단계(Vth Sensing)에서는 n-1번째에 위치하는 서브 픽셀에 공급된 스캔 신호(Scan[n-1])는 유지한 상태에서 n번째에 위치하는 서브 픽셀에 공급된 스캔 신호(Scan[n])를 차단한다.
- [0060] 그러면, n번째에 위치하는 제2트랜지스터(T2)가 턴 온된 상태에서 제1트랜지스터(T1)는 턴 오프되어 제3 및 제4 트랜지스터(T3,T4)의 문턱 전압(Vth)을 감지할 수 있게 된다. 여기서, 제2트랜지스터(T2)를 통한 제3 및 제4 트랜지스터(T3,T4)의 문턱 전압(Vth) 감지는 n-1번째에 위치하는 스캔 배선(SCAN[n-1])을 이용할 수 있으며, 이때 감지된 제3 및 제4트랜지스터(T3,T4)의 문턱 전압(Vth)은 이후 공급할 데이터 신호의 양을 적절히 산정할 수 있도록 계산된다. 이를 위해서 데이터 구동부 또는 데이터 구동부와 연동하는 장치에는 감지 단계(Vth Sensing)에서 감지된 문턱 전압(Vth)을 프로세싱하는 장치가 더 구비되어야 할 것이다.
- [0061] 한편, 도 2에 도시된 바와 같이 감지 단계(Vth Sensing)를 수행하기 위해서 제1트랜지스터(T1)을 턴 오프할 때에는 제2트랜지스터(T2)를 일정시간 턴 오프하고 다시 턴 온한 상태에서 실시할 수 있음은 물론이다. 여기서, 제2트랜지스터(T2)를 일정시간 턴 오프하고 다시 턴 온하는 것은 제2트랜지스터(T2)를 통해 제3 및 제4트랜지스터(T3,T4)의 문턱 전압(Vth)을 감지할 때 이와 같이 실시할 수도 있음을 설명하기 위함이다.
- [0062] 이후, 쓰기 단계(Writing)는 제2트랜지스터(T2)를 턴 오프하고 제1트랜지스터(T1)를 턴 온하여 제1커패시터(C1)에 데이터를 저장하는 단계이다.
- [0063] 쓰기 단계(Writing)에서는 n번째 서브 픽셀에 위치하는 제1커패시터(C1)에 전류를 공급하여 제1커패시터(C1)의 용량에 공급된 양만큼을 전압 즉, 데이터 전압으로 저장하는 단계이다.
- [0064] 쓰기 단계(Writing)에서는 n-1번째에 위치하는 서브 픽셀에 공급된 스캔 신호(Scan[n-1])를 차단하여 제2트랜지스터(T2)를 턴 오프시키고 n번째에 위치하는 서브 픽셀에 스캔 신호(Scan[n])를 공급하여 제1트랜지스터(T1)을 턴 온한 상태에서 데이터 구동부로부터 출력된 데이터 신호(Data[n])를 n번째 서브 픽셀에 공급한다.
- [0065] 그러면, 데이터 신호(ata[n])는 n번째 서브 픽셀에서 턴 온된 제1트랜지스터(T1)을 통해 제1커패시터(C1)에 공급되게 되고, 제1커패시터(C1)는 공급된 데이터 신호(Data[n])에 해당하는 전류의 양만큼 데이터 전압으로 저장하게 된다.
- [0066] 이후, 발광 단계(Emission)는 제2트랜지스터(T2)를 턴 오프하고 제1트랜지스터(T1)를 턴 오프하며 제1커패시터(C1)에 저장된 데이터 전압으로 제3 및 제4트랜지스터(T3,T4)를 턴 온하여 유기 발광다이오드(D)를 발광시키는 단계이다.
- [0067] 발광 단계(Emission)에서는 제1커패시터(C1)에 저장된 데이터 전압에 의해 제3 및 제4트랜지스터(T3,T4)가 턴 온하게 되어 유기 발광다이오드(D)의 애노드에 연결된 제1전원 배선(VDD)에 공급된 전원이 제2전원 배선(GND)으로 흐르게 되면서 발광을 하게 된다.
- [0068] 더욱 자세하게는, 제1커패시터(C1)에 저장된 데이터 전압은 제3 및 제4트랜지스터(T3,T4)의 문턱 전압(Vth) 이상의 값을 게이트에 공급하게 된다. 그러면, 제3 및 제4트랜지스터(T3,T4)가 턴 온하게 되고 이들의 구동에 의해 제1전원 배선(VDD)부터 제2전원 배선(GND)까지 형성된 경로를 통해 전류가 흐르게 되어 결국, 유기 발광다이오드(D)가 발광을 하게 된다.
- [0069] 이와 같은 과정에서 제1전원 배선(VDD)을 통해 유기 발광다이오드(D)의 애노드에 공급되는 전원은 도시된 바와 같이 발광 단계(Emission)에서만 펄스 형태로 한번씩 공급될 수도 있고, 로직 하이(High) 상태로 계속 전원을 공급하고 있는 상태를 취할 수도 있음은 물론이다.
- [0070] 앞서 설명한 바와 같은 구동 방법 중 일부를 하나의 프레임 내에 개략적으로 나타내면 다음의 도 3과 같은 구동 파형을 도시할 수 있게 된다.
- [0071] 도 3은 도 2의 구동 파형을 하나의 프레임에 개략적으로 나타낸 예시도 이다.
- [0072] 도 3에 도시된 바와 같이 유기전계발광표시장치를 구동하게 되면, 하나의 프레임 내에서 데이터 신호가 공급되는 서브 픽셀을 제외한 나머지 서브 픽셀에는 지속적으로 초기화 단계가 수행되고 있음을 알 수 있게 된다.
- [0073] 본 발명은 해당 서브 픽셀에 공급된 데이터 전압을 초기화하는 초기화 단계를 수행함과 동시에 블랙 데이터

(Black Data)를 공급하여 해당 서브 픽셀의 트랜지스터 열화를 회복시킬 수 있는 효과 또한 성취할 수 있다.

- [0074] 그러나 무엇보다 본 발명의 제1실시예와 같은 서브 픽셀 구조를 이용하여 표시패널을 형성하게 되면, 유기 발광 다이오드를 구동하는 구동 트랜지스터인 제4트랜지스터의 문턱 전압(V_{th})이 이동함으로써 발생하는 문제를 보상할 수 있게 된다.
- [0075] 도 4는 본 발명의 제1실시예에 따른 서브 픽셀 구조에 포함된 제4트랜지스터의 게이트 전압을 나타낸 도면이고, 도 5는 본 발명의 제1실시예에 따른 서브 픽셀 구조에 포함된 유기 발광다이오드의 구동전류를 나타낸 도면이다.
- [0076] 종래 서브 픽셀 구조에 포함된 구동 트랜지스터의 경우, 문턱 전압 이동에 의해 게이트 전압이 변동되면, 유기 발광다이오드의 구동전류 감소율 폭이 크게 나타나는 것이 일반적이다.
- [0077] 그러나 본 발명의 제1실시예의 경우, 구동 트랜지스터인 제4트랜지스터의 문턱 전압(V_{th})이 이동하여 게이트 전압이 변동되더라도, 도 5와 같이 유기 발광다이오드의 구동전류 감소율 폭이 작게 나타남을 알 수 있다.
- [0078] <제2실시예>
- [0079] 도 6은 제2실시예에 따른 유기전계발광표시장치의 서브 픽셀 회로 구성도이다.
- [0080] 도 6을 참조하면, 본 발명의 제2실시예에 따른 유기전계발광표시장치는 복수의 제1, 제2전원 배선(VDD, GND,), 스캔 배선(SCAN1[n]) 및 데이터 배선(DATA[n])에 연결된 서브 픽셀(1pixel)이 매트릭스 형태로 위치하는 표시패널을 포함한다.
- [0081] 단, 하나의 서브 픽셀(1pixel)은 앞서 설명한 제1실시예와 유사하나 제3전원 배선(REF[n])과, 제3전원 배선(REF[n])에 제1전극이 연결되고 n-1번째에 위치하는 스캔 배선(SCAN[n-1])에 게이트가 연결되며 제1노드(A)에 제2전극이 연결된 제5트랜지스터(T5)를 포함한다.
- [0082] 여기서, 제3전원 배선(REF[n])은 제3 및 제4트랜지스터(T3, T4)에 네거티브 바이어스 어닐(Negative Bias Anneal)을 하도록 제5트랜지스터(T5)의 제1전극에 참조전압을 공급한다. 참조전압을 공급하는 제3전원 배선(REF[n])은 모든 서브 픽셀에 동일한 참조전압을 공급할 수 있도록 공통으로 연결될 수도 있고 각각 다른 참조전압을 공급할 수 있도록 개별적으로 연결될 수도 있음은 물론이다.
- [0083] 이 밖에 다른 구성은 앞서 설명한 제1실시예와 같으므로 설명의 중복을 피하기 위해 생략한다.
- [0084] 한편, 본 발명의 제2실시예와 같은 구조는 제3전원 배선(REF[n])을 통해 공급된 참조전압과 데이터 배선(DATA[n])을 통해 공급된 데이터 신호에 의한 전압 간에 피드백 루프(Feedback Loop)를 형성하는 방식으로 구동된다.
- [0085] 이로 인해, 각 서브 픽셀에 위치하는 제3트랜지스터(T3)와 제5트랜지스터(T5)간의 광학적 피드백(Optical Feedback)이 작용하게 되어 유기 발광다이오드(D)에 흐르는 전류가 감소되는 동안에도 제3 및 제4트랜지스터(T3, T4)가 모두 턴 오프됨에 따라 제3 및 제4트랜지스터(T3, T4)에 네거티브 바이어스 어닐을 수행할 수 있게 된다.
- [0086] 한편, 네거티브 바이어스 어닐이 수행되는 제3 및 제4트랜지스터(T3, T4)의 게이트 바이어스는 유동적으로 변화할 수 있으므로, 이들에게 공급되는 참조전압은 고정된 값이 아닌 유동적인 값이 되어야 할 것이다. 이에 대한 설명은 이하, 도 7 내지 도 9를 참조하여 설명한다.
- [0087] 도 7은 트랜지스터의 포토 전류 시뮬레이션 그래프이고, 도 8은 유기 발광다이오드의 휘도 효율 감소에 따른 평균 전류 증가 그래프이고, 도 9는 네거티브 바이어스 어닐에 대한 시뮬레이션 그래프이다.
- [0088] 먼저, 도 7을 참조하면, 트랜지스터는 유기 발광다이오드(D)가 발광함에 따라 게이트에 수광되는 포토 전류(Photo Current)에 의한 영향을 받게 됨을 알 수 있다. 시뮬레이션 당시 트랜지스터는 $W/L = 23/5$ 인 것을 일례로 한다. 여기서, 유기 발광다이오드(D)가 발광함에 따라 발생하는 휘도 L1 내지 L4가 트랜지스터의 미치는 영향을 $V_{gs}[V]$ 및 $I_{ds}[A]$ 측면에서 보면 " $L1 < L2 < L3 < L4$ "와 같이 된다.
- [0089] 또한, 도 7에 의한 영향은 도 8에 도시된 바와 같이 유기 발광다이오드(D)에 흐르는 전류(Ioled)에 고스란히 영

향을 미치게 되어 유기 발광다이오드(D)의 평균 전류를 증가시키고 있음을 알 수 있다.

- [0090] 도 7 및 도 8을 참조하여 설명하였듯이 유기 발광다이오드(D)로부터 피드백(Feedback)되어지는 광량에 의해서 트랜지스터의 평균전류가 변하게 됨을 알 수 있다. 여기서, 평균전류가 변하게 되는 트랜지스터는 유기 발광다이오드(D)를 구동하는 제3 및 제4트랜지스터(T3,T4)가 될 것이고, 가장 큰 영향을 받는 것은 제4트랜지스터(T4)가 될 것이다.
- [0091] 도 9를 참조하면, 앞서 설명한 바와 같은 연유로 유기 발광다이오드(D)는 발광을 멈추는 턴 오프 시점도 "ta", "tb", "tc", "td" 등과 같이 유동적으로 변화하게 된다. 그리고 제3 및 제4트랜지스터(T3,T4)의 게이트에 인가되는 바이어스 또한 "t1", "t2", "t3", "t4"와 같이 유동적으로 변화하게 되어 네거티브 바이어스 어닐을 하는 구간의 폭도 변동될 것이다.
- [0092] 따라서, 네거티브 바이어스 어닐을 받는 제3 및 제4트랜지스터(T3,T4)는 유동적인 네거티브 바이어스 어닐을 실시할 수 있도록 하여 문턱전압(Vth) 이동에 따른 복구 정도를 가늠할 수 있게 됨은 물론 이미지 스티킹(Image Sticking)과 같은 문제를 해결할 수도 있게 된다.
- [0093] 한편, 본 발명의 제2실시예와 같은 유기전계발광표시장치는 앞서 설명한 제1실시예에 따른 유기전계발광표시장치와 마찬가지로 제1, 제2, 제3, 제4 및 제5트랜지스터(T1,T2,T3,T4,T5)의 제1전극과 제2전극은 각각 소스와 드레인 또는 드레인과 소스 전극으로 선택될 수 있으며, 이는 a-Si(아몰포스 실리콘)으로 형성된 N-Mos형 트랜지스터일 수 있다. 덧붙여, 유기 발광다이오드(D)의 제1전극과 제2전극 또한 서브 픽셀 회로 구성에 따라 각각 애노드와 캐소드 또는 캐소드와 애노드로 선택될 수 있다.
- [0094] 또한, 유기 발광다이오드(D)는 정공주입층(HIL), 정공수송층(HTL), 전자수송층(ETL) 및 전자주입층(EIL)과 같은 공통막 사이에 유기 발광층(EML)이 개재된 것을 포함한다.
- [0095] 그리고 이와 같은 회로 구성에서, 제1전원 배선(VDD)은 매트릭스 형태로 위치하는 서브 픽셀에 모두 공통으로 연결되거나 R,G,B 서브 픽셀 별로 구분되어 연결될 수 있다. 즉, 모든 서브 픽셀은 제1전원 배선(VDD)을 통해 모두 동일한 전원을 공급받을 수 있게 되거나, R,G,B 서브 픽셀별로 각기 다른 전원을 공급받을 수 있게 된다.
- [0096] 그리고, 본 발명과 같이 5T2C(5 Transistor 2 Capacitor)로 구성된 서브 픽셀 회로는 일부 트랜지스터인 제3트랜지스터(T3)와 제4트랜지스터(T4)가 전류 스케일링에 의해서 제3트랜지스터(T3)는 포화(Saturation) 영역에서 구동하고 제4트랜지스터(T4)는 선형(Linear) 영역에서 구동할 수 있다. 이에 대한 보충 설명은 이하의 구동방법에서 더욱 자세히 설명한다.
- [0097] 참고로, 위와 같은 유기전계발광표시장치는 표시패널에 위치하는 복수의 제1 및 제2전원 배선(VDD,GND)에 전원을 공급하고 스캔 배선(SCAN1[n])에 스캔신호를 공급한 후, 데이터 배선(DATA[n])에 데이터신호를 공급하게 되면, 스캔 배선(SCAN1[n])에 의해 선택된 서브 픽셀이 발광을 하여 표시패널 상에 영상을 구현할 수 있게 된다.
- [0098] 여기서, 제1 및 제2전원 배선(VDD,GND)은 설명의 표기상 "VDD"와 "GND"라고 하였으나 제1 및 제2전원 배선(VDD,GND)에 공급되는 전원은 상호 전압 차를 두고 공급되는 양의 전원 또는 음의 전원 레벨에 준할 수 있음은 물론이다.
- [0099] 앞서 설명한 제1 및 제2전원 배선(VDD,GND), 스캔 배선(SCAN1[n]) 및 데이터 배선(DATA[n])에 구동에 필요한 전원 및 신호를 공급하는 장치는 표시패널 또는 표시패널 외부 등에 선택적으로 위치할 수 있다.
- [0100] 이러한 장치들은 일반적으로 전원을 공급하는 전원부, 스캔신호를 공급하는 스캔 구동부 및 데이터신호를 공급하는 데이터 구동부 등을 포함할 수 있다. 그리고 이러한 장치들은 외부로부터 공급된 영상신호를 저장하는 메모리부 및 타이밍 제어부 등과 상호 연동하여 구동하게 된다.
- [0101] 이하, 도 10을 참조하여 본 발명의 제2실시예에 따른 유기전계발광표시장치의 구동방법에 대해 설명한다.
- [0102] 도 10은 본 발명의 제2실시예에 따른 구동 파형의 예시도 이다.
- [0103] 본 발명의 제2실시예에 따른 유기전계발광표시장치의 표시패널은 도 6을 참조하여 설명한 바와 같이 제1, 제2, 제3, 제4 및 제5트랜지스터(T1,T2,T3,T4,T5)와 커패시터(C1,C2)와 유기 발광다이오드(D)를 포함하는 서브 픽셀이 매트릭스 형태로 위치한다.

- [0104] 여기서, 도시된 도 10의 구동 파형 예시도를 참조하면, 본 발명의 제2실시예에 따른 구동방법은 초기화 단계(Reset)와 감지 단계(Vth Sensing)와 쓰기 단계(Writing)와 발광 단계(Emission)를 포함한다.
- [0105] 먼저, 초기화 단계(Reset)는 제2트랜지스터(T2)를 턴 온하고 제1트랜지스터(T1)를 턴 온하여 초기화 단계를 수행함과 아울러 제5트랜지스터(T5)를 턴 온하고 참조전압(-Ref[n])을 제3 및 제4트랜지스터(T3,T4)에 공급하여 제3 및 제4트랜지스터(T3,T4)의 문턱 전압(Vth) 특성을 회복하는 네거티브 바이어스 어닐(Negative Bias Anneal)을 선택적으로 수행하는 단계이다.
- [0106] 여기서, 네거티브 바이어스 어닐이 수행되는 제3 및 제4트랜지스터(T3,T4)의 게이트 바이어스는 유동적으로 변화할 수 있다. 그러므로, 이들에게 공급되는 참조전압(-Ref[n])은 고정된 값이 아닌 유동적인 값이 되어야 할 것이다. 이의 예로, 네거티브 바이어스 어닐을 실시할 때 사용하는 참조전압(-Ref[n])은 -4 [V] 내지 -12 [V]의 음의 전압 값을 공급할 수 있으나 이에 한정되진 않는다.
- [0107] 초기화 단계(Reset)에서는 실질적인 초기화 단계와 네거티브 바이어스 어닐을 선택적으로 수행할 수 있다.
- [0108] 초기화 단계(Reset) 수행시에는 스캔 구동부로부터 출력된 스캔 신호(Scan[n-1])가 n-1번째에 위치하는 스캔 배선(SCAN[n-1])을 통해 n-1번째에 위치하는 서브 픽셀에 공급되면, 제2트랜지스터(T2)가 턴 온하게 된다. 이와 아울러, 스캔 구동부로부터 출력된 스캔 신호(Scan[n])가 n번째에 위치하는 스캔 배선(SCAN[n])을 통해 n번째에 위치하는 서브 픽셀에 공급되면, 제1트랜지스터(T1)가 턴 온하게 된다.
- [0109] 그러면, 턴 온된 제1 및 제2트랜지스터(T1,T2)를 통해 n번째에 위치하는 서브 픽셀의 제1 및 제2커패시터(C1,C2)에 남아 있는 잔량의 전압을 제거하여 n번째에 위치하는 서브 픽셀을 초기화할 수 있게 된다. 여기서, 제1 및 제2커패시터(C1,C2)에 남아 있는 잔량의 전압에는 해당 서브 픽셀 내에 위치하는 배선에 남아 있는 잔량의 기생 커패시턴스 성분도 포함된다.
- [0110] 네거티브 바이어스 어닐 수행시에는 초기화 단계(Reset) 중 n-1번째에 위치하는 스캔 배선(SCAN[n-1])을 통해 공급되는 스캔 신호(Scan[n-1])에 의해 턴 온되는 제5트랜지스터(T5)를 이용한다.
- [0111] 여기서, 제5트랜지스터(T5)가 턴 온되면, 전원부 등에서 출력되는 참조전압(-Ref[n])은 제3전원 배선(REF[n])을 통해 제5트랜지스터(T5)에 공급되어 결국, 제3 및 제4트랜지스터(T3,T4)의 게이트까지 공급된다. 이때 공급되는 참조전압(-Ref[n])은 도면에 도시된 바와 같이 음의 전압 값으로 공급되어 제3 및 제4트랜지스터(T3,T4)의 문턱 전압(Vth) 특성을 회복하는 네거티브 바이어스 어닐(Negative Bias Anneal)을 수행할 수 있게 된다.
- [0112] 이후, 감지 단계(Vth Sensing)는 제2트랜지스터(T2)가 턴 온된 상태에서 제1트랜지스터(T1)를 턴 오프하는 단계이다.
- [0113] 감지 단계(Vth Sensing)에서는 n-1번째에 위치하는 서브 픽셀에 공급된 스캔 신호(Scan[n-1])는 유지한 상태에서 n번째에 위치하는 서브 픽셀에 공급된 스캔 신호(Scan[n])를 차단한다.
- [0114] 그러면, n번째에 위치하는 제2트랜지스터(T2)가 턴 온된 상태에서 제1트랜지스터(T1)는 턴 오프되어 제3 및 제4트랜지스터(T3,T4)의 문턱 전압(Vth)를 감지할 수 있게 된다. 여기서, 제2트랜지스터(T2)를 통한 제3 및 제4트랜지스터(T3,T4)의 문턱 전압(Vth) 감지는 n-1번째에 위치하는 스캔 배선(SCAN[n-1])을 이용할 수 있으며, 이때 감지된 제3 및 제4트랜지스터(T3,T4)의 문턱 전압(Vth)은 이후 공급할 데이터 신호의 양을 적절히 산정할 수 있도록 계산된다. 이를 위해서 데이터 구동부 또는 데이터 구동부와 연동하는 장치에는 감지 단계(Vth Sensing)에서 감지된 문턱 전압(Vth)을 프로세싱하는 장치가 더 구비되어야 할 것이다.
- [0115] 한편, 감지 단계(Vth Sensing)를 수행하기 위해서 제1트랜지스터(T1)를 턴 오프할 때에는 앞서 설명한 제1실시예의 도 2에 도시된 바와 같이 제2트랜지스터(T2)를 일정시간 턴 오프하고 다시 턴 온한 상태에서 실시할 수 있음은 물론이다. 여기서, 제2트랜지스터(T2)를 일정시간 턴 오프하고 다시 턴 온하는 것은 제2트랜지스터(T2)를 통해 제3 및 제4트랜지스터(T3,T4)의 문턱 전압(Vth)을 감지할 때 이와 같이 실시할 수도 있음을 설명하기 위함이다.
- [0116] 이후, 쓰기 단계(Writing)는 제2트랜지스터(T2)를 턴 오프하고 제1트랜지스터(T1)를 턴 온하여 제1커패시터(C1)에 데이터를 저장하는 단계이다.
- [0117] 쓰기 단계(Writing)에서는 n번째 서브 픽셀에 위치하는 제1커패시터(C1)에 전류를 공급하여 제1커패시터(C1)의 용량에 공급된 양만큼을 전압 즉, 데이터 전압으로 저장하는 단계이다.
- [0118] 쓰기 단계(Writing)에서는 n-1번째에 위치하는 서브 픽셀에 공급된 스캔 신호(Scan[n-1])를 차단하여 제2트랜지

스터(T2)를 턴 오프시키고 n번째에 위치하는 서브 픽셀에 스캔 신호(Scan[n])를 공급하여 제1트랜지스터(T1)을 턴 온한 상태에서 데이터 구동부로부터 출력된 데이터 신호(Data[n])를 n번째 서브 픽셀에 공급한다.

[0119] 그러면, 데이터 신호(ata[n])는 n번째 서브 픽셀에서 턴 온된 제1트랜지스터(T1)을 통해 제1커패시터(C1)에 공급되게 되고, 제1커패시터(C1)는 공급된 데이터 신호(Data[n])에 해당하는 전류의 양만큼 데이터 전압으로 저장하게 된다.

[0120] 이후, 발광 단계(Emission)는 제2트랜지스터(T2)를 턴 오프하고 제1트랜지스터(T1)를 턴 오프하며 제1커패시터(C1)에 저장된 데이터 전압으로 제3 및 제4트랜지스터(T3,T4)를 턴 온하여 유기 발광다이오드(D)를 발광시키는 단계이다.

[0121] 발광 단계(Emission)에서는 제1커패시터(C1)에 저장된 데이터 전압에 의해 제3 및 제4트랜지스터(T3,T4)가 턴 온하게 되어 유기 발광다이오드(D)의 애노드에 연결된 제1전원 배선(VDD)에 공급된 전원이 제2전원 배선(GND)으로 흐르게 되면서 발광을 하게 된다.

[0122] 더욱 자세하게는, 제1커패시터(C1)에 저장된 데이터 전압은 제3 및 제4트랜지스터(T3,T4)의 문턱 전압(Vth) 이상의 값을 게이트에 공급하게 된다. 그러면, 제3 및 제4트랜지스터(T3,T4)가 턴 온하게 되고 이들의 구동에 의해 제1전원 배선(VDD)부터 제2전원 배선(GND)까지 형성된 경로를 통해 전류가 흐르게 되어 결국, 유기 발광다이오드(D)가 발광을 하게 된다.

[0123] 이와 같은 과정에서 제1전원 배선(VDD)을 통해 유기 발광다이오드(D)의 애노드에 공급되는 전원은 도시된 바와 같이 발광 단계(Emission)에서만 펄스 형태로 한번씩 공급될 수도 있고, 로직 하이(High) 상태로 계속 전원을 공급하고 있는 상태를 취할 수도 있음은 물론이다.

[0124] 이상 본 발명의 제1 및 제2실시예에 따른 유기전계발광표시장치는 서브 픽셀 구조를 개선하여 구동 트랜지스터의 문턱 전압 변화에 의한 전류감소 및 유기 발광다이오드의 휘도 감소 문제를 해결하는 효과가 있다. 아울러, 표시품질을 향상시키는 물론 고해상도 구현에 적합한 유기전계발광표시장치를 제공하는 효과가 있다.

[0125] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

[0126] 상술한 바와 같이 본 발명은, 유기전계발광표시장치의 서브 픽셀 구조를 개선하여 구동 트랜지스터의 문턱 전압 변화에 의한 전류감소 및 유기 발광다이오드의 휘도 감소 문제를 해결하는 효과가 있다. 아울러, 표시품질을 향상시키는 물론 고해상도 구현에 적합한 유기전계발광표시장치를 제공하는 효과가 있다.

도면의 간단한 설명

[0001] 도 1은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 서브 픽셀 회로 구성도.

[0002] 도 2는 본 발명의 제1실시예에 따른 구동 파형의 예시도.

[0003] 도 3은 도 2의 구동 파형을 하나의 프레임에 개략적으로 나타낸 예시도.

[0004] 도 4는 본 발명의 제1실시예에 따른 서브 픽셀 구조에 포함된 제4트랜지스터의 게이트 전압을 나타낸 도면.

[0005] 도 5는 본 발명의 제1실시예에 따른 서브 픽셀 구조에 포함된 유기 발광다이오드의 구동전류를 나타낸 도면.

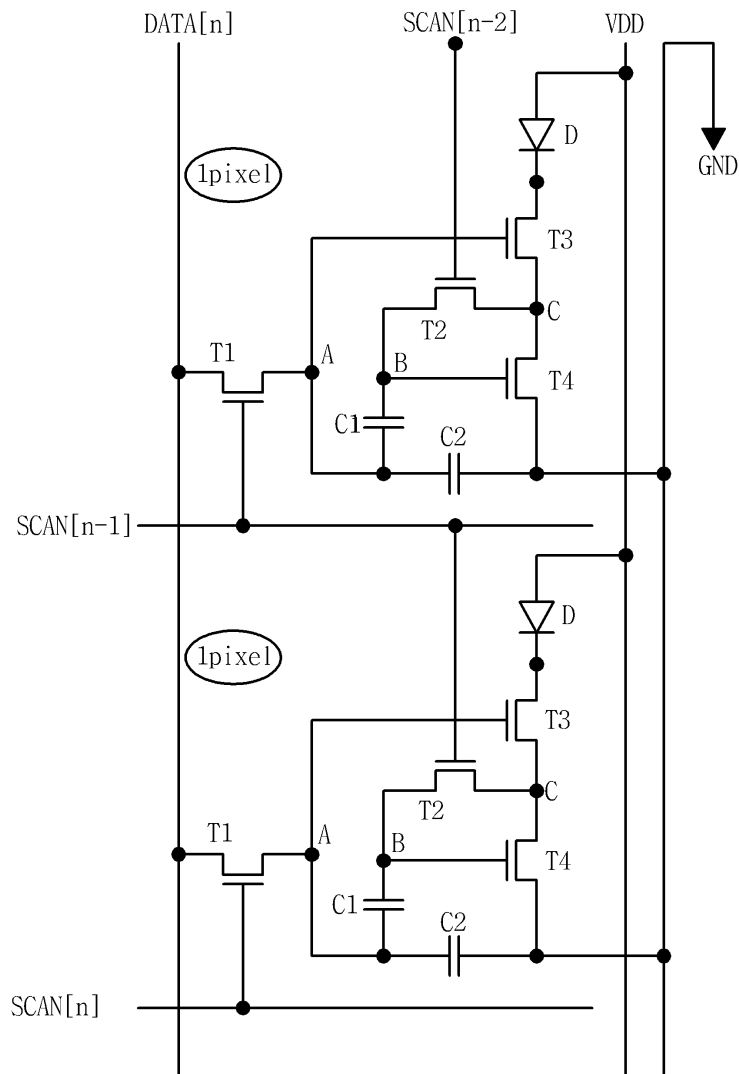
[0006] 도 6은 본 발명의 제2실시예에 따른 유기전계발광표시장치의 서브 픽셀 회로 구성도.

[0007] 도 7은 트랜지스터의 포토 전류 시뮬레이션 그래프.

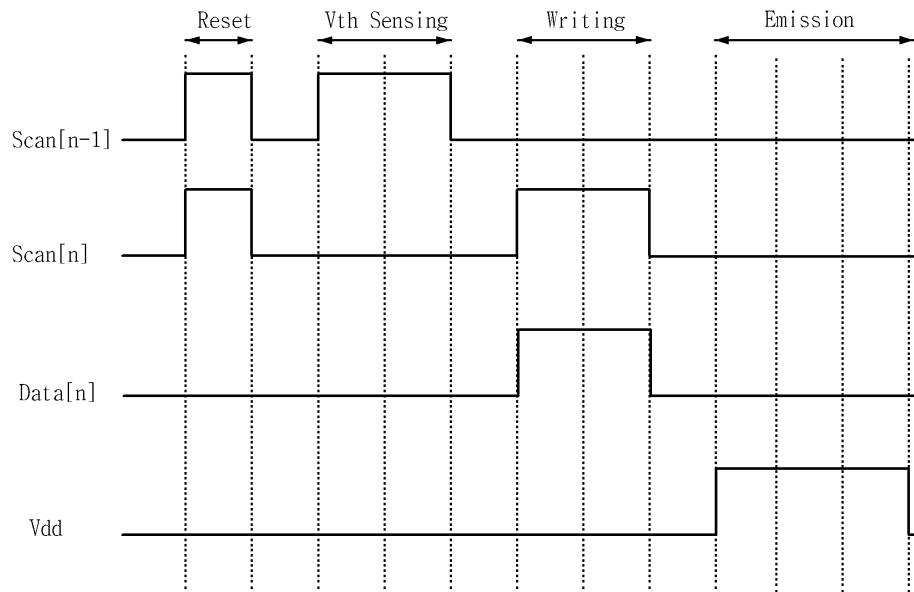
- [0008] 도 8은 유기 발광다이오드의 휘도 효율 감소에 따른 평균 전류 증가 그래프.
- [0009] 도 9는 네거티브 바이어스 어닐에 대한 시뮬레이션 그래프.
- [0010] 도 10은 본 발명의 제2실시예에 따른 구동 파형의 예시도.
- [0011] <도면의 주요 부분에 관한 부호의 설명>
- [0012] VDD : 제1전원 배선 GND : 제2전원 배선
- [0013] T1,T2,T3,T4,T5 : 제1, 제2, 제3, 제4 및 제5트랜지스터
- [0014] SCAN[n] : 스캔 배선 DATA[n] : 데이터 배선
- [0015] D : 유기 발광다이오드 C1,C2 : 제1 및 제2커패시터

도면

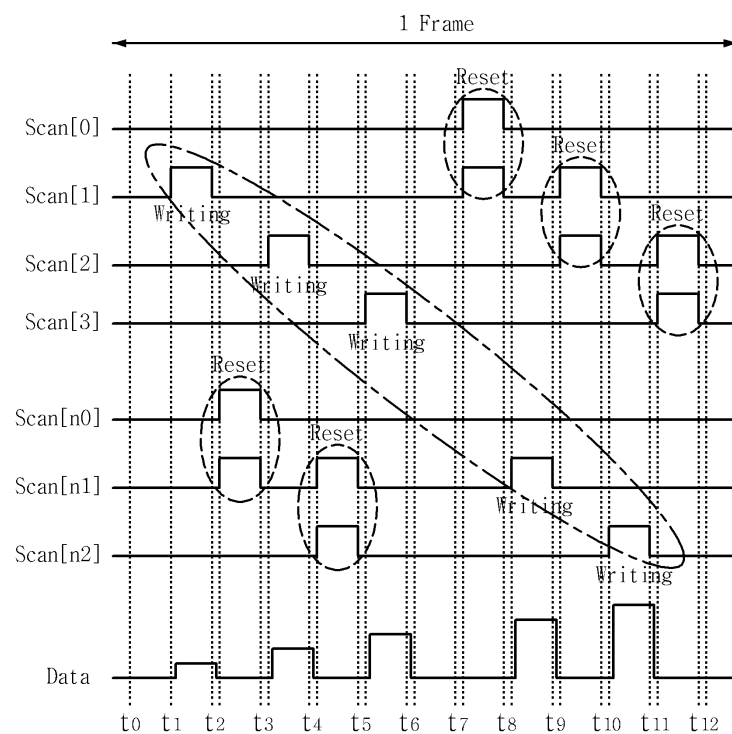
도면1



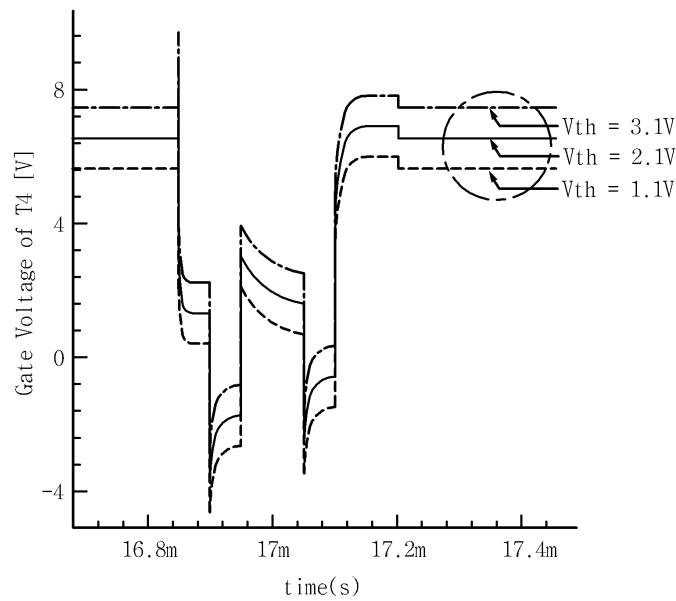
도면2



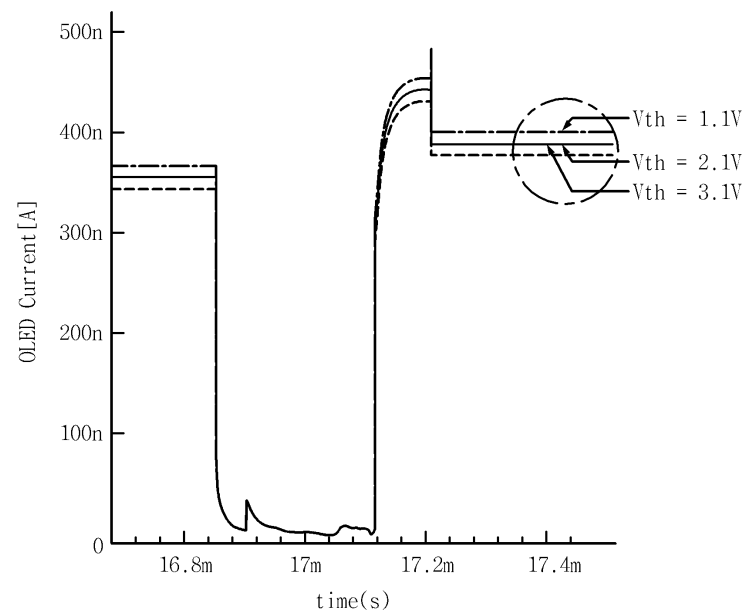
도면3



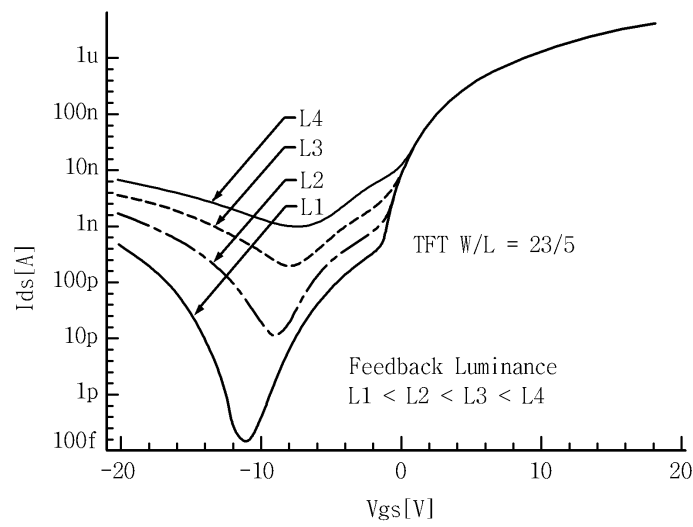
도면4



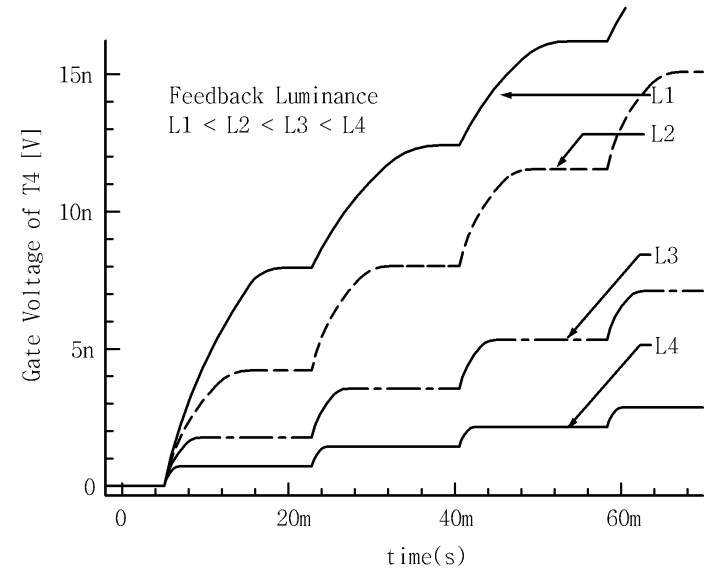
도면5



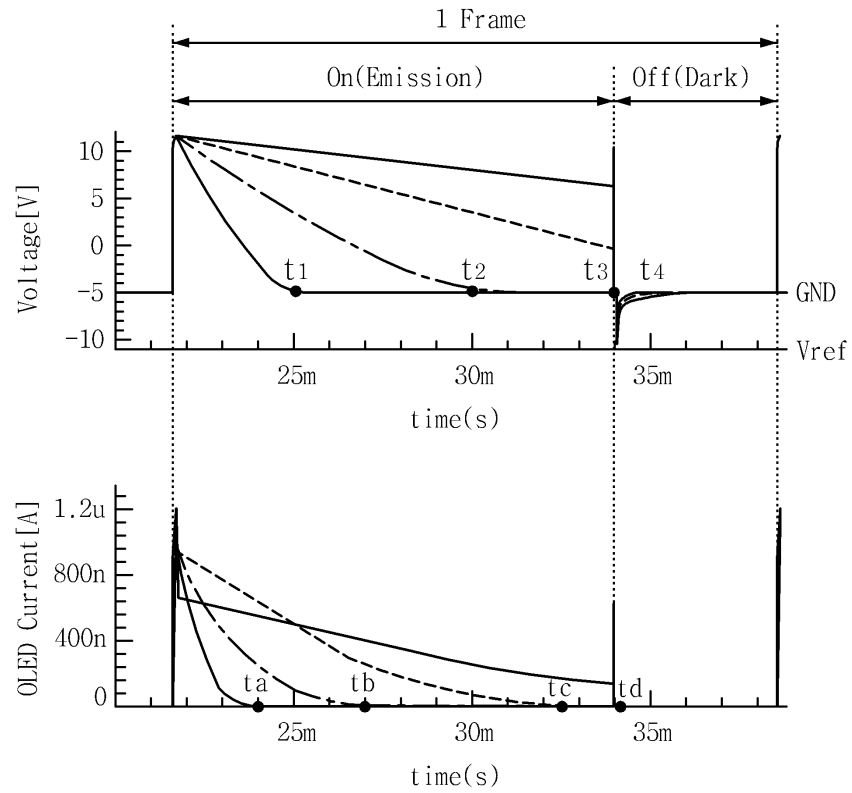
도면7



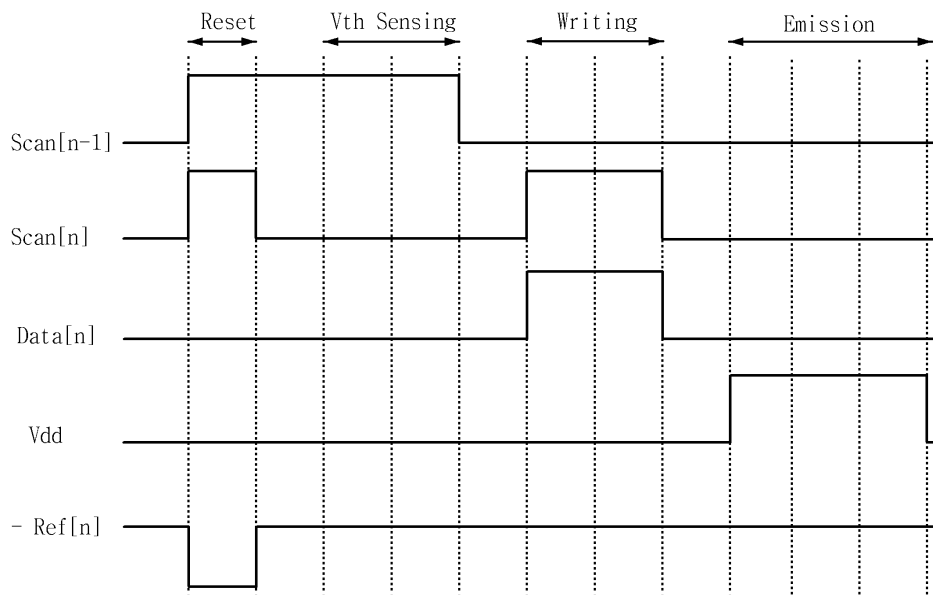
도면8



도면9



도면10



The diagram illustrates a 1T1C1D pixel array structure. It shows two rows of pixels. The top row is connected to DATA[n] and SCAN[n-2]. The bottom row is connected to DATA[n] and SCAN[n-1]. Each pixel contains a PMOS transistor T1, an NMOS transistor T2, and a diode D. Capacitors C1 and C2 are connected to the gates of T2 and T4, respectively. The output of the pixel is connected to VDD and GND.