



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년05월02일
H05B 33/10 (2006.01)	(11) 등록번호	10-0713028
	(24) 등록일자	2007년04월24일

(21) 출원번호	10-2005-0048847(분할)	(65) 공개번호	10-2005-0069956
(22) 출원일자	2005년06월08일	(43) 공개일자	2005년07월05일
심사청구일자	2005년06월08일		
(62) 원출원	특허10-2000-0035539		
	원출원일자 : 2000년06월27일	심사청구일자	2005년06월08일

(30) 우선권주장 JP-P-1999-00182595 1999년06월28일 일본(JP)

(73) 특허권자 가부시킴가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 야마자키 순페이  
일본국 가나가와켄 아쓰기시 하세 398번지 가부시킴가이샤한도오파이  
에네루기 켄큐쇼 내

미즈카미 마유미  
일본국 가나가와켄 아쓰기시 하세 398번지 가부시킴가이샤한도오파이  
에네루기 켄큐쇼 내

고누마 도시미츠  
일본국 가나가와켄 아쓰기시 하세 398번지 가부시킴가이샤한도오파이  
에네루기 켄큐쇼 내

(74) 대리인 황의만

(56) 선행기술조사문헌  
일본공개특허공보 평10-153967호 \*  
\* 심사관에 의하여 인용된 문헌

심사관 : 퇴-이창용

전체 청구항 수 : 총 11 항

## (54) 발광 표시장치 제작방법

### (57) 요약

본 발명의 목적은 EL 표시장치 및 그 EL 표시장치를 구비한 전자장치의 제조비용을 저감시키는데 있다. 액티브 매트릭스 형 EL 표시장치에서, 화소부에 형성하는 EL 재료를 디스펜서 장치를 사용한 도포 공정에 의해 형성하는 것을 특징으로 한다. 이때, 노즐의 토출구의 형상이 선형으로 되어 있기 때문에, 스루풋이 향상된다. 그러한 디스펜서 장치를 사용함으로써, EL 층 형성공정을 간략화하여 제조비용을 줄이는 것이 가능하다.

## 대표도

도 1

## 특허청구의 범위

### 청구항 1.

기관에 대한 디스펜서의 노즐의 위치를 선형으로 변경하면서 그 디스펜서의 노즐로부터 발광재료를 포함하는 혼합물을 토출하는 공정을 포함하고,

상기 디스펜서의 노즐이 화소부 위에서 한번만 이동되는 것을 특징으로 하는 발광 표시장치 제작방법.

### 청구항 2.

기관 위에 다수의 반도체 소자를 형성하는 공정;

상기 다수의 반도체 소자 각각에 각각 전기적으로 접속되는 다수의 화소 전극을 형성하는 공정; 및

상기 기관에 대한 디스펜서의 노즐의 위치를 선형으로 변경하면서 그 디스펜서의 노즐로부터 발광재료를 포함하는 혼합물을 토출하는 공정을 포함하고;

상기 발광재료가 유기 재료를 포함하고,

상기 디스펜서의 노즐이 화소부 위에서 한번만 이동되는 것을 특징으로 하는 발광 표시장치 제작방법.

### 청구항 3.

기관에 대한 디스펜서의 노즐의 위치를 선형으로 변경하면서 그 디스펜서로부터 발광재료와 액체를 포함하는 혼합물을 토출하는 공정과;

상기 혼합물을 가열하여 상기 액체를 증발시킴으로써 발광층을 형성하는 공정을 포함하고;

상기 발광재료가 유기 재료를 포함하고,

상기 디스펜서의 노즐이 화소부 위에서 한번만 이동되는 것을 특징으로 하는 발광 표시장치 제작방법.

### 청구항 4.

발광재료와 액체를 포함하는 혼합물을 제공하는 공정;

기관에 대한 디스펜서의 노즐의 위치를 선형으로 변경하면서 상기 혼합물을 토출하는 공정; 및

상기 발광재료를 포함하는 발광층을 형성하기 위해 상기 혼합물을 가열하는 공정을 포함하고;

상기 노즐이 제1 방향으로 연장하는 기다란 형상을 가지고, 상기 위치가 상기 제1 방향에 수직인 제2 방향으로 변경되고,

상기 디스펜서의 노즐이 화소부 위에서 한번만 이동되는 것을 특징으로 하는 발광 표시장치 제작방법.

#### 청구항 5.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 디스펜서의 노즐이 제1 방향으로 길게 되어 있고, 기관에 대한 디스펜서의 노즐의 상기 위치가 상기 제1 방향에 수직인 제2 방향으로 변경되는 것을 특징으로 하는 발광 표시장치 제작방법.

#### 청구항 6.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서, 상기 발광재료가 불활성 분위기에서 상기 디스펜서로부터 토출되는 것을 특징으로 하는 발광 표시장치 제작방법.

#### 청구항 7.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서, 상기 방법이, 상기 발광 표시장치를 전자장치에 설치하는 공정을 더 포함하고;

상기 전자장치는 퍼스널 컴퓨터, 비디오 카메라, 화상 재생 장치, 및 모바일 컴퓨터로 이루어진 군에서 선택되는 어느 하나의 전자장치인 것을 특징으로 하는 발광 표시장치 제작방법.

#### 청구항 8.

제 2 항에 있어서, 상기 반도체 소자가 박막트랜지스터를 포함하는 것을 특징으로 하는 발광 표시장치 제작방법.

#### 청구항 9.

제 3 항 또는 제 4 항에 있어서, 상기 액체가 클로로포름, 디클로로메탄,  $\gamma$ -부틸락톤, 부틸셀로솔브 및 NMP(N-메틸-2-피롤리돈)으로 이루어진 군에서 선택되는 어느 하나의 재료를 포함하는 것을 특징으로 하는 발광 표시장치 제작방법.

#### 청구항 10.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서, 상기 디스펜서의 노즐의 위치를 변경하면서 상기 노즐이 이동되는 것을 특징으로 하는 발광 표시장치 제작방법.

#### 청구항 11.

제 2 항에 있어서, 상기 화소부가 다수의 반도체 소자와 다수의 화소 전극을 포함하는 것을 특징으로 하는 발광 표시장치 제작방법.

명세서

### 발명의 상세한 설명

#### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 기관의 표면에 반도체 소자(반도체 박막을 사용한 소자, 대표적으로는 박막트랜지스터)를 제작하여 형성된 EL(EL; electroluminescence) 표시장치로 대표되는 전기광학장치, 및 그 전기광학장치를 표시장치로서 구비한 전자장치(전자 기기)에 관한 것이다. 특히, 본 발명은 그러한 전기광학장치의 제작방법에 관한 것이다.

근년, 기관상에 박막트랜지스터(이하, TFT라 칭함)를 형성하는 기술이 급격히 진보하고 있고, 액티브 매트릭스형 표시장치에의 응용 개발이 진행되고 있다. 특히, 폴리실리콘 막을 사용한 TFT는 비정질 규소막을 사용한 종래의 TFT보다 전계 효과 이동도(이동도라고도 칭함)가 높기 때문에, 고속 동작이 가능하다. 따라서, 종래에 기관 외부에 있는 구동회로에 의해 행해졌던 화소의 제어를 화소와 동일한 기관상에 형성된 구동회로에 의해 행하는 것이 가능하게 되었다.

그러한 액티브 매트릭스형 표시장치는, 동일한 기관상에 각종 회로 및 소자를 형성함으로써, 제조비용의 절감, 표시장치의 소형화, 생산수율의 상승 및 스루풋의 향상과 같은 각종 이점(利點)이 얻어질 수 있기 때문에 주목받고 있다.

액티브 매트릭스형 EL 표시장치에서는, 각 화소에 TFT로 된 스위칭 소자를 설치하고, 그 스위칭 소자에 의해, 전류 제어를 행하는 구동 소자를 동작시켜, EL 층(발광층)을 발광시킨다. 예를 들어, 미국 특허 제5,684,365호(일본 공개특허공고 평8-234683호 참조) 및 일본 공개특허공고 평10-189252호 공보에 개시된 EL 표시장치가 있다.

EL 층을 형성하는 방법으로서, 여러가지 방법이 제안되어 있다. 예를 들어, 진공 증착법, 스퍼터링법, 스핀 코팅법, 로울 코팅법, 캐스트법, LB법, 이온 도금법, 딥핑(dipping)법, 잉크젯법 등을 들 수 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 EL 층의 제조비용을 감소시키고 저렴한 EL 표시장치를 제공하는데 있다. 본 발명의 다른 목적은 EL 표시장치를 표시장치로서 구비한 전자장치의 생산비용을 감소시키는데 있다.

### 발명의 구성

그러한 목적들을 달성하기 위해, 본 발명은, EL 층(특히 발광층)을 디스펜서(dispenser)를 사용한 도포 공정(도포 방법)에 의해 형성하는 것을 특징으로 한다.

본 발명을 도 1(A)~도 1(C)를 참조하여 설명한다.

도 1(A)는 본 발명에서 사용되는 디스펜서의 일부를 나타낸다. 도 1(A)~도 1(C)에서, 부호 110은 기관을 나타내고, 그 기관(110)의 표면에는 화소부(111), 데이터측(소스측) 구동회로(112) 및 게이트측 구동회로(113)가 박막트랜지스터(이하, TFT라 칭함)에 의해 형성되어 있다. 또한, 본 발명은 트랜지스터가 규소 기관의 표면에 형성되는 경우에도 적용될 수 있다.

부호 114는 EL 재료와 용매와의 혼합물(이하, EL 형성재료라 칭함)을 나타내고, 부호 115는 EL 형성재료(114)의 도포면을 나타낸다. 또한, 여기서의 EL 재료는 형광성 유기 화합물이고, 일반적으로 정공 주입층, 정공 수송층, 발광층, 전자 수송층 또는 전자 주입층으로 불리는 유기 화합물을 가리킨다.

도 1(A)에 도시된 바와 같이, 디스펜서의 토출구(吐出口)를 선형으로 가공함으로써, 부호 115로 나타낸 것과 같은 도포면이 얻어질 수 있다. 화소부(111)상에서 디스펜서를 화살표의 방향으로 이동시킴으로써, 도포면(115)이 화살표의 방향으로 이동된다. 이때, 도포면의 길이방향으로의 길이는 1회 이동에 의해 화소부의 전체 면적이 커버될 수 있도록 하는 길이인 것이 바람직하다.

여기에서는 토출구가 선형인 경우를 설명하지만, 점 형상(도트(dot) 형상)일 수도 있다. EL 형성재료를 전체 표면에 도포할 때에는 EL 형성재료를 선형으로 도포하는 것이 더 빠르다는 것은 말할 필요도 없지만, 화소마다 도포하는 경우(도트 형상으로 도포하는 경우)에는 토출구가 도트 형상이어야 한다. 도트 형상으로 도포하는 것이 선형 도포에 비하여 스루풋이 떨어진다는 단점이 있지만, 화소마다 상이한 EL 층을 형성하는 경우(예를 들어, RGB 각각에 대응하는 EL 층을 개별적으로 형성하는 경우)에는 효과적이다.

도 1(B)는 도 1(A)의 도포 공정의 모양을 옆에서 본 도면이다. 디스펜서(116)의 주입기(117)에 부착된 선단부(노즐)(118)가 EL 형성재료(114)의 토출구가 된다. 그리고, 이 노즐(118)이 화살표의 방향으로 이동한다.

도 1(C)는 도 1(B)의 부호 119로 나타난 영역(도포면)의 확대도이다. 기관(110)상에 제공된 화소부(111)는 다수의 TFT(120)와 화소 전극(121)을 포함한다. 질소와 같은 불활성 가스가 내부로부터 주입기(117)내로 불어 넣어지고, 그 압력에 의해 EL 형성재료(114)가 노즐(118)로부터 토출된다. 이때, 주입기(117)의 선단 부근에는 광 반사를 이용하는 센서가 부착되어 있고, 도포면과 노즐의 선단부 사이의 간격이 항상 일정하게 유지되도록 조절될 수 있다.

노즐(118)로부터 토출된 EL 형성재료(114)는 화소 전극(121)을 덮도록 선형으로 도포된다. EL 형성재료(114)가 도포된 후, 진공 중에서 가열처리를 행하여 EL 형성재료(114)에 함유된 용매를 증발시켜 EL 재료를 잔존시킨다. 이렇게 하여, EL 재료가 형성된다. 따라서, EL 재료의 유리 전이 온도(Tg)보다 낮은 온도에서 증발하는 용매를 사용할 필요가 있다. 또한, 최종적으로 형성되는 EL 층의 두께는 EL 형성재료의 점도에 의해 결정된다. 이 경우, 점도는 용매의 선택에 의해 조절될 수 있고, 그 점도는 10~50 cp(바람직하게는 20~30 cp)인 것이 바람직하다.

EL 형성재료 중에 결정 핵이 될 수 있는 불순물이 많이 존재하면, 용매를 증발시킬 때 EL 재료가 결정화될 가능성이 높아진다. EL 재료가 결정화되면 발광 효율이 낮아지기 때문에 바람직하지 않다. EL 형성재료에 불순물이 함유되는 것을 최대한으로 방지하는 것이 바람직하다.

불순물을 줄이기 위해서는, 용매를 정제할 때, EL 재료를 정제할 때 또는 용매를 EL 재료와 혼합할 때의 환경이 최대한으로 청정화되는 것도 중요하지만, EL 형성재료가 도 1(B)에 도시된 바와 같은 디스펜서에 의해 도포될 때의 분위기에도 주의하는 것이 바람직하다. 구체적으로는, 질소와 같은 불활성 가스가 충전되어 있는 청정 부스(booth)내에 설치된 디스펜서에 의해 EL 형성재료의 도포 공정을 행하는 것이 바람직하다.

또한, 액티브 매트릭스형 EL 표시장치를 예로 들어 설명하지만, 본 발명은 패시브 매트릭스형(단순 매트릭스형) EL 표시장치에도 적용될 수 있다.

#### [실시형태]

이하, 본 발명의 실시형태를 도 2 및 도 3을 참조하여 설명한다. 도 2는 본 발명의 EL 표시장치의 화소부의 단면도이고, 도 3(A)는 그의 상면도이고, 도 3(B)는 회로 구성을 나타내는 도면이다. 실제로는, 다수의 화소가 매트릭스 형태로 배열되어, 화소부(화상 표시부)가 형성된다. 또한, 도 2는 도 3(A)의 A-A'선에 따른 단면도이다. 따라서, 도 2와 도 3(A)에서 공통의 부호가 사용되고 있으므로, 양 도면이 적절히 참조될 수 있다. 또한, 도 3(A)의 상면도는 2개의 화소를 나타내고 있지만, 양 화소는 동일한 구조이다.

도 2에서, 부호 11은 기관을 나타내고, 부호 12는 하지(下地)가 되는 절연막(이하, 하지막이라 칭함)을 나타낸다. 기관(11)으로서는, 유리 기관, 유리 세라믹 기관, 석영 기관, 규소 기관, 세라믹 기관, 금속 기관 또는 플라스틱 기관(플라스틱 막도 포함)이 사용될 수 있다.

또한, 하지막(12)은 가동(可動) 이온을 함유한 기관 또는 도전성을 가지는 기관을 사용하는 경우에 특히 효과적이지만, 석영 기관에는 하지막을 마련할 필요가 없다. 하지막(12)으로서는, 규소를 함유한 절연막이 사용될 수 있다. 본 명세서에서, "규소를 함유한 절연막"이란, 예를 들어, 산화규소막, 질화규소막 또는 질화산화규소막( $\text{SiO}_x\text{N}_y$ 로 표시됨)과 같은, 규소, 산소 및 질소를 소정의 비율로 함유하는 절연막을 가리킨다.

TFT의 열화(劣化) 또는 EL 소자의 열화를 방지하기 위해서는, 하지막(12)이 방열(放熱) 효과를 가지게 함으로써 TFT의 발열을 발산시키는 것이 효과적이다. 하지막이 방열 효과를 가지게 하기 위해서는 어떠한 공지의 재료라도 사용될 수 있다.

여기서는 화소에 2개의 TFT가 형성되어 있다. 부호 201은 스위칭 소자로서 기능하는 TFT(이하, 스위칭용 TFT라 칭함)를 나타내고, 부호 202는 EL 소자로 흐르는 전류의 양을 제어하는 전류제어 소자로서 기능하는 TFT(이하, 전류제어용 TFT라 칭함)를 나타낸다. 각 TFT는 n채널형 TFT로 형성되어 있다.

n채널형 TFT의 전계효과 이동도가 p채널형 TFT의 전계효과 이동도보다 크므로, 그의 동작 속도가 빠르고 큰 전류가 용이하게 흐를 수 있다. 동일한 전류량이 흐를 때, TFT 사이즈는 n채널형 TFT의 쪽이 더 소형으로 될 수 있다. 따라서, 전류제어용 TFT로서 n채널형 TFT를 사용하는 것이 표시부의 유효 면적이 넓게 되기 때문에 바람직하다.

p채널형 TFT는 핫 캐리어 주입이 거의 문제로 되지 않고 오프 전류 값이 낮다는 이점이 있어, p채널형 TFT를 스위칭용 TFT로서 사용하는 예와 전류제어용 TFT로서 사용하는 예가 이미 보고되어 있다. 그러나, 본 발명에서는, LDD 영역의 위치를 다르게 한 구조로 함으로써 n채널형 TFT에서도 핫 캐리어 주입 및 오프 전류 값의 문제를 해결하고, 모든 화소 내의 모든 TFT를 n채널형 TFT로 하고 있는 점에도 특징이 있다.

그러나, 본 발명에서, 스위칭용 TFT 및 전류제어용 TFT를 n채널형 TFT로 한정할 필요는 없고, 양 TFT 또는 그들 중 어느 하나에 p채널형 TFT를 사용하는 것도 가능하다.

스위칭용 TFT(201)는 소스 영역(13), 드레인 영역(14), LDD 영역(15a~15d), 고농도 불순물 영역(16)과 채널 형성 영역(17a, 17b)을 포함하는 활성층, 게이트 절연막(18), 게이트 전극(19a, 19b), 제1 층간절연막(20), 소스 배선(21), 및 드레인 배선(22)을 포함한다.

또한, 도 3(A)에 도시된 바와 같이, 게이트 전극(19a, 19b)은 다른 재료(게이트 전극(19a, 19b)보다 저항이 낮은 재료)로 형성된 게이트 배선(211)을 통해 전기적으로 접속된 이중 게이트 구조로 되어 있다. 물론, 이중 게이트 구조뿐만 아니라, 삼중 게이트 구조와 같은 소위 멀티게이트 구조(2개 이상의 채널 형성 영역이 직렬 접속된 활성층을 포함하는 구조)도 채택될 수 있다. 멀티게이트 구조는 오프 전류 값을 감소시키는데 매우 효과적이고, 본 발명에서는 화소의 스위칭용 TFT(201)를 멀티게이트 구조로 함으로써 오프 전류 값이 낮은 스위칭 소자를 실현하고 있다.

활성층은 결정 구조를 가지는 반도체막으로 형성된다. 즉, 단결정 반도체막이 사용될 수 있고, 또는 다결정 반도체막 또는 미(微)결정 반도체막도 사용될 수 있다. 게이트 절연막(18)은 규소를 함유한 절연막으로 형성될 수 있다. 또한, 게이트 전극, 소스 배선 또는 드레인 배선에는 어떠한 도전막이라도 사용될 수 있다.

또한, 스위칭용 TFT에서는, LDD 영역(15a~15d)이 게이트 절연막(18)을 사이에 두고 게이트 전극(19a, 19b)과 겹치지 않도록 마련되어 있다. 그러한 구조는 오프 전류 값을 감소시키는데 매우 효과적이다.

또한, 채널 형성 영역과 LDD 영역 사이에 오프셋 영역(채널 형성 영역과 동일한 조성의 반도체층으로 이루어지고, 게이트 전압이 인가되지 않는 영역)을 마련하는 것이 오프 전류를 감소시키는데 더욱 바람직하다. 2개 이상의 게이트 전극을 가지는 멀티게이트 구조의 경우, 채널 형성 영역들 사이에 마련된 고농도 불순물 영역이 오프 전류 값을 감소시키는데 효과적이다.

상기한 바와 같이, 화소의 스위칭용 TFT(201)로서 멀티게이트 구조의 TFT를 사용함으로써, 오프 전류 값이 충분히 낮은 스위칭 소자를 실현할 수 있다. 따라서, 일본 공개특허공고 평10-189252호 공보의 도 2에 도시된 것과 같은 용량(커패시터)을 설치하지 않아도, 전류제어용 TFT의 게이트 전압이 충분한 시간(하나의 선택 시점으로부터 다음 선택 시점까지의 간격) 유지될 수 있다.

즉, 종래에 유효 발광 면적을 좁히는 요인이 되었던 용량을 배제하는 것이 가능하게 되고, 유효 발광 면적을 넓히는 것이 가능하게 된다. 이것은 EL 표시장치의 화질을 밝게 할 수 있다는 것을 의미한다.

다음에, 전류제어용 TFT(202)는 소스 영역(31), 드레인 영역(32), LDD 영역(33)과 채널 형성 영역(34)을 포함하는 활성층, 게이트 절연막(18), 게이트 전극(35), 제1 층간절연막(20), 소스 배선(36), 및 드레인 배선(37)을 포함한다. 게이트 전극(35)은 단일 게이트 구조로 되어 있지만, 멀티게이트 구조도 채택될 수 있다.

도 3(A) 및 도 3(B)에 도시된 바와 같이, 스위칭용 TFT의 드레인 영역은 전류제어용 TFT의 게이트에 접속되어 있다. 구체적으로는, 전류제어용 TFT(202)의 게이트 전극(36)이 드레인 배선(접속 배선으로도 불림)(22)을 통해 스위칭용 TFT(201)의 드레인 영역(14)에 전기적으로 접속되어 있다. 소스 배선(36)은 전류 공급선(212)에 접속되어 있다.

전류제어용 TFT(202)는 EL 소자(203)에 주입되는 전류의 양을 제어하기 위한 소자이지만, EL 소자의 열화의 관점에서 볼 때, 다량의 전류를 공급하는 것은 바람직하지 않다. 따라서, 전류제어용 TFT로 과잉 전류가 흐르는 것을 방지하기 위해, 채널 길이(L)를 길게 설계하는 것이 바람직하다. 전류가 1화소당 0.5~2  $\mu\text{A}$ (바람직하게는 1~1.5  $\mu\text{A}$ )로 되도록 설계하는 것이 바람직하다.

상기의 관점에서, 도 9에 도시된 바와 같이, 스위칭용 TFT의 채널 길이를  $L1(L1 = L1a + L1b)$ , 채널 폭을  $W1$ 이라 하고, 전류제어용 TFT의 채널 길이를  $L2$ , 채널 폭을  $W2$ 라 할 때,  $W1$ 은  $0.1 \sim 5 \mu m$ (대표적으로는,  $0.5 \sim 2 \mu m$ ),  $W2$ 는  $0.5 \sim 10 \mu m$ (대표적으로는,  $2 \sim 5 \mu m$ )로 되는 것이 바람직하다. 또한,  $L1$ 은  $0.2 \sim 18 \mu m$ (대표적으로는,  $2 \sim 15 \mu m$ ),  $L2$ 는  $1 \sim 50 \mu m$ (대표적으로는,  $10 \sim 30 \mu m$ )로 되는 것이 바람직하다. 그러나, 본 발명은 상기 수치 값에 한정되는 것은 아니다.

이들 수치 값의 범위를 선택함으로써, VGA급의 화소수( $640 \times 480$ )를 가지는 EL 표시장치로부터 하이비전(high vision)급의 화소수( $1920 \times 1080$  또는  $1280 \times 1024$ )를 가지는 EL 표시장치까지 모든 규격을 망라할 수 있다.

또한, 스위칭용 TFT(201)에 형성되는 LDD 영역의 길이(폭)는  $0.5 \sim 3.5 \mu m$ , 대표적으로는  $2.0 \sim 2.5 \mu m$ 로 되는 것이 좋다.

또한, 도 2에 도시된 EL 표시장치는, 전류제어용 TFT(202)에서 드레인 영역(32)과 채널 형성 영역(34) 사이에 LDD 영역(33)이 마련되고, 그 LDD 영역(33)이 게이트 절연막(18)을 사이에 두고 게이트 전극(35)과 접치는 영역과 접치지 않는 영역을 가지는 점에도 특징이 있다.

전류제어용 TFT(202)는 EL 소자(204)를 발광시키기 위한 전류를 공급하는 동시에, 그 공급량을 제어하여 계조 표시를 가능하게 한다. 따라서, 전류가 공급되더라도 열화(劣化)가 일어나지 않도록 핫 캐리어 주입으로 인한 열화에 대한 대책을 강구하는 것이 필요하다. 검은색이 표시될 때는, 전류제어용 TFT(202)가 오프로 되지만, 이때 오프 전류 값이 높으면 선명한 검은색 표시가 불가능하게 되고, 콘트라스트 저하 등이 초래된다. 따라서, 오프 전류 값도 억제할 필요가 있다.

핫 캐리어 주입으로 인한 열화에 관해서는, LDD 영역이 게이트 전극과 접치는 구조가 매우 효과적이라는 것이 알려져 있다. 그러나, LDD 영역 전체가 게이트 전극과 접치게 되면 오프 전류 값이 증가한다. 따라서, 본 발명자들은 게이트 전극과 접치지 않는 LDD 영역이 직렬로 마련되는 신규한 구조에 의해, 핫 캐리어 대책과 오프 전류 값 대책의 문제를 동시에 해결하고 있다.

이때, 게이트 전극과 접치는 LDD 영역의 길이를  $0.1 \sim 3 \mu m$ (바람직하게는  $0.3 \sim 1.5 \mu m$ )로 하는 것이 좋다. 그 길이가 너무 길면 기생 용량이 커지고, 그 길이가 너무 짧으면 핫 캐리어를 방지하는 효과가 약화된다. 또한, 게이트 전극과 접치지 않는 LDD 영역의 길이를  $1.0 \sim 3.5 \mu m$ (바람직하게는  $1.5 \sim 2.0 \mu m$ )로 하는 것이 좋다. 그 길이가 너무 길면 충분한 전류가 흐를 수 없게 되고, 그 길이가 너무 짧으면 오프 전류 값을 감소시키는 효과가 약화된다.

상기한 구조에서 게이트 전극과 LDD 영역이 서로 접치는 영역에서는 기생 용량이 형성되기 때문에, 그러한 영역을 소스 영역(31)과 채널 형성 영역(34) 사이에는 형성하지 않는 것이 바람직하다. 전류제어용 TFT에서는, 캐리어(여기서는 전자)의 흐름 방향이 항상 동일하므로, 드레인 영역 측에만 LDD 영역을 마련하여도 충분하다.

그러나, 전류제어용 TFT(202)의 구동 전압(소스 영역과 드레인 영역 사이에 인가되는 전압)이  $10 V$  이하로 되는 경우, 핫 캐리어 주입이 거의 문제로 되지 않으므로, LDD 영역(33)을 생략하는 것도 가능하다. 이 경우, 활성층은 소스 영역(31), 드레인 영역(32) 및 채널 형성 영역(34)으로 이루어진다.

흐를 수 있는 전류의 양을 증대시킨다는 관점에서 보면, 전류제어용 TFT(202)의 활성층(특히, 채널 형성 영역)의 막 두께를 두껍게(바람직하게는  $50 \sim 100 \mu m$ , 더 바람직하게는  $60 \sim 80 \mu m$ )하는 것도 효과적이다. 반면에, 스위칭용 TFT(201)의 경우에는, 오프 전류 값을 감소시키는 관점에서, 활성층(특히, 채널 형성 영역)의 막 두께를 얇게(바람직하게는  $20 \sim 50 \mu m$ , 더욱 바람직하게는  $25 \sim 40 \mu m$ )하는 것도 효과적이다.

다음에, 부호 41은 제1 패시베이션막을 나타내고, 그의 막 두께를  $10 nm \sim 1 \mu m$ (바람직하게는  $200 \sim 500 nm$ )로 하는 것이 좋다. 그의 재료로서는, 규소를 함유한 절연막(특히 질화산화규소막 또는 질화규소막이 바람직하다)을 사용할 수 있다. 이 제1 패시베이션막(41)은 형성된 TFT를 알칼리 금속 또는 수분으로부터 보호하는 역할을 한다. 최종적으로 TFT 위에 설치되는 EL 층에는 나트륨과 같은 알칼리 금속이 함유되어 있다. 즉, 제1 패시베이션막(41)은 이들 알칼리 금속(가동 이온)이 TFT 측으로 침입하는 것을 방지하는 보호막으로도 기능한다.

또한, 제1 패시베이션막(41)이 방열 효과를 가지게 함으로써 EL 층의 열적 열화를 방지하는 것도 효과적이다. 그러나, 도 2의 구조를 가지는 EL 표시장치에서는, 기관(11)측으로 광이 방사(放射)하므로, 제1 패시베이션막(41)이 투광성일 필요가 있다. EL 층에 유기 재료가 사용되는 경우에는, 산소와의 결합에 의해 열화하므로, 산소를 쉽게 방출하는 절연막을 사용하지 않는 것이 바람직하다.

알칼리 금속의 투과를 방지하고 방열 효과를 가지는 투광성 재료로서는, B(붕소), C(탄소) 및 N(질소)로 이루어진 군에서 선택된 하나 이상의 원소와, Al(알루미늄), Si(규소) 및 P(인)으로 이루어진 군에서 선택된 하나 이상의 원소를 함유하는 절연막을 들 수 있다. 예를 들어, 질화 알루미늄( $Al_xN_y$ )으로 대표되는 알루미늄 질화물, 탄화규소( $Si_xC_y$ )로 대표되는 규소 탄화물, 질화규소( $Si_xN_y$ )로 대표되는 규소 질화물, 질화붕소( $B_xN_y$ )로 대표되는 붕소 질화물 또는 인화붕소( $B_xP_y$ )로 대표되는 붕소 인화물을 사용할 수 있다. 산화 알루미늄( $Al_xO_y$ )으로 대표되는 알루미늄 산화물은 투광성이 우수하고, 열전도율이  $20\text{ Wm}^{-1}\text{K}^{-1}$ 이기 때문에, 바람직한 재료들 중의 하나라고 할 수 있다. 이들 재료는 상기한 효과뿐만 아니라 수분의 침입을 방지하는 효과도 가지고 있다. 또한, 상기한 투광성 재료에서, x 및 y는 임의의 정수이다.

또한, 상기한 화합물에 다른 원소를 조합시킬 수도 있다. 예를 들어, 산화 알루미늄에 질소를 첨가하여  $AlN_xO_y$ 로 표시되는 질화산화 알루미늄을 사용하는 것도 가능하다. 이 재료도 방열 효과뿐만 아니라 수분 또는 알칼리 금속의 침입을 방지하는 효과를 가진다. 또한, 상기 질화산화 알루미늄에서 x 및 y는 임의의 정수이다.

또한, 일본 공개특허공고 소62-90260호 공보에 개시된 재료들도 사용될 수 있다. 즉, Si, Al, N, O 또는 M(여기서, M은 적어도 1종의 희토류 원소, 바람직하게는 Ce(세륨), Yb(이테르븀), Sm(사마륨), Er(에르븀), Y(이트륨), La(란탄), Gd(가돌리늄), Dy(디스프로슘) 및 Nd(네오디뮴)로부터 선택된 적어도 하나의 원소)을 함유한 절연막을 사용하는 것도 가능하다. 이들 재료도 방열 효과뿐만 아니라 수분 또는 알칼리 금속의 침입을 방지하는 효과를 가진다.

또한, 적어도 다이아몬드 박막 또는 비정질 탄소막(특히, 다이아몬드와 닮은 탄소(diamond-like carbon)이라 불리는, 특성이 다이아몬드에 가까운 막 등)을 포함하는 탄소막도 사용될 수 있다. 이들 막은 매우 높은 열전도율을 가지고, 방열층으로서 매우 효과적이다. 그러나, 막 두께가 커지면 막이 갈색을 띄어 투과율이 저하되므로, 두께가 가능한 한 얇은(바람직하게는 5~100 nm) 막을 사용하는 것이 바람직하다.

또한, 제1 패시베이션막(41)의 주 목적은 TFT를 알칼리 금속 또는 수분으로부터 보호하기 위한 것이므로, 그러한 효과를 손상시키는 것이어서는 않된다. 따라서, 상기한 방열 효과를 가지는 재료로 된 박막이 단독으로 사용될 수도 있지만, 그러한 박막과, 알칼리 금속 또는 수분의 투과를 방지할 수 있는 절연막(대표적으로는 질화규소막( $Si_xN_y$ ) 또는 질화산화규소막( $SiO_xN_y$ ))을 적층시키는 것이 효과적이다. 또한, 상기 질화규소막 또는 질화산화규소막에서 x 및 y는 임의의 정수이다.

제1 패시베이션막(41)상에는 각 TFT를 덮도록 제2 층간절연막(평탄화 막으로도 불림)(44)을 형성하여, TFT에 의해 형성된 단차(段差)를 평탄화한다. 제2 층간절연막(44)으로는, 유기 수지막이 바람직하고, 폴리이미드, 폴리아미드, 아크릴, BCB(벤조시클로부텐) 등을 사용하는 것이 바람직하다. 물론, 충분한 평탄화가 가능하다면, 무기 막도 사용될 수 있다.

제2 층간절연막(44)에 의해 TFT로 인한 단차를 평탄화하는 것은 매우 중요하다. 후에 형성되는 EL 층은 매우 얇기 때문에, 단차의 존재로 인해 발광 불량이 일어나는 경우가 있다. 따라서, 화소 전극을 형성하기 전에 평탄화를 행하여 최대한 평탄한 표면에 EL 층이 형성될 수 있도록 하는 것이 바람직하다.

부호 45는 제2 패시베이션막을 나타내고, 그 막은 EL 소자로부터 확산하는 알칼리 금속을 차단하는 매우 중요한 역할을 한다. 막 두께는 5 nm~1  $\mu\text{m}$ (대표적으로는 20~300 nm)로 하는 것이 좋다. 제2 패시베이션막(45)으로서는 알칼리 금속의 투과를 막을 수 있는 절연막이 사용된다. 그 재료로서는, 제1 패시베이션막(41)에 사용된 재료가 사용될 수 있다.

또한, 제2 패시베이션막(45)은 EL 소자에서 발생한 열을 소산시켜 EL 소자에 열이 축적되는 것을 방지하도록 기능하는 방열층으로도 기능한다. 제2 층간절연막(44)이 유기 수지막인 경우, 열에 약하기 때문에, 제2 패시베이션막이 EL 소자에서 발생한 열이 제2 층간절연막(44)에 악영향을 미치는 것을 방지한다.

상기한 바와 같이, EL 표시장치의 제작 시에 유기 수지막으로 TFT를 평탄화하는 것이 효과적이지만, 종래에는 EL 소자에서 발생한 열로 인한 유기 수지막의 열화를 고려한 구조가 없었다. 본 발명에서는, 제2 패시베이션막(45)을 마련함으로써 그러한 문제를 해결하고 있는 점도 본 발명의 특징들 중의 하나라고 할 수 있다.

제2 패시베이션막(45)은 열로 인한 열화를 방지하는 동시에, EL 층에 있는 알칼리 금속이 TFT 측으로 확산하는 것을 방지하는 보호막으로 기능하고, 또한 수분 또는 산소가 TFT 측으로부터 EL 층 측으로 침입하는 것을 방지하는 보호막으로도 기능한다.



부호 46은 투명 도전막으로 된 화소 전극(EL 소자의 양극)을 나타낸다. 제2 패시베이션막(45), 제2 층간절연막(44) 및 제1 패시베이션막(41)을 통해 콘택트 홀을 형성한 후, 형성된 개구부에서 전류제어용 TFT(202)의 드레인 배선(37)에 접속 되도록 화소 전극이 형성된다.

다음에, 디스펜서를 사용한 도포 공정에 의해 EL 층(엄밀히 말하면, 화소 전극에 접하는 EL 층)(47)을 형성한다. EL 층(47)은 단층 구조 또는 적층 구조로 사용되지만, 적층 구조로 사용되는 경우가 많다. 그러나, 적층 구조의 경우에는, 도포 방법과 기상성장법(특히, 증착법이 바람직하다)을 조합하는 것이 바람직하다. 도포 방법에서는, EL 재료와 용매를 혼합하여 도포하기 때문에, 하지에 유기 재료가 있으면 용해가 다시 일어날 염려가 있다.

따라서, EL 층(47) 중에, 화소 전극과 직접 접촉하는 층을 디스펜서를 사용한 도포 공정에 의해 형성하고, 그 이후에는 기상성장법에 의해 층을 형성하는 것이 바람직하다. 물론, 하층의 EL 재료를 용해시키지 않는 용매를 사용하여 도포하는 것이 가능하다면, 모든 층을 디스펜서에 의해 형성할 수 있다. 화소 전극과 직접 접촉하는 층으로서, 정공 주입층, 정공 수송층 또는 발광층이 존재할 수 있지만, 본 발명은 어느 층을 형성하는 경우에도 사용될 수 있다.

본 발명에서는, EL 층을 형성하는 방법으로서 디스펜서를 사용한 도포 방법이 사용되기 때문에, EL 재료로서 중합체 재료를 사용하는 것이 바람직하다. 대표적인 중합체 재료로서는, 폴리과라페닐렌 비닐렌(PPV), 폴리비닐카바졸(PVK) 또는 폴리플루오렌과 같은 고분자 재료를 들 수 있다.

디스펜서를 사용한 도포 공정에 의해 중합체 재료로 된 정공 주입층, 정공 수송층 또는 발광층을 형성하기 위해서는, 중합체 전구체(前驅體)의 상태로 도포하고, 진공 중에서 가열하여 중합체 재료로 된 EL 재료로 전환시킨다. 그리고, 그 위에 필요한 EL 재료를 증착법 등에 의해 적층시켜, 적층형의 EL 층을 형성한다.

구체적으로는, 정공 수송층으로서, 중합체 전구체로서 폴리테트라히드로티오펜페닐렌을 사용하고 가열에 의해 폴리페닐렌 비닐렌으로 전환시키는 것이 바람직하다. 막 두께는 30~100 nm(바람직하게는 40~80 nm)로 하는 것이 좋다. 발광층으로서, 적색 발광층에 시아노폴리페닐렌 비닐렌을 사용하고, 녹색 발광층에 폴리페닐렌 비닐렌을 사용하고, 청색 발광층에 폴리페닐렌 비닐렌 또는 폴리알킬페닐렌을 사용하는 것이 바람직하다. 막 두께는 30~150 nm(바람직하게는 40~100 nm)로 하는 것이 좋다.

화소 전극과 그 위에 형성되는 EL 재료 사이의 버퍼 층으로서 구리 프탈로시아닌을 제공하는 것도 효과적이다.

그러나, 상기한 예는 본 발명의 EL 재료로서 사용될 수 있는 유기 EL 재료의 예일 뿐이고, 이들에 한정할 필요는 없다. 본 발명에서는, EL 재료와 용매와의 혼합물을 디스펜서에 의해 도포하고, 용매를 증발시켜 제거함으로써, EL 층을 형성한다. 따라서, 용매의 증발이 EL 층의 유리 전이 온도를 초과하지 않는 온도에서 행해지는 조합이라면, 어떠한 EL 재료라도 사용할 수 있다.

대표적으로는, 용매로서, 클로로포름, 디클로로메탄, γ-부틸락톤, 부틸셀로솔브 또는 NMP(N-메틸-2-피롤리돈)와 같은 유기 용매가 사용되거나 또는 물이 사용될 수 있다. EL 형성재료의 점도를 증가시키기 위한 첨가제를 첨가하는 것도 효과적이다.

또한, EL 층(47)을 형성할 때, 처리 분위기는 가능한 한 수분이 적은 건조한 분위기로 하고, 불활성 가스 중에서 성막하는 것이 바람직하다. EL 층은 수분 또는 산소의 존재로 인해 쉽게 열화되기 때문에, 층을 형성할 때 그러한 요인을 최대한으로 제거하는 것이 필요하다. 예를 들어, 건조한 질소 분위기 또는 건조한 아르곤 분위기가 바람직하다. 그 목적을 위해, 불활성 가스로 채워진 청정 부스 내에 디스펜서를 설치하고, 그 분위기에서 도포 공정을 행하는 것이 바람직하다.

상기한 바와 같이 EL 층(47)을 형성한 후, 음극(48) 및 보호 전극(49)을 형성한다. 음극(48) 및 보호 전극(49)은 진공 증착법에 의해 형성될 수 있다. 음극(48) 및 보호 전극(49)이 대기 중의 노출 없이 연속적으로 형성되면, EL 층(47)의 열화가 더욱 억제될 수 있다. 본 명세서에서는, 화소 전극(양극), EL 층 및 음극 전극으로 형성된 발광 소자를 EL 소자라 부른다.

음극(48)으로서, 일 함수가 작고, 마그네슘(Mg), 리튬(Li) 또는 칼슘(Ca)을 함유하는 재료가 사용된다. MgAg(Mg와 Ag가 Mg : Ag = 10 : 1의 비율로 혼합된 재료)로 된 전극을 사용하는 것이 바람직하다. 또한, MgAgAl 전극, LiAl 전극 및 LiFAl 전극도 들 수 있다. 보호 전극(49)은 음극(48)을 외부 수분 등으로부터 보호하기 위해 마련되는 전극이고, 알루미늄(Al) 또는 은(Ag)을 함유하는 재료가 사용된다. 이 보호 전극(49)도 방열 효과를 가진다.

또한, EL 층(47)과 음극(48)을 대기에서의 노출 없이 건조한 불활성 가스 중에서 연속적으로 형성하는 것이 바람직하다. 이것은 EL 층에 유기 재료가 사용되는 경우에는 수분에 매우 약하기 때문에, 대기에서의 노출 시의 흡습을 피하기 위한 것이다. 또한, EL 층(47)과 음극(48)뿐만 아니라 그 위에 있는 보호 전극(49)도 연속적으로 형성하는 것이 더욱 바람직하다.

도 2의 구조는 RGB 중의 어느 하나에 대응하는 1종류의 EL 소자를 형성하는 단색 발광 방식을 사용하는 경우의 예이다. 도 2는 단지 1개의 화소만을 나타내지만, 동일한 구조를 가지는 다수의 화소가 화소부에 매트릭스 형태로 배치되어 있다. 또한, RGB 중의 어느 하나에 대응하는 EL 층에 공지의 재료를 채택할 수도 있다.

상기한 방식 이외에도, 백색 발광의 EL 소자와 컬러 필터를 조합한 방식, 청색 또는 청녹색 발광의 EL 소자와 형광체(형광성 색변환층: CCM)를 조합한 방식, 음극에 투명 전극을 사용하고 RGB에 대응하는 EL 소자를 적층시킨 방식 등을 사용하여 컬러 표시를 할 수도 있다. 물론, 백색 발광의 EL 층을 단층으로 형성하여 흑백 표시를 하는 것도 가능하다.

부호 50은 제3 패시베이션막을 나타내고, 그의 막 두께는 10 nm ~ 1  $\mu$ m(바람직하게는 200 ~ 500 nm)로 하는 것이 좋다. 제3 패시베이션막(50)을 마련하는 주 목적은 EL 층(47)을 수분으로부터 보호하기 위한 것이지만, 제2 패시베이션막(45)과 마찬가지로 방열 효과를 부여할 수도 있다. 따라서, 형성재료로서는, 제1 패시베이션막(41)의 것과 유사한 재료를 사용할 수 있다. 그러나, EL 층(47)에 유기 재료를 사용하는 경우에는 그 층이 산소와의 결합으로 인해 열화될 가능성이 있기 때문에, 산소를 방출하기 쉬운 절연막을 사용하지 않는 것이 바람직하다.

또한, 상기한 바와 같이, EL 층은 열에 약하기 때문에, 가능한 한 낮은 온도(바람직하게는 실온으로부터 120℃까지의 온도 범위)에서 성막하는 것이 바람직하다. 따라서, 플라즈마 CVD법, 스퍼터링법, 진공 증착법, 이온 도금법 또는 용액 도포법(스핀 코팅법)이 바람직한 성막 방법이라 할 수 있다.

이와 같이, 단지 제2 패시베이션막(45)을 마련하는 것만으로도 EL 소자의 열화가 충분히 억제될 수 있지만, EL 소자를 그 EL 소자의 양측에 놓여지도록 형성되는 제2 패시베이션막과 제3 패시베이션막과 같은 2층 절연막으로 둘러싸, EL 층으로의 수분 및 산소의 침입을 방지하고, EL 층으로부터의 알칼리 금속의 확산을 방지하고, EL 층에의 열의 축적을 방지하는 것이 바람직하다. 그 결과, EL 층의 열화가 더욱 억제되고, 신뢰성이 높은 EL 표시장치가 얻어질 수 있다.

본 발명의 EL 표시장치는 도 2에서와 같은 구조를 가지는 화소로 된 화소부를 포함하고, 기능에 따라 상이한 구조를 가지는 TFT가 화소 내에 배치되어 있다. 이것에 의해, 오프 전류 값이 충분히 낮은 스위칭용 TFT와 핫 캐리어 주입에 강한 전류제어용 TFT를 동일 화소 내에 형성하는 것이 가능하고, 신뢰성이 높고 우수한 화상 표시가 가능한(동작 성능이 높은) EL 표시장치가 얻어질 수 있다.

또한, 도 2의 화소 구조에서는, 멀티게이트 구조를 가지는 TFT가 스위칭용 TFT로서 사용되고 있지만, LDD 영역의 배치 등의 구성에 관해서는 도 2의 구성에 한정할 필요는 없다.

이하, 상기한 구조로 된 본 발명을 실시예에 의거하여 더 상세히 설명한다.

#### [실시예 1]

본 실시예를 도 4~도 6을 사용하여 설명한다. 본 실시예에서는, 화소부 및 그 화소부의 주변에 형성되는 구동회로부의 TFT를 동시에 제작하는 방법에 관하여 설명한다. 설명을 간단히 하기 위해, 구동회로에 관해서는 기본 회로인 CMOS 회로를 도시하는 것으로 한다.

먼저, 도 4(A)에 도시된 바와 같이, 유리 기판(300)상에 하지막(301)을 300 nm의 두께로 형성한다. 본 실시예에서는 하지막(301)으로서 질화산화규소막을 적층하였다. 이때, 유리 기판(300)에 접하는 쪽의 질소 농도를 10~25 중량%로 하는 것이 좋다.

또한, 하지막(301)의 일부로서, 도 2에 도시된 제1 패시베이션막(41)의 재료와 유사한 재료로 된 절연막을 형성하는 것이 효과적이다. 전류제어용 TFT는 큰 전류가 흐르는 것으로 되기 때문에 발열하기 쉬우므로, 가능한 한 가까운 곳에 방열 효과를 가지는 절연막을 마련하는 것이 효과적이다.

다음에, 하지막(301)상에 공지의 성막방법에 의해 비정질 규소막(도시되지 않음)을 50 nm의 두께로 형성한다. 이 막을 비정질 규소막으로 한정할 필요는 없고, 비정질 구조를 가지는 반도체막(미(微)결정 반도체막을 포함)이면 된다. 또한, 비정질 규소 게르마늄 막과 같은, 비정질 구조를 가지는 화합물 반도체막도 사용될 수 있다. 또한, 막 두께는 20~100 nm로 할 수 있다.

이어서, 공지의 방법에 의해 비정질 규소막을 결정화하여, 결정성 규소막(다결정 규소막 또는 폴리실리콘 막으로도 불림)(302)을 형성한다. 공지의 결정화 방법으로는, 전기로를 사용한 열 결정화법, 레이저를 사용한 레이저 어닐 결정화법 및 적외선 램프를 사용한 램프 어닐 결정화법이 있다. 본 실시예에서는, XeCl 가스를 이용한 엑시머 레이저광을 사용하여 결정화를 행하였다.

본 실시예에서는 선형으로 가공된 펄스 발진형 엑시머 레이저광을 사용하였지만, 직사각형 형상도 사용할 수 있고, 연속 발진형 아르곤 레이저광이나 연속 발진형 엑시머 레이저광도 사용할 수 있다.

본 실시예에서는, TFT의 활성층으로서 결정성 규소막을 사용하지만, 비정질 규소막을 사용하는 것도 가능하다. 그러나, 전류제어용 TFT의 면적을 가능한 한 작게 함으로써 화소의 개구율을 증대시키기 위해서는, 전류가 쉽게 흐를 수 있는 결정성 규소막을 사용하는 것이 유리하다.

오프 전류를 감소시킬 필요가 있는 스위칭용 TFT의 활성층을 비정질 규소막으로 형성하고, 전류제어용 TFT의 활성층을 결정성 규소막으로 형성하는 것이 효과적이다. 비정질 규소막에서는 캐리어 이동도가 낮기 때문에 전류가 흐르기 어렵고 오프 전류가 쉽게 흐르지 못한다. 즉, 전류가 쉽게 흐르지 못하는 비정질 규소막의 이점과 전류가 쉽게 흐르는 결정성 규소막의 이점을 이용할 수 있다.

다음에, 도 4(B)에 도시된 바와 같이, 결정성 규소막(302)상에 두께 130 nm의 산화규소막으로 보호막(303)을 형성한다. 이 두께는 100~200 nm(바람직하게는 130~170 nm)의 범위 내에서 선택될 수 있다. 또한, 규소를 함유한 절연막이라면 다른 막도 사용될 수 있다. 이 보호막(303)은 불순물의 첨가 중에 결정성 규소막이 플라즈마에 직접 노출되지 않도록 하고 불순물의 농도를 미세하게 제어하는 것을 가능하게 하기 위해 형성된다.

이어서, 보호막(303)상에 레지스트 마스크(304a, 304b)를 형성하고, n형 도전성을 부여하는 불순물 원소(이하, n형 불순물 원소라 칭함)를 첨가한다. n형 불순물 원소로서는 대표적으로는 주기율표 15족에 속하는 원소가 사용되고, 전형적으로는 인 또는 비소가 사용될 수 있다. 본 실시예에서는, 질량 분리 없이 포스핀( $\text{PH}_3$ )을 플라즈마 활성화하는 플라즈마 도핑법을 사용하고, 인을  $1 \times 10^{18}$  원자/ $\text{cm}^2$ 의 농도로 첨가하였다. 물론, 질량 분리를 행하는 이온 주입법도 사용될 수 있다.

이 공정에 의해 형성되는 n형 불순물 영역(305, 306)에는 n형 불순물 원소가  $2 \times 10^{16} \sim 5 \times 10^{19}$  원자/ $\text{cm}^2$ (대표적으로는  $5 \times 10^{17} \sim 5 \times 10^{18}$  원자/ $\text{cm}^2$ )의 농도로 함유되도록 도스량을 조절한다.

다음에, 도 4(C)에 도시된 바와 같이, 보호막(303)을 제거하고, 첨가된 주기율표 15족 원소의 활성화를 행한다. 활성화 수단으로서 공지의 활성화 기술을 사용할 수 있고, 본 실시예에서는 엑시머 레이저광의 조사에 의해 활성화를 행하였다. 물론, 펄스 발진형 엑시머 레이저와 연속 발진형 엑시머 레이저 모두가 사용될 수 있고, 엑시머 레이저광에 한정할 필요는 없다. 첨가된 불순물 원소의 활성화가 목적이므로, 결정성 규소막이 용융되지 않는 정도의 에너지로 조사를 행하는 것이 바람직하다. 보호막(303)을 그대로 둔 채 레이저 조사를 행할 수도 있다.

레이저광에 의한 불순물 원소의 활성화와 함께 열처리에 의한 활성화를 병용하여도 좋다. 열처리에 의해 활성화를 행하는 경우에는, 기관의 내열성을 고려하여 450~550℃ 정도에서 열처리를 행하는 것이 좋다.

이 공정에 의해, n형 불순물 영역(305, 306)의 엣지(edge) 영역, 즉, n형 불순물 영역(305, 306)의 주위에 존재하는 n형 불순물 원소가 첨가되지 않은 영역과의 경계부(접합부)가 명확하게 된다. 이것은 후에 TFT가 완성된 시점에서 LDD 영역과 채널 형성 영역 사이에 매우 양호한 접합부가 형성될 수 있다는 것을 의미한다.

다음에, 도 4(D)에 도시된 바와 같이, 결정성 규소막의 불필요한 부분을 제거하여, 섬 형상의 반도체막(이하, 활성층이라 칭함)(307~310)을 형성한다.

이어서, 도 4(E)에 도시된 바와 같이, 활성층(307~310)을 덮도록 게이트 절연막(311)을 형성한다. 게이트 절연막(311)으로서는, 두께 10~200 nm, 바람직하게는 50~150 nm의 규소를 함유한 절연막을 사용할 수 있다. 이것은 단층 구조 또는 적층 구조로 사용될 수 있다. 본 실시예에서는 두께 110 nm의 질화산화규소막을 사용하였다.

다음에, 두께 200~400 nm의 도전막을 형성하고 패터닝하여 게이트 전극(312~316)을 형성한다. 본 실시예에서는, 게이트 전극과 이 게이트 전극에 전기적으로 접속되는 리드 배선(이하, 게이트 배선이라 칭함)을 상이한 재료로 형성하였다. 구체적으로는, 게이트 전극보다 저항이 낮은 재료를 게이트 배선에 사용한다. 이것은, 게이트 전극으로서는 미세 가공될 수 있는 재료를 사용하고, 게이트 배선에는 미세 가공될 수 없어도 배선 저항이 낮은 재료를 사용하기 때문이다. 물론, 게이트 전극과 게이트 배선을 동일한 재료로 형성할 수도 있다.

또한, 게이트 전극을 단층 도전막으로 형성할 수도 있고, 필요한 경우에는 2층 또는 3층의 적층 막을 사용하는 것이 바람직할 수도 있다. 게이트 전극 재료로서는 공지의 모든 도전막이 사용될 수 있다. 그러나, 상기한 바와 같이, 미세 가공될 수 있는 재료, 구체적으로는 2  $\mu\text{m}$  이하의 선폭으로 패터닝될 수 있는 재료를 사용하는 것이 바람직하다.

대표적으로는, 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 및 규소(Si)로 이루어진 군에서 선택된 원소로 된 막, 그들 원소의 질화물 막(대표적으로는, 질화 탄탈 막, 질화 텅스텐 막 또는 질화 티탄 막), 그들 원소를 조합한 합금 막(대표적으로는, Mo-W 합금 또는 Mo-Ta 합금), 또는 그들 원소의 규화물 막(대표적으로는, 규화 텅스텐 막 또는 규화 티탄 막)을 사용할 수 있다. 물론, 이들 막은 단층 또는 적층으로 사용될 수 있다.

본 실시예에서는, 두께 50 nm의 질화 텅스텐(WN) 막과 두께 350 nm의 텅스텐(W) 막의 적층 막을 사용하였다. 이들 막은 스퍼터링법에 의해 형성될 수 있다. 스퍼터링 가스로서 Xe, Ne 등의 불활성 가스를 첨가하면, 응력으로 인한 막의 벗겨짐을 방지할 수 있다.

이때, 게이트 전극(313, 316)은 게이트 절연막(311)을 사이에 두고 n형 불순물 영역(305, 306)의 일부와 겹치도록 형성된다. 그 겹침 부분이 후에 게이트 전극과 겹치는 LDD 영역이 된다.

다음에, 도 5(A)에 도시된 바와 같이, 게이트 전극(312~316)을 마스크로 하여 자기정합적으로 n형 불순물 원소(본 실시예에서는 인)를 첨가한다. 이렇게 하여 형성되는 불순물 영역(317~323)에는 불순물 영역(305, 306)의 1/10~1/2(대표적으로는 1/4~1/3)의 농도로 인이 첨가되도록 첨가를 조절한다. 구체적으로는,  $1 \times 10^{16} \sim 5 \times 10^{18}$  원자/ $\text{cm}^2$ (대표적으로는  $3 \times 10^{17} \sim 3 \times 10^{18}$  원자/ $\text{cm}^2$ )의 농도가 바람직하다.

다음에, 도 5(B)에 도시된 바와 같이, 게이트 전극을 덮는 형상으로 레지스트 마스크(324a~324d)를 형성하고, n형 불순물 원소(본 실시예에서는 인)를 첨가하여, 고농도로 인을 함유한 불순물 영역(325~331)을 형성한다. 여기서도 포스핀( $\text{PH}_3$ )을 사용한 이온 도핑을 행하고, 이들 불순물 영역(325~331)의 인 농도가  $1 \times 10^{20} \sim 1 \times 10^{21}$  원자/ $\text{cm}^2$ (대표적으로는  $2 \times 10^{20} \sim 5 \times 10^{20}$  원자/ $\text{cm}^2$ )로 되도록 조절한다.

이 공정에 의해, n채널형 TFT의 소스 영역 또는 드레인 영역이 형성되고, 스위칭용 TFT에서는, 도 5(A)의 공정에 의해 형성된 n형 불순물 영역(320~322)의 일부가 잔존한다. 이들 잔존 영역이 도 2의 스위칭용 TFT의 LDD 영역(15a~15d)에 대응한다.

다음에, 도 5(C)에 도시된 바와 같이, 레지스트 마스크(324a~324d)를 제거하고, 새로운 레지스트 마스크(332)를 형성한다. 이어서, p형 불순물 원소(본 실시예에서는 붕소)를 첨가하여, 고농도로 붕소를 함유한 불순물 영역(333, 334)을 형성한다. 여기서는, 디보란( $\text{B}_2\text{H}_6$ )을 사용한 이온 도핑법에 의해  $3 \times 10^{20} \sim 3 \times 10^{21}$  원자/ $\text{cm}^2$ (대표적으로는  $5 \times 10^{20} \sim 1 \times 10^{21}$  원자/ $\text{cm}^2$ )의 농도로 붕소를 첨가하여 불순물 영역(333, 334)을 형성한다.

불순물 영역(333, 334)에는 이미 인이  $1 \times 10^{16} \sim 5 \times 10^{18}$  원자/ $\text{cm}^2$ 의 농도로 첨가되어 있지만, 여기서는 그 인의 농도의 적어도 3배 이상의 농도로 붕소가 첨가되기 때문에, 이미 형성되어 있는 n형 불순물 영역이 완전히 p형으로 반전하여 p형 불순물 영역으로서 기능한다.

다음에, 레지스트 마스크(332)를 제거한 후, 각각의 농도로 첨가된 n형 및 p형 불순물 원소를 활성화시킨다. 활성화 수단으로서, 노 어닐, 레이저 어닐 또는 램프 어닐을 행할 수 있다. 본 실시예에서는, 전기로에서 질소 분위기 중에서 550℃로 4시간 열처리를 행하였다.

이때 분위기 중의 산소를 극력 배제하는 것이 중요하다. 이것은 산소가 조금이라도 존재하면 전극의 노출면이 산화되어 저항 증가를 초래하는 동시에, 후에 옴 접촉(ohmic contact)을 이루기가 어렵게 되기 때문이다. 따라서, 상기한 활성화 공정에서의 처리 분위기 중의 산소 농도는 1 ppm 이하, 바람직하게는 0.1 ppm 이하인 것이 바람직하다.

다음에, 활성화 공정을 완료한 후에 두께 300 nm의 게이트 배선(335)을 형성한다. 게이트 배선(335)의 재료로서는, 알루미늄(Al) 또는 구리(Cu)를 주성분(조성의 50~100%를 이룸)으로 하는 금속막을 사용할 수 있다. 도 3(A)의 게이트 배선(211)과 같이, 스위칭용 TFT의 게이트 전극(314, 315)(도 3의 게이트 전극(19a, 19b)에 대응함)이 전기적으로 접속되는 배치로 게이트 배선(335)을 형성한다.(도 5(D))

이러한 구조로 함으로써 게이트 배선의 배선 저항이 매우 작게 될 수 있으므로, 면적이 넓은 화소 표시 영역(화소부)을 형성할 수 있다. 즉, 이러한 구조에 의해 대각선 10인치 이상(또한, 대각선 30인치 이상)의 화면 크기를 가지는 EL 표시장치를 실현할 수 있기 때문에 본 실시예의 화소 구조는 매우 효과적이다.

다음에, 도 6(A)에 도시된 바와 같이, 제1 층간절연막(336)을 형성한다. 제1 층간절연막(336)으로는 규소를 함유한 절연막을 단층으로 사용하지만, 적층 막을 중간에 조합할 수도 있다. 또한, 막 두께는 400 nm~1.5  $\mu$ m으로 할 수 있다. 본 실시예에서는 두께 800 nm의 산화규소막과 두께 200 nm의 질화산화규소막의 적층 구조를 사용하였다.

또한, 3~100%의 수소를 함유한 분위기에서 300~450℃로 1~12시간 열처리를 행하여 수소화 처리를 행한다. 이 공정은 열적으로 활성화된 수소에 의해 반도체막 내의 땀글링 본드(dangling bond)를 수소 종단시키는 공정이다. 수소화의 다른 수단으로서, 플라즈마 수소화(플라즈마에 의해 활성화된 수소를 사용)를 행할 수도 있다.

수소화 처리는 제1 층간절연막(336)의 형성 공정 도중에 끼워질 수도 있다. 즉, 두께 200 nm의 질화산화규소막을 형성한 후에, 상기한 바와 같이 수소화 처리를 행하고, 이어서 두께 800 nm의 산화규소막을 형성할 수도 있다.

다음에, 제1 층간절연막(336)에 콘택트 홀을 형성하고, 소스 배선(337~340) 및 드레인 배선(341~343)을 형성한다. 본 실시예에서는 이 배선을 두께 100 nm의 티탄 막, 두께 300 nm의 티탄 함유 알루미늄 막 및 두께 150 nm의 티탄 막을 스퍼터링법에 의해 연속적으로 형성한 3층 구조의 적층 막으로 하였다. 물론, 다른 도전막도 사용될 수 있다.

다음에, 제1 패시베이션막(344)을 50~500 nm(대표적으로는 200~300 nm)의 두께로 형성한다. 본 실시예에서는 제1 패시베이션막(344)으로서 두께 300 nm의 질화산화규소막을 사용하였다. 이것은 질화규소막으로 대체될 수도 있다. 물론, 도 2의 제1 패시베이션막(41)의 것과 동일한 재료를 사용하는 것도 가능하다.

질화산화규소막을 형성하기 전에 H<sub>2</sub> 또는 NH<sub>3</sub> 등의 수소 함유 가스를 사용한 플라즈마 처리를 행하는 것이 효과적이다. 이 전(前)처리에 의해 활성화된 수소가 제1 층간절연막(336)에 공급되고, 열처리를 행함으로써 제1 패시베이션막(344)의 막질이 개선된다. 그와 동시에, 제1 층간절연막(336)에 첨가된 수소가 하부 측으로 확산하기 때문에, 활성화층이 효과적으로 수소화될 수 있다.

다음에, 도 6(B)에 도시된 바와 같이, 유기 수지로 된 제2 층간절연막(347)을 형성한다. 유기 수지로서는, 폴리이미드, 폴리아미드, 아크릴 및 BCB(벤조시클로부텐) 등을 사용할 수 있다. 특히, 제2 층간절연막(347)은 평탄화에 주로 사용되므로, 평탄성이 우수한 아크릴이 바람직하다. 본 실시예에서는, TFT에 의해 형성된 단차를 평탄화하는데 충분한 두께로 아크릴 막을 형성하였다. 그 두께는 1~5  $\mu$ m(더 바람직하게는 2~4  $\mu$ m)로 하는 것이 좋다.

다음에, 제2 층간절연막(347)상에 두께 100 nm의 제2 패시베이션막(348)을 형성한다. 본 실시예에서는 Si, Al, N, O 및 La를 함유한 절연막을 사용하기 때문에, 그 위에 마련되는 EL 층으로부터의 알칼리 금속의 확산을 방지할 수 있다. 동시에, EL 층으로의 수분 침입이 차단되고, EL 층에서 발생된 열이 소산되므로, 열로 인한 EL 층의 열화 및 평탄화 막(제2 층간절연막)의 열화를 억제할 수 있다.

이어서, 제2 패시베이션막(348), 제2 층간절연막(347) 및 제1 패시베이션막(344)에 드레인 배선(343)에 이르는 콘택트 홀을 형성하고, 화소 전극(349)을 형성한다. 본 실시예에서는 산화 인듐주석(ITO) 막을 110 nm의 두께로 형성하고, 패터닝을 행하여 화소 전극을 형성하였다. 이 화소 전극(349)은 EL 소자의 양극이 된다. 또한, 다른 재료로서는 산화 인듐티탄 막 또는 ITO에 산화아연을 혼합한 막을 사용할 수도 있다.

또한, 본 실시예에서는 화소 전극(349)이 드레인 배선(343)을 통해 전류제어용 TFT의 드레인 영역(331)에 전기적으로 접속되는 구조로 되어 있다. 이 구조에는 다음과 같은 이점이 있다.

화소 전극(349)이 EL 층(발광층) 또는 전하 수송층의 유기 재료와 직접 접촉하기 때문에, EL 층 등에 함유된 가동 이온이 화소 전극으로 확산할 가능성이 있다. 즉, 본 실시예의 구조에서는, 화소 전극(349)이 활성층의 일부인 드레인 영역(331)에 직접 접촉되지 않고, 배선(343)이 개재되어, 활성층으로의 가동 이온의 침입을 방지할 수 있다.

다음에, 도 6(C)에 도시된 바와 같이, 도 1과 관련하여 설명된 디스펜서를 사용한 도포 공정에 의해 EL 층(350)을 형성하고, 또한, 증착법에 의해 대기층의 노출 없이 음극(MgAg 전극)(351) 및 보호 전극(352)을 형성한다. 이때, EL 층(350)과 음극(351)을 형성하기 전에 화소 전극(349)에 열처리를 행하여 수분을 완전히 제거하는 것이 바람직하다. 본 실시예에서는 EL 소자의 음극으로서 MgAg 전극을 사용하지만, 공지의 다른 재료를 사용할 수도 있다.

EL 층(350)으로서, 앞의 실시형태에서 설명된 재료를 사용할 수 있다. 본 실시예에서는 EL 층이 정공 수송층과 발광층의 2층 구조로 되어 있지만, 정공 주입층, 전자 주입층 또는 전자 수송층 중의 어느 하나가 마련되는 경우도 있다. 이와 같은 조합의 여러 예들이 이미 보고되어 있고, 그들 중 어느 구성이라도 사용할 수 있다.

본 실시예에서는, 정공 수송층으로서, 중합체 전구체(前驅體)인 폴리테트라히드로티오펜페닐렌을 인쇄법에 의해 형성하고, 가열에 의해 폴리페닐렌 비닐렌으로 전환시킨다. 발광층으로서, 폴리비닐카아바졸에 30~40%의 1,3,4-옥사디아졸 유도체의 PBD를 분자 분산시켜 얻어진 재료를 증착법에 의해 형성하고, 녹색 발광 중심으로서 약 1%의 쿠마린 6을 첨가한다.

보호 전극(352)으로도 EL 층(350)을 수분 또는 산소로부터 보호할 수 있지만, 제3 패시베이션막(353)을 추가로 형성할 수도 있다. 본 실시예에서는 제3 패시베이션막(353)으로서 두께 300 nm의 질화규소막을 형성하였다. 이 제3 패시베이션막도 보호 전극(352)을 형성한 후에 대기층의 노출 없이 연속적으로 형성될 수 있다. 물론, 제3 패시베이션막(353)으로서, 도 2의 제3 패시베이션막(50)과 동일한 재료를 사용할 수도 있다.

또한, 보호 전극(352)은 MgAg 전극(351)의 열화를 방지하기 위해 마련되고, 알루미늄을 주성분으로 하는 금속막이 대표적이다. 물론, 다른 재료도 사용될 수 있다. EL 층(350) 및 MgAg 전극(351)은 수분에 매우 약하기 때문에, 보호 전극(352)까지를 대기층의 노출 없이 연속적으로 형성하여 EL 층이 외부 공기로부터 보호되도록 하는 것이 바람직하다.

또한, EL 층(350)의 두께를 10~400 nm(대표적으로는 60~160 nm, 바람직하게는 100~120 nm)로 하고, MgAg 전극(351)의 두께를 80~200 nm(대표적으로는 100~150 nm)로 하는 것이 좋다.

이렇게 하여, 도 6(C)에 도시된 바와 같은 구조를 가지는 액티브 매트릭스형 EL 표시장치가 완성된다. 본 실시예의 액티브 매트릭스형 EL 표시장치에서는, 화소부뿐만 아니라 구동회로부에도 최적의 구조를 가지는 TFT가 배치되어, 매우 높은 신뢰성이 얻어지고 동작 특성도 향상될 수 있다.

먼저, 동작 속도를 떨어뜨리지 않도록 핫 캐리어 주입을 최대한으로 감소시킨 구조를 가지는 TFT가 구동회로를 형성하는 CMOS 회로의 n채널형 TFT로서 사용된다. 한편, 여기서의 구동회로는 시프트 레지스터, 버퍼, 레벨 시프터, 샘플링 회로(샘플 앤드 홀드 회로) 등을 포함한다. 디지털 구동이 행해지는 경우에는, D/A 컨버터와 같은 신호 변환 회로도 포함될 수 있다.

본 실시예의 경우에는, 도 6(C)에 도시된 바와 같이, n채널형 TFT(205)의 활성층이 소스 영역(355), 드레인 영역(356), LDD 영역(357) 및 채널 형성 영역(358)을 포함하고, LDD 영역(357)이 게이트 절연막(311)을 사이에 두고 게이트 전극(313)과 접친다.

드레인 영역 측에만 LDD 영역을 형성하는 것은 동작 속도를 떨어뜨리지 않기 위한 배려이다. 이러한 n채널형 TFT(205)에서는 오프 전류 값에 그다지 주목할 필요가 없고, 동작 속도에 중점을 두는 것이 좋다. 따라서, LDD 영역(357)을 게이트 전극과 완전히 겹쳐 저항 성분을 최소로 감소시키는 것이 바람직하다. 즉, 소위 오프셋을 없게 하는 것이 바람직하다.

CMOS 회로의 p채널형 TFT(206)에서는, 핫 캐리어 주입으로 인한 열화가 거의 무시될 수 있기 때문에, LDD 영역을 특별히 마련할 필요는 없다. 물론, n채널형 TFT(205)와 마찬가지로 LDD 영역을 마련하여 핫 캐리어 대책을 강구할 수도 있다.

또한, 구동회로 중에서 샘플링 회로는 다른 회로에 비하여 특수한 것이고, 채널 형성 영역을 통해 양 방향으로 큰 전류가 흐른다. 즉, 소스 영역과 드레인 영역의 역할이 바뀐다. 또한, 오프 전류 값을 극력 낮게 억제할 필요가 있고, 그러한 의미에서 스위칭용 TFT와 전류제어용 TFT 사이의 중간 정도의 기능을 가지는 TFT를 배치하는 것이 바람직하다.

따라서, 샘플링 회로를 형성하는 n채널형 TFT로서, 도 10에 도시된 바와 같은 구조를 가지는 TFT를 배치하는 것이 바람직하다. 도 10에 도시된 바와 같이, LDD 영역(901a, 901b)의 일부가 게이트 절연막(902)을 사이에 두고 게이트 전극(903)과 겹친다. 이 효과는 전류제어용 TFT(202)의 설명에서 설명된 바와 같고, 차이점은 샘플링 회로에서는 채널 형성 영역(904)의 양측에 LDD 영역(901a, 901b)이 마련된다는 것이다.

실제로 도 6(C)의 상태가 완성된 후에, 기밀성이 높고 탈가스가 적은 보호 필름(적층 필름, 자외선 경화 수지 필름 등) 또는 세라믹 밀봉 캔과 같은 하우징 부재로 패키징(봉입)하여 외기에의 노출을 방지하는 것이 바람직하다. 이때, 하우징 부재의 내부를 불활성 가스 분위기로 하거나 그 내부에 흡습성 재료(예를 들어, 산화바륨)를 배치하면, EL 층의 신뢰성(내구 수명)이 향상된다.

패키징과 같은 처리에 의해 기밀성을 높인 후에, 기판상에 형성된 소자 또는 회로로부터 연장된 단자를 외부 신호 단자에 접속하기 위한 커넥터(가요성 인쇄 회로: FPC)를 부착하여 제품을 완성한다. 본 명세서에서는, 이와 같이 출하될 수 있는 상태로 된 EL 표시장치를 EL 모듈이라 부른다.

여기서, 본 실시예의 액티브 매트릭스형 EL 표시장치의 구성을 도 7의 사시도를 참조하여 설명한다. 본 실시예의 액티브 매트릭스형 EL 표시장치는 유리 기판(601)상에 형성된 화소부(602), 게이트측 구동회로(603) 및 소스측 구동회로(604)로 이루어져 있다. 화소부의 스위칭용 TFT(605)는 n채널형 TFT이고, 게이트측 구동회로(603)에 접속된 게이트 배선(606)과 소스측 구동회로(604)에 접속된 소스 배선(607)의 교차점에 배치되어 있다. 스위칭용 TFT(605)의 드레인은 전류제어용 TFT(608)의 게이트에 접속되어 있다.

또한, 전류제어용 TFT(608)의 소스는 전류 공급선(609)에 접속되고, EL 소자(610)는 전류제어용 TFT(608)의 드레인에 접속되어 있다.

외부 입출력 단자가 되는 FPC(611)에는, 구동회로에 신호를 보내기 위한 입력 배선(접속 배선)(612, 613)과 전류 공급선(609)에 접속된 입력 배선(614)이 마련되어 있다.

도 7에 도시된 EL 표시장치의 회로 구성의 일 예를 도 8에 나타낸다. 본 실시예의 EL 표시장치는 소스측 구동회로(701), 게이트측 구동회로(A)(707), 게이트측 구동회로(B)(711) 및 화소부(706)를 포함한다. 또한, 본 명세서에서, "구동회로"란 소스측 구동회로와 게이트측 구동회로를 총칭하는 것이다.

소스측 구동회로(701)는 시프트 레지스터(702), 레벨 시프터(703), 버퍼(704) 및 샘플링 회로(샘플 앤드 홀드 회로)(705)를 구비하고 있다. 게이트측 구동회로(A)(707)는 시프트 레지스터(708), 레벨 시프터(709) 및 버퍼(710)를 구비하고 있고, 게이트측 구동회로(B)(711)도 동일한 구성을 가진다.

여기서, 시프트 레지스터(702, 708)는 구동 전압이 5~16 V(대표적으로는 10 V)이고, 그 회로를 형성하는 CMOS 회로에 사용되는 n채널형 TFT에는 도 6(C)에서 부호 205로 나타난 구조가 적합하다.

또한, 레벨 시프터(703, 709) 및 버퍼(704, 710) 각각에 대해서도, 시프트 레지스터와 마찬가지로, 도 6(C)의 n채널형 TFT를 포함하는 CMOS 회로가 적합하다. 또한, 게이트 배선을 이중 게이트 구조 또는 3중 게이트 구조와 같은 멀티게이트 구조로 하는 것이 각 회로의 신뢰성을 향상시키는데 효과적이다.

또한, 소스 영역과 드레인 영역이 반전되고 오프 전류 값을 감소시킬 필요가 있기 때문에, 도 10의 n채널형 TFT를 포함하는 CMOS 회로가 샘플링 회로(705)에 적합하다.

화소부(706)에는 도 2에 도시된 구조를 가지는 화소들이 배치되어 있다.

상기한 구성은 도 4~도 6에 나타난 제작공정에 따라 TFT를 제작함으로써 쉽게 실현될 수 있다. 본 실시예에서는 화소부 및 구동회로의 구성만을 나타내지만, 본 실시예의 제작공정을 사용하면, 그 외에도 신호 분할 회로, D/A 컨버터 회로, 연산 증폭기,  $\gamma$ -보정 회로 등의 논리회로를 동일 기판상에 형성하는 것이 가능하고, 또한, 메모리부, 마이크로프로세서 등을 형성할 수 있는 것으로 고려된다.

또한, 하우징 부재도 포함하는 본 실시예의 EL 모듈을 도 11(A) 및 도 11(B)를 참조하여 설명한다. 필요에 따라, 도 7 및 도 8에 사용된 부호를 인용한다.

기판(TFT 아래에 있는 하지막을 포함)(1700)상에 화소부(1701), 소스측 구동회로(1702) 및 게이트측 구동회로(1703)가 형성되어 있다. 각 구동회로로부터의 각종 배선은 입력 배선(612~614)을 통해 FPC(611)에 이르러 외부 장치에 접속된다.

이때, 적어도 화소부, 바람직하게는 구동회로 및 화소부를 둘러싸도록 하우징 부재(1704)가 마련된다. 하우징 부재(1704)는 내부 크기(깊이)가 EL 소자의 외부 크기(높이)보다 큰 오목부를 가지는 형상 또는 시트(sheet) 형상을 가지고, 기판(1700)과 협동하여 기밀 공간을 형성하도록 접착제(1705)에 의해 기판(1700)에 고정된다. 이때, EL 소자는 그 기밀 공간 내에 완전히 봉입된 상태로 되어 외기로부터 완전히 차단된다. 또한, 하우징 부재(1704)는 다수 개 제공될 수도 있다.

하우징 부재(1704)의 재료로서는, 유리 또는 중합체와 같은 절연성 재료가 바람직하다. 예를 들어, 비정질 유리(붕규산염 유리, 석영 등), 결정화 유리, 세라믹 유리, 유기 수지(아크릴 수지, 스티렌 수지, 폴리카보네이트 수지, 에폭시 수지 등) 및 실리콘 수지를 들 수 있다. 또한, 세라믹도 사용될 수 있다. 접착제(1705)가 절연성 재료인 경우에는, 스테인리스 합금과 같은 금속 재료도 사용될 수 있다.

접착제(1705)의 재료로서는, 에폭시 수지, 아크릴레이트 수지 등의 접착제가 사용될 수 있다. 또한, 열 경화성 수지 또는 광 경화성 수지도 접착제로서 사용될 수 있다. 그러나, 산소 및 수분의 투과를 최대한으로 차단하는 재료를 사용하는 것이 필요하다.

또한, 하우징 부재와 기판(1700) 사이의 공간(1706)을 불활성 가스(아르곤, 헬륨, 질소 등)로 충전하는 것이 바람직하다. 그러한 가스 이외에도, 불활성 액체(퍼플루오로알칸으로 대표되는 액체 불화 탄소 등)가 사용될 수도 있다. 불활성 액체에 대해서는, 일본 공개특허공고 평8-78159호에서 사용된 재료를 사용할 수도 있다.

공간(1706)내에 건조제를 배치하는 것도 효과적이다. 건조제로서는, 일본 공개특허공고 평9-148066호 공보에 개시된 것과 같은 재료를 사용할 수 있다. 전형적으로는, 산화바륨이 사용될 수 있다.

또한, 도 11(B)에 도시된 바와 같이, 화소부에는 개개로 분리된 EL 소자를 가지는 다수의 화소가 제공되어 있고, 그들 모두는 공통 전극으로서 보호 전극(1707)을 가지고 있다. 본 실시예에서는, EL 층, 음극(MgAg 전극) 및 보호 전극을 대기에 노출 없이 연속적으로 형성하는 것이 바람직하다고 설명하였지만, EL 층과 음극을 동일한 마스크 부재를 사용하여 형성하고 보호 전극만을 상이한 마스크 부재에 의해 형성하면 도 11(B)의 구조가 실현될 수 있다.

이때, EL 층과 음극은 화소부에만 형성될 수 있고, 구동회로에는 마련될 필요가 없다. 물론, EL 층과 음극이 구동회로에 마련되어도 문제가 일어나는 것은 아니지만, EL 층에는 알칼리 금속이 함유되어 있음을 고려하면 구동회로에는 마련하지 않는 것이 바람직하다.

또한, 보호 전극(1707)은 부호 1708로 나타난 영역에서 입력 배선(1709)에 접속되어 있다. 입력 배선(1709)은 보호 전극(1707)에 소정의 전압(본 실시예에서는 접지 전위, 구체적으로는 0 V)을 가하는 배선이고, 도전성 페이스트 재료(1710)를 통해 FPC(611)에 접속된다.

여기서, 상기한 영역(1708)에서의 콘택트 구조를 실현하기 위한 제작공정을 도 12(A)~도 12(C)를 참조하여 설명한다.



먼저, 본 실시예의 제작공정에 따라 도 6(A)의 상태를 얻는다. 이때, 기관의 단부(도 11(B)에서 부호 1708로 나타난 영역)에서 제1 층간절연막(336) 및 게이트 절연막(311)을 제거하고, 그 위에 입력 배선(1709)을 형성한다. 물론, 그 배선은 도 6(A)의 소스 배선 및 드레인 배선과 동시에 형성된다.(도 12(A))

다음에, 도 6(B)에서, 제2 패시베이션막(348), 제2 층간절연막(347) 및 제1 패시베이션막(344)을 에칭할 때, 부호 1801로 나타난 영역을 제거하고, 개구부(1802)를 형성한다.(도 12(B))

이 상태에서, 화소부에서는 EL 소자의 형성 공정(화소 전극, EL 층 및 음극의 형성 공정)이 행해진다. 이때, 도 12(B)에 도시된 영역에서는, 마스크 부재를 사용하여 EL 소자가 형성되지 않도록 한다. 그리고, 음극(351)을 형성한 후, 다른 마스크 부재를 사용하여 보호 전극(352)을 형성한다. 이것에 의해, 보호 전극(352)과 입력 배선(1709)이 전기적으로 접속된다. 또한, 제3 패시베이션막(353)을 마련하여, 도 12(C)의 상태를 얻는다.

상기한 공정들을 통해, 도 11(B)의 부호 1708로 나타난 영역의 콘택트 구조가 실현된다. 그리고, 입력 배선(1709)은 하우징 부재(1704)와 기관(1700) 사이의 간극(그러나, 이 간극은 접착제(1705)로 충전되어 있다. 즉, 접착제(1705)는 입력 배선에 기인한 단차를 충분히 평탄화할 수 있는 두께를 가지는 것이 요구된다)을 통해 FPC(611)에 접속된다. 또한, 여기서는 입력 배선(1709)에 대해 설명하지만, 다른 출력 배선(612~614)도 동일하게 하우징 부재(1704) 아래 부분을 통해 FPC(611)에 접속된다.

#### [실시예 2]

본 실시예에서는, 화소의 구성을 도 3(B)에 도시된 구성과 다르게 한 예를 도 13을 참조하여 설명한다.

본 실시예에서는, 도 3(B)에 도시된 2개의 화소가 전류 공급선(212)에 대해 대칭이 되도록 배치된다. 즉, 도 13에 도시된 바와 같이, 전류 공급선(212)은 2개의 인접한 화소에 대해 공통으로 되므로, 필요로 하는 배선의 수가 감소될 수 있다. 또한, 화소에 배치되는 TFT의 구조 등은 동일하게 유지될 수 있다.

이러한 구성으로 하면, 화소부를 보다 더 미세하게 제작하는 것이 가능하게 되고, 화상의 품질이 향상된다.

또한, 본 실시예의 구성은 실시예 1의 제작공정에 따라 용이하게 실현될 수 있고, TFT 구조 등에 관해서는 실시예 1 또는 도 2의 설명을 참조할 수 있다.

#### [실시예 3]

본 실시예에서는, 화소부가 도 2와 상이한 구조를 가지는 경우를 도 14를 참조하여 설명한다. 또한, 제2 층간절연막(44)을 형성하는 공정까지는 실시예 1에 따라 행해질 수 있다. 제2 층간절연막(44)으로 덮인 스위칭용 TFT(201) 및 전류제어용 TFT(202)는 도 2에서와 동일한 구조를 가지기 때문에, 여기서는 그에 관한 설명을 생략한다.

본 실시예의 경우에는, 제2 패시베이션막(45), 제2 층간절연막(44) 및 제1 패시베이션막(41)에 콘택트 홀을 형성한 후, 화소 전극(51)을 형성하고, 이어서 음극(52) 및 EL 층(53)을 형성한다. 본 실시예에서는, 진공 증착법에 의해 음극(52)을 형성한 후에, 건조한 불활성 가스 분위기를 유지한 채 도 1에 도시된 디스펜서를 사용한 도포 공정에 의해 EL 층(53)을 형성한다.

본 실시예에서는, 화소 전극(51)으로서, 두께 150 nm의 알루미늄 합금 막(1 중량%의 티탄을 함유한 알루미늄 막)을 형성한다. 화소 전극의 재료로서는, 금속 재료라면 어떠한 재료라도 사용할 수 있지만, 반사율이 높은 재료가 바람직하다. 음극(52)으로서 두께 120 nm의 MgAg 전극을 사용하고, EL 층(53)의 두께는 70 nm로 한다.

본 실시예에서, EL 재료는 폴리비닐카아바졸에 30~40%의 1,3,4-옥사디아졸 유도체의 PBD를 분자 분산시키고 발광 중심으로서 약 1%의 쿠마린 6을 첨가하여 얻어진 재료이고, 그 EL 재료를 클로로포름에 혼합하여 EL 형성재료를 제조한다. 디스펜서를 사용한 도포 공정에 의해 그 EL 형성재료를 도포하고, 베이킹(baking) 처리를 행하여, 두께 50 nm의 녹색 발광층을 얻는다. 그 위에, 두께 70 nm의 TPD를 증착법에 의해 형성하고, EL 층(53)을 얻는다.

다음에, 투명 도전막(본 실시예에서는 ITO 막)으로 된 양극(54)을 110 nm의 두께로 형성한다. 이렇게 하여, EL 소자(209)가 형성되고, 실시예 1에 나타난 재료로 제3 패시베이션막(55)을 형성하면, 도 14에 도시된 바와 같은 구조를 가지는 화소가 완성된다.

본 실시예의 구조로 한 경우, 각 화소에서 발생된 녹색 광은 TFT가 형성되어 있는 기관의 반대 쪽으로 방사(放射)된다. 따라서, 화소의 거의 모든 영역, 즉, TFT가 형성되어 있는 영역도 유효 발광 영역으로 사용될 수 있다. 그 결과, 화소의 유효 발광 면적이 대폭 향상되고, 화상의 밝기 및 콘트라스트 비(명암 비)가 향상된다.

또한, 본 실시예의 구성은 실시예 1 및 2 중의 어느 구성과도 자유롭게 조합될 수 있다.

#### [실시예 4]

실시예 1~3에서는 탑(top) 게이트형 TFT의 경우에 대해 설명하였지만, 본 발명이 그러한 TFT 구조에 한정되는 것은 아니고, 보텀(bottom) 게이트형 TFT(전형적으로는 역스태거형 TFT)에도 적용될 수 있다. 또한, 역스태거형 TFT는 어떠한 수단에 의해서도 형성될 수 있다.

역스태거형 TFT는 제작공정의 수가 탑 게이트형 TFT보다 용이하게 적게 될 수 있는 구조를 가지기 때문에, 본 발명의 목적인 제작비용의 절감에 매우 유리하다. 또한, 본 실시예의 구성은 실시예 2 및 3 중의 어느 구성과도 자유롭게 조합될 수 있다.

#### [실시예 5]

실시예 1의 도 6(C) 또는 도 2의 구조에서 활성층과 기관 사이에 형성되는 하지막으로서, 제2 패시베이션막(45)의 재료와 마찬가지로 높은 방열 효과를 가지는 재료를 사용하는 것이 효과적이다. 특히, 전류제어용 TFT에서는 다량의 전류가 흐르기 때문에, 열이 쉽게 발생되고, 자기 발열로 인한 열화가 문제로 될 수 있다. 이러한 경우에, 방열 효과를 가지는 본 실시예의 하지막을 사용함으로써, TFT의 열적 열화를 방지할 수 있다.

물론, 기관으로부터 확산하는 가동 이온으로부터 보호하는 효과도 매우 중요하므로, 제1 패시베이션막(41)과 마찬가지로 Si, Al, N, O 및 M을 함유한 화합물과 규소 함유 절연막과의 적층 구조를 사용하는 것도 바람직하다.

본 실시예의 구성은 실시예 1~4 중의 어느 구성과도 자유롭게 조합될 수 있다.

#### [실시예 6]

실시예 3에 나타난 구조가 사용되는 경우에는, EL 층으로부터 방출된 광이 기관의 반대측 방향으로 방사되므로, 기관과 화소 전극 사이에 존재하는 절연막과 같은 재료의 투과율에 주목할 필요가 없다. 즉, 투과율이 다소 낮은 재료도 사용될 수 있다.

따라서, 하지막(12), 제1 패시베이션막(41) 또는 제2 패시베이션막(45)으로서, 다이아몬드 박막 또는 비정질 탄소막으로 불리는 것과 같은 탄소막을 사용하는 것이 유리하다. 즉, 투과율의 저하에 신경을 쓸 필요가 없기 때문에, 막 두께를 100~500 nm까지 두껍게 하고, 매우 높은 방열 효과를 가지게 할 수 있다.

제3 패시베이션막(50)에 상기한 탄소막을 사용하는 것에 관해서는, 투과율의 저하를 피해야 하기 때문에 막 두께를 5~100 nm로 하는 것이 바람직하다.

본 실시예에서도, 하지막(12), 제1 패시베이션막(41), 제2 패시베이션막(45) 및 제3 패시베이션막(50) 중의 어느 것에 탄소막을 사용할 경우에도 다른 절연막과 적층시키는 것이 효과적이다.

또한, 본 실시예는 실시예 3에 나타난 화소 구조가 사용될 때 특히 효과적이지만, 본 실시예의 구성을 실시예 1, 2, 4, 5 중의 어느 구성과도 자유롭게 조합할 수도 있다.

#### [실시예 7]

본 발명은 EL 표시장치의 화소에 있는 스위칭용 TFT를 멀티게이트 구조로 함으로써 스위칭용 TFT의 오프 전류 값의 양은 감소시키고, 보유용량의 필요성을 배제하는 점에 특징이 있다. 이것은 보유용량의 전류 면적을 발광 영역으로서 유효하게 활용할 수 있게 하는 것이다.

그러나, 보유용량이 완전히 제거되지 않아도, 그 전류 면적이 작게 되는 양만큼 유효 발광 면적을 증가시키는 효과가 얻어질 수 있다. 즉, 본 발명의 목적은, 스위칭용 TFT를 멀티게이트 구조로 하여 오프 전류 값을 감소시키고, 보유용량의 전류 면적을 축소시키는 것만으로도 충분히 달성될 수 있다.

그 경우, 도 15에 나타난 바와 같이, 스위칭용 TFT(201)의 드레인에 대해 전류제어용 TFT(202)의 게이트와 평행하게 보유용량(1401)을 형성하여도 좋다.

본 실시예의 구성은 실시예 1~6 중의 어느 구성과도 자유롭게 조합될 수 있다. 즉, 화소 내에 보유용량을 형성하는 것뿐이고, TFT의 구조, EL 층의 재료 등을 한정하는 것이 아니다.

#### [실시예 8]

실시예 1에서는 결정성 규소막(302)을 형성하는 수단으로서 레이저 결정화를 사용하였지만, 본 실시예에서는 다른 결정화 수단을 사용하는 경우에 관해 설명한다.

본 실시예에서는 비정질 규소막을 형성한 후에 일본 공개특허공고 평7-130652호 공보에 개시된 기술을 사용하여 결정화를 행한다. 이 공보에 기재된 기술은 결정화를 촉진시키는 촉매로서 니켈과 같은 원소를 사용함으로써 결정성이 우수한 결정성 규소막을 얻는 기술이다.

또한, 결정화 공정이 완료된 후에, 결정화에 사용된 촉매를 제거하는 공정을 행할 수 있다. 이 경우, 일본 공개특허공고 평10-270363호 또는 일본 공개특허공고 평8-330602호에 기재된 기술을 사용하여 촉매를 게터링(gettering)할 수 있다.

또한, 본 출원인에 의한 일본 특허출원 평11-076967호의 명세서에 기재된 기술을 사용하여 TFT를 형성할 수도 있다.

실시예 1에 나타난 제작공정은 본 발명의 일 예이고, 실시예 1의 도 2 또는 도 6(C)의 구조를 실현할 수 있다면, 상기한 바와 같이 아무런 문제 없이 다른 제작공정이 사용될 수도 있다.

본 실시예의 구성은 실시예 1~7 중의 어느 구성과도 자유롭게 조합될 수 있다.

#### [실시예 9]

본 발명의 EL 표시장치를 구동하는데 있어서는, 화상 신호로서 아날로그 신호를 사용한 아날로그 구동을 행할 수 있고, 디지털 신호를 사용한 디지털 구동을 행할 수도 있다.

아날로그 구동을 행하는 경우, 아날로그 신호가 스위칭용 TFT의 소스 배선으로 보내지고, 계조 정보를 함유한 아날로그 신호가 전류제어용 TFT의 게이트 전압이 된다. 이어서, EL 소자에서 흐르는 전류가 전류제어용 TFT에 의해 제어되고, EL 소자의 발광 강도가 제어되고, 계조 표시가 행해진다. 아날로그 구동을 행하는 경우에는 전류제어용 TFT가 포화 영역에서 동작할 수 있다.

한편, 디지털 구동을 행하는 경우에는, 아날로그형 계조 표시와 상이하고, 계조 표시가 시간비 계조 방식에 의해 행해진다. 즉, 발광 시간의 길이를 조절함으로써, 색 계조가 변화하는 것과 같이 시각적으로 보인다. 디지털 구동을 행하는 경우에는, 전류제어용 TFT를 선형 영역에서 동작시키는 것이 바람직하다.

EL 소자는 액정 소자에 비해 매우 빠른 응답 속도를 가지므로, 고속 구동이 가능하다. 따라서, EL 소자는, 1 프레임을 다수의 서브프레임(subframe)으로 분할한 다음, 계조 표시를 행하는 시간비 계조 방식에 적합한 것이다.

본 발명은 소자 구조에 관한 기술이므로, 어떤 구동방법이라도 사용될 수 있다.

#### [실시예 10]

실시에 1에서는 EL 층으로서 유기 EL 재료를 사용하는 것이 바람직하다고 하였지만, 본 발명은 무기 EL 재료를 사용하여서도 실시될 수 있다. 그러나, 현재의 무기 EL 재료는 구동 전압이 매우 높기 때문에, 아날로그 구동을 행하는 경우에는 그러한 구동 전압에 견딜 수 있는 내압 특성을 가지는 TFT를 사용해야 한다.

또는, 장래에 구동 전압이 낮은 무기 EL 재료가 개발된다면, 본 발명에 적용하는 것이 가능하다.

또한, 본 실시예의 구성은 실시예 1~9 중의 어느 구성과도 자유롭게 조합될 수 있다.

#### [실시예 11]

본 발명을 실시하여 형성되는 액티브 매트릭스형 EL 표시장치(EL 모듈)는 자기 발광형 장치이기 때문에 밝은 장소에서의 시인성(視認性)이 액정 표시장치에 비해 우수하다. 따라서, 직시(直視)형 EL 표시장치(EL 모듈을 구비한 표시장치를 가리킴)로서 용도가 넓다.

EL 표시장치가 액정 표시장치에 비해 우수한 한가지 이점으로서 넓은 시야각을 들 수 있다. 따라서, 본 발명의 EL 표시장치는 대화면으로 TV 방송을 감상하기 위한 대각선 30인치 이상(전형적으로는 40인치 이상)의 표시장치(표시 모니터)로서 사용될 수 있다.

또한, 본 발명의 EL 표시장치는 EL 디스플레이 장치(퍼스널 컴퓨터 모니터, TV 방송 수신 모니터 또는 광고 표시 모니터와 같은)로서 사용될 수 있을 뿐만 아니라, 각종 전자장치의 표시장치로도 사용될 수 있다.

그러한 전자장치의 예로서는, 비디오 카메라, 디지털 카메라, 고글형 표시장치(헤드 장착형 표시장치), 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 휴대형 정보 단말기(예를 들어, 모바일 컴퓨터, 휴대 전화기 또는 전자 책), 및 기록 매체를 사용한 화상 재생 장치(구체적으로는, 콤팩트 디스크(CD), 레이저 디스크(LD) 또는 디지털 비디오 디스크(DVD)와 같은 기록 매체의 재생을 실행하고, 화상을 표시할 수 있는 표시장치를 구비한 장치)를 들 수 있다. 이들 전자장치의 예를 도 16(A)~도 16(F)에 나타낸다.

도 16(A)는 본체(2001), 케이싱(2002), 표시부(2003) 및 키보드(2004)로 이루어진 퍼스널 컴퓨터이다. 본 발명은 표시부(2003)에 사용될 수 있다.

도 16(B)는 본체(2101), 표시부(2102), 음성 입력부(2103), 조작 스위치(2104), 배터리(2105) 및 수상(受像)부(2106)로 이루어진 비디오 카메라이다. 본 발명은 표시부(2102)에 사용될 수 있다.

도 16(C)는 본체(2201), 신호 케이블(2202), 고정 밴드(2203), 표시 모니터(2204), 광학계(2205) 및 표시장치(2206)로 이루어진 헤드 장착형 EL 표시장치의 일부이다. 본 발명은 표시장치(2206)에 사용될 수 있다.

도 16(D)는, 본체(2301), 기록 매체(예를 들어, CD, LD 또는 DVD)(2302), 조작 스위치(2303), 표시부(a)(2304) 및 표시부(b)(2305)로 이루어진, 기록 매체를 구비한 화상 재생 장치(구체적으로는, DVD 재생 장치)이다. 표시부(a)는 주로 화상 정보의 표시에 사용되고, 표시부(b)는 주로 문자 정보의 표시에 사용되며, 본 발명은 표시부(a)(2304) 및 표시부(b)(2305)에 사용될 수 있다. 본 발명은 CD 재생 장치 및 게임 기기와 같이 기록 매체가 내장된 화상 재생 장치로서 사용될 수도 있다.

도 16(E)는 본체(2401), 카메라부(2402), 수상부(2403), 조작 스위치(2404) 및 표시부(2405)로 이루어진 모바일 컴퓨터이다. 본 발명은 표시부(2405)에 사용될 수 있다.

도 16(F)는 본체(2501), 지지대(2502) 및 표시부(2503)로 이루어진 EL 디스플레이 장치이다. 본 발명은 표시부(2503)에 사용될 수 있다. EL 디스플레이 장치는 큰 시야각을 가지므로, 화면이 큰 경우에 특히 유리하고, 대각선 10인치 이상인 표시장치(특히, 대각선 30인치 이상인 것)에 바람직하다.

또한, 장래에 EL 재료의 발광도가 더 높게 되면, 프론트형 또는 리어형 프로젝터에 본 발명을 사용하는 것도 가능하게 될 것이다.

그리하여, 본 발명의 적용 범위는 매우 넓고, 모든 분야의 전자장치에 본 발명을 적용하는 것이 가능하다. 또한, 본 실시예의 전자장치는 실시예 1~10의 어느 조합 구성을 사용하여서도 실현될 수 있다.

### 발명의 효과

상기한 바와 같이, 본 발명을 사용함으로써, EL 층의 형성이 매우 낮은 비용으로 이루어질 수 있기 때문에, EL 표시장치의 제작비용을 저감시킬 수 있다.

또한, EL 층과 TFT 사이에 알칼리 금속의 투과를 방지할 수 있는 절연막을 마련함으로써, EL 층으로부터 알칼리 금속이 확산하여 TFT의 특성에 악영향을 미치는 것을 방지할 수 있다. 그 결과, EL 표시장치의 동작 성능 및 신뢰성이 대폭적으로 향상될 수 있다.

또한, 낮은 비용으로 제작될 수 있는 EL 표시장치를 표시장치로서 사용함으로써 전자장치의 제작비용을 저감시킬 수 있다. 또한, 동작 성능 및 신뢰성이 향상된 EL 표시장치를 사용함으로써, 화질이 우수하고 내구성이 있는(신뢰성이 높은) 응용 제품(전자장치)을 제작하는 것이 가능하게 된다.

### 도면의 간단한 설명

도 1(A)~도 1(C)는 본 발명의 디스펜서를 사용한 도포 공정을 설명하기 위한 도면.

도 2는 본 발명의 EL 표시장치의 화소부의 단면 구조를 나타내는 도면.

도 3(A) 및 도 3(B)는 본 발명의 EL 표시장치의 화소부의 상면 구조 및 회로 구성을 나타내는 도면,

도 4(A)~도 4(E)는 실시예 1의 액티브 매트릭스형 EL 표시장치의 제작공정을 나타내는 도면.

도 5(A)~도 5(D)는 실시예 1의 액티브 매트릭스형 EL 표시장치의 제작공정을 나타내는 도면.

도 6(A)~도 6(C)는 실시예 1의 액티브 매트릭스형 EL 표시장치의 제작공정을 나타내는 도면.

도 7은 실시예 1의 EL 모듈의 외관을 나타내는 도면.

도 8은 실시예 1의 EL 표시장치의 회로 블록 구성을 나타내는 도면.

도 9는 본 발명의 EL 표시장치의 화소부의 확대도.

도 10은 실시예 1의 EL 표시장치의 샘플링 회로의 소자 구조를 나타내는 도면.

도 11(A) 및 도 11(B)는 실시예 1의 EL 모듈의 상면도 및 단면도.

도 12(A)~도 12(C)는 실시예 1의 콘택트 구조의 제작공정을 나타내는 도면.

도 13은 실시예 2의 EL 표시장치의 화소부의 구성을 나타내는 도면.

도 14는 실시예 3의 EL 표시장치의 화소부의 단면 구조를 나타내는 도면.

도 15는 실시예 7의 EL 표시장치의 회로 구성을 나타내는 도면.

도 16(A)~도 16(F)는 실시예 10의 전자장치의 구체 예를 나타내는 도면.

<도면의 주요 부분에 대한 부호의 설명>

11: 기관 12: 하지막 20: 제1 층간절연막

41: 제1 패시베이션막 44: 제2 층간절연막 45: 제2 패시베이션막

46: 화소 전극 47: EL 층 48: 음극

49: 보호 전극 50: 제3 패시베이션막 111: 화소부

112: 데이터 신호측 구동회로 113: 게이트측 구동회로

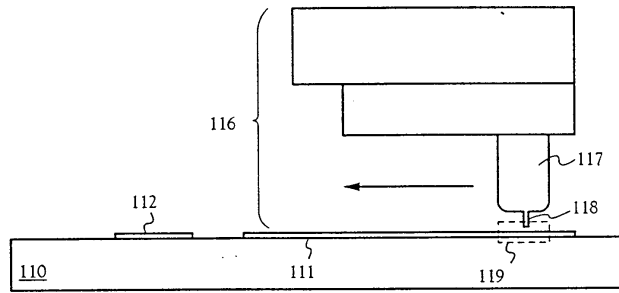
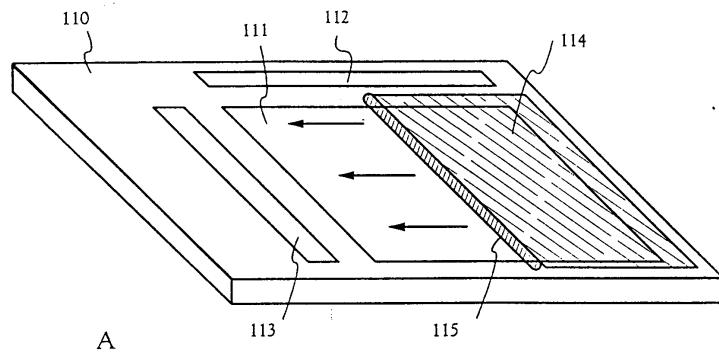
114: EL 형성재료 115: 도포면 116: 디스펜서

117: 주입기 118: 노즐 120: TFT

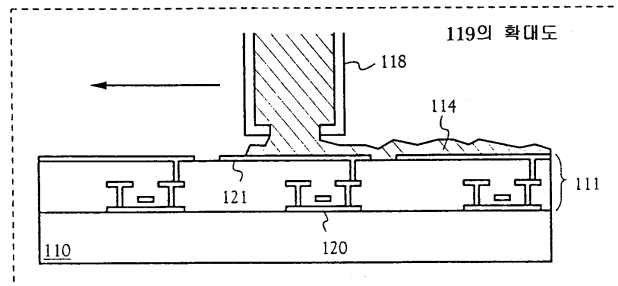
201: 스위칭용 TFT 202: 전류제어용 TFT

도면

도면1

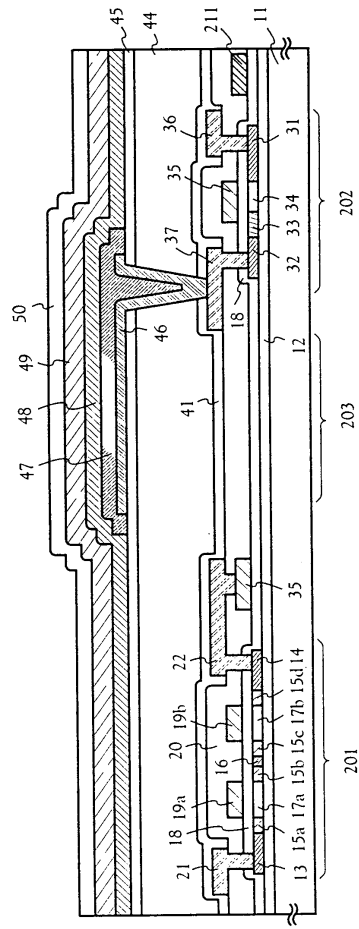


B



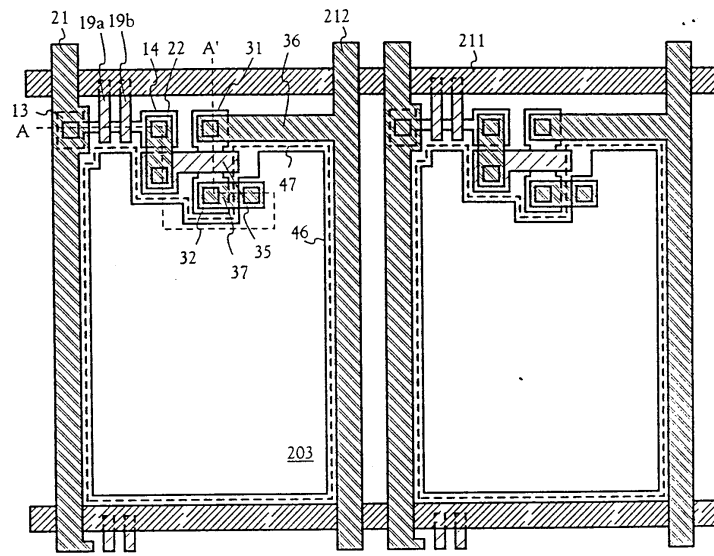
C

도면2

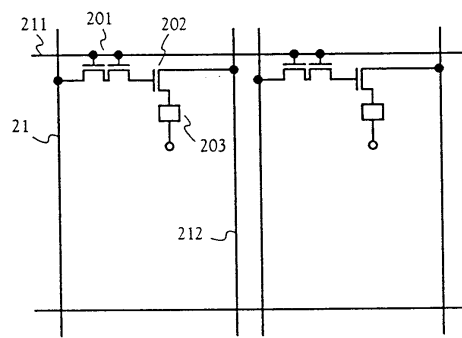




도면3

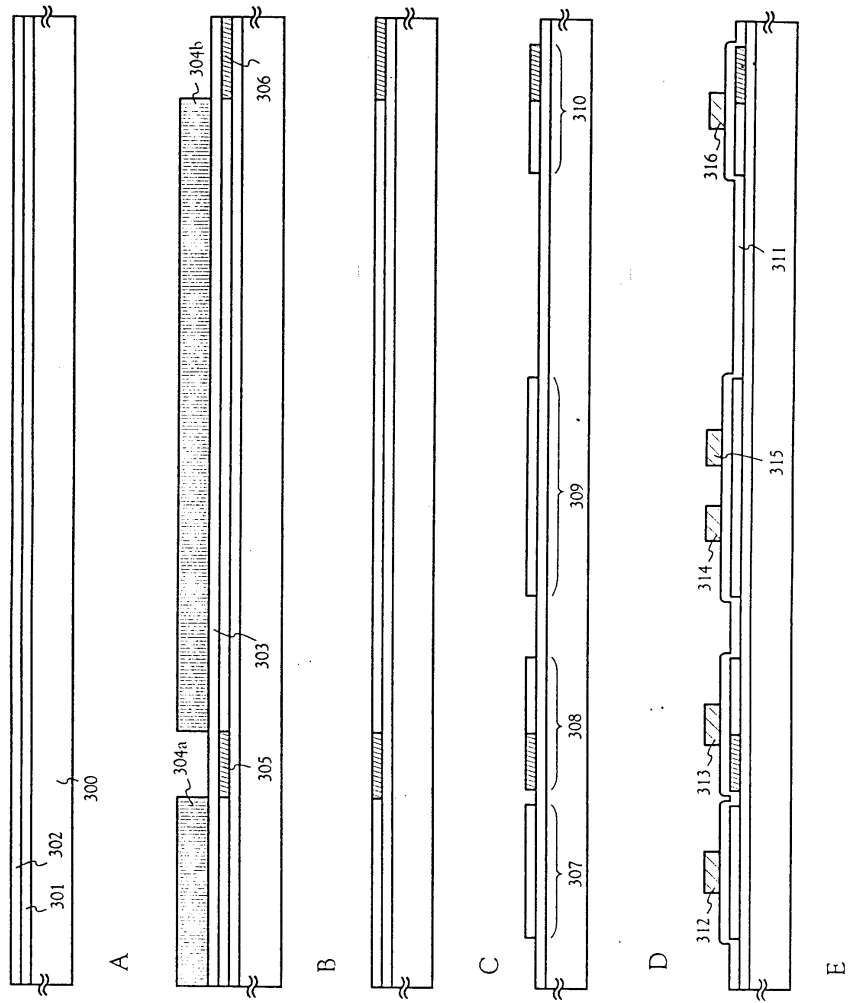


A

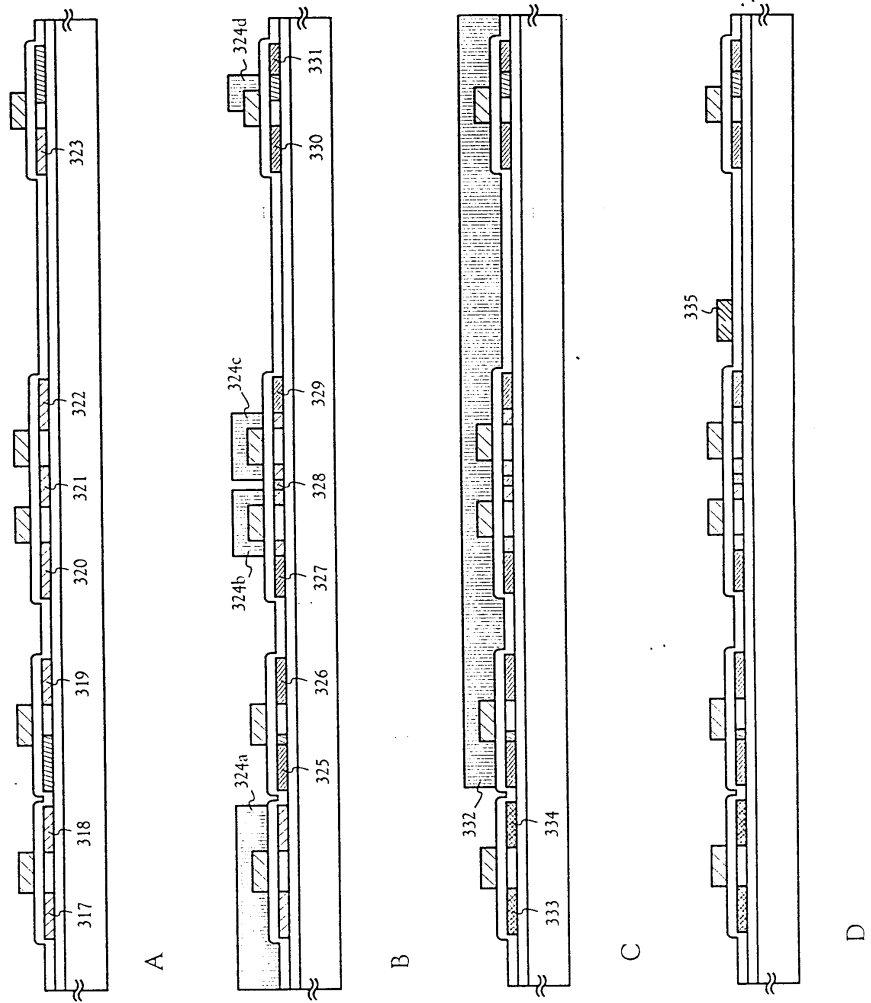


B

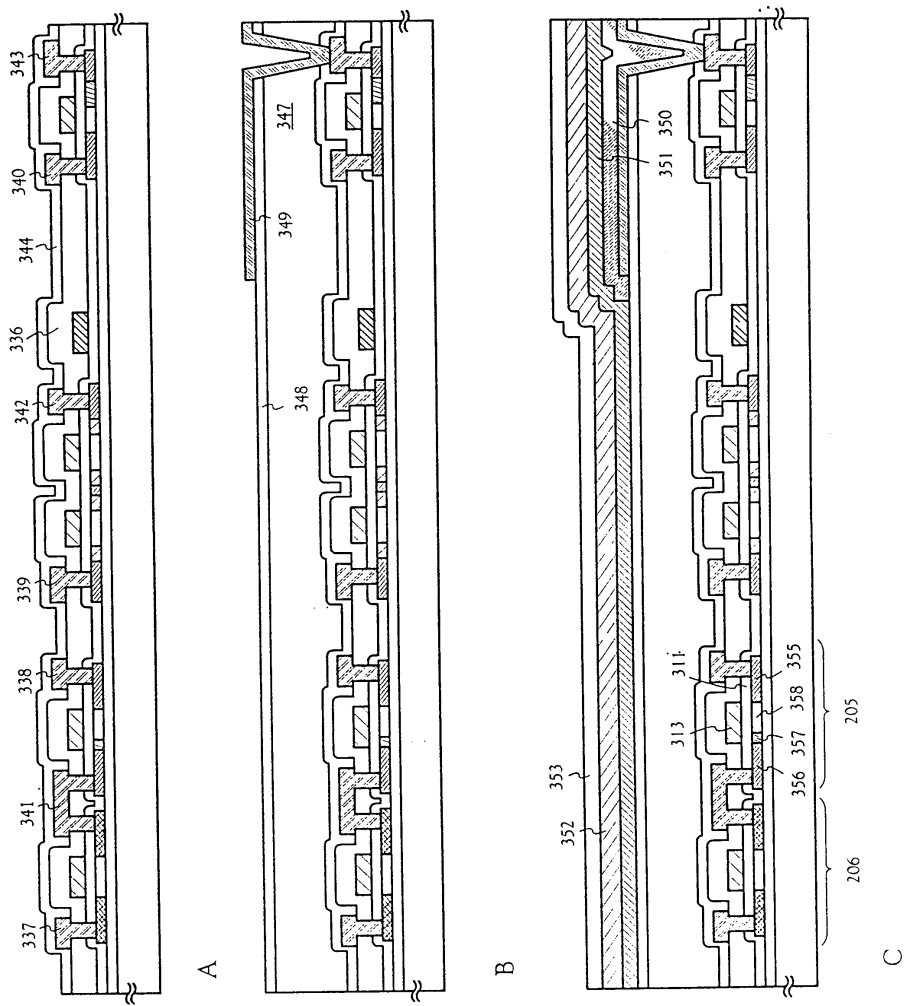
도면4



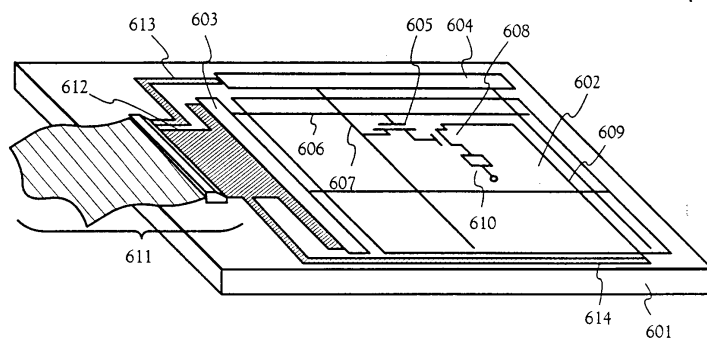
도면5



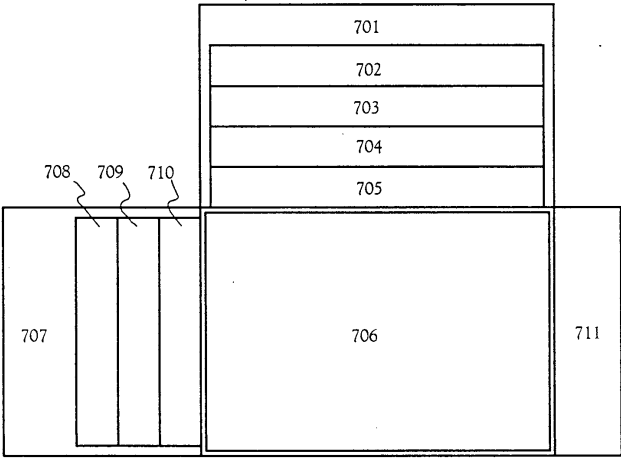
도면6



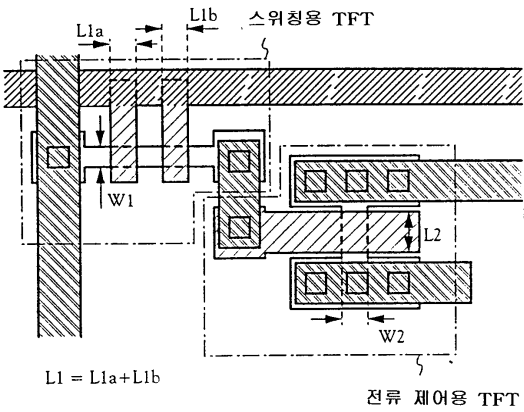
도면7



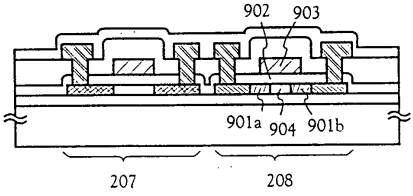
도면8



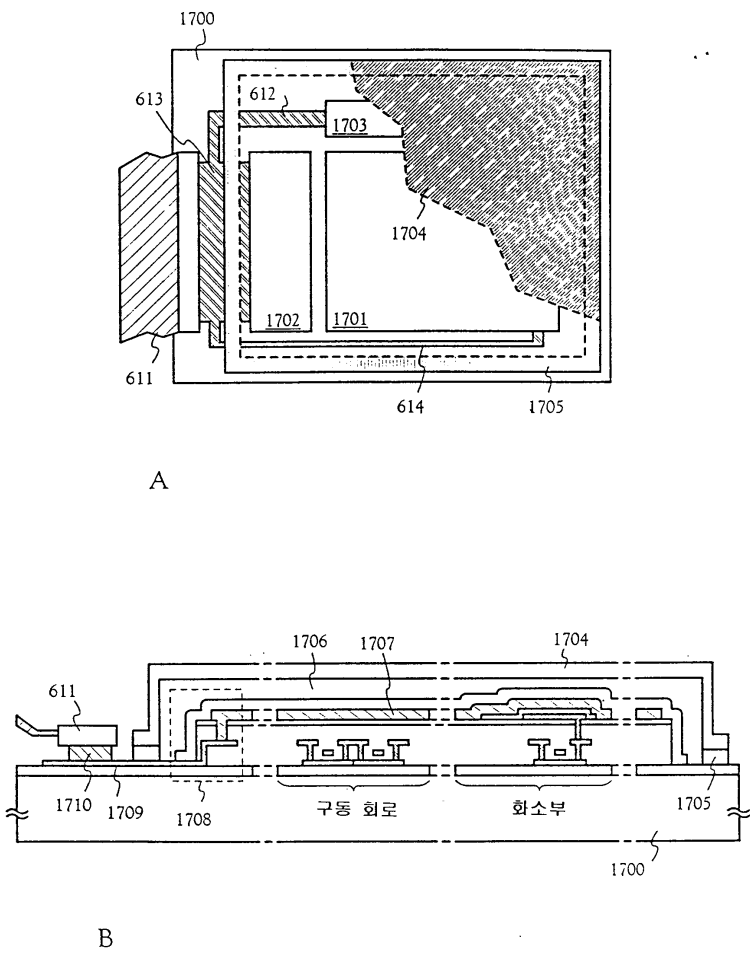
도면9



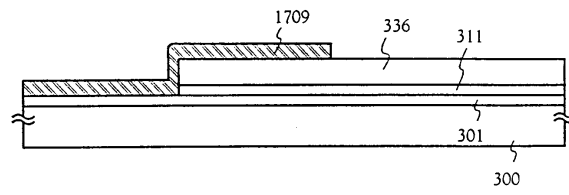
도면10



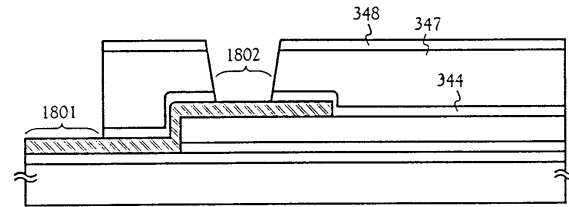
도면11



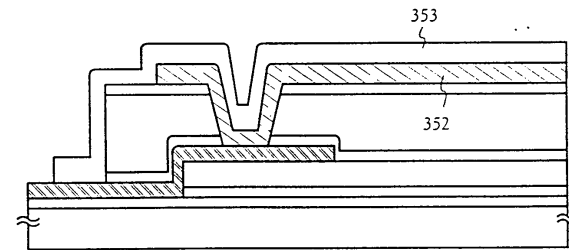
도면12



A

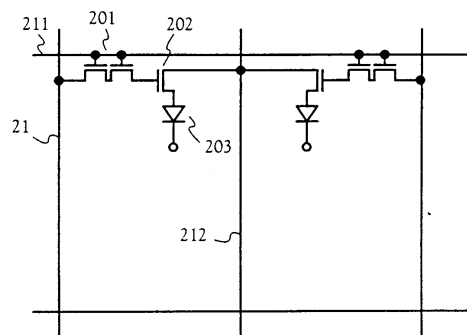


B

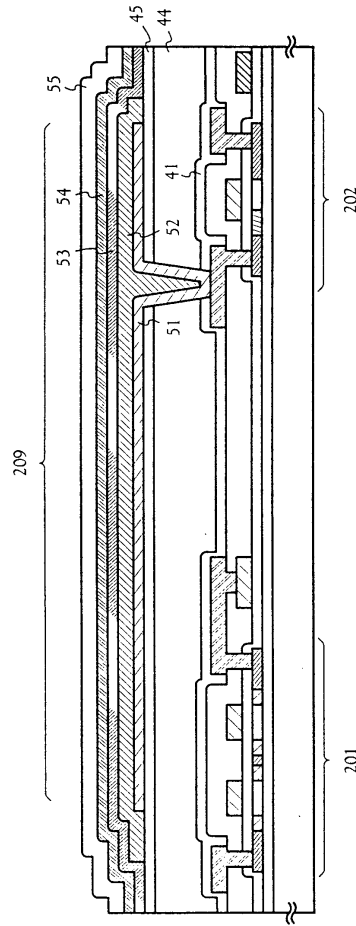


C

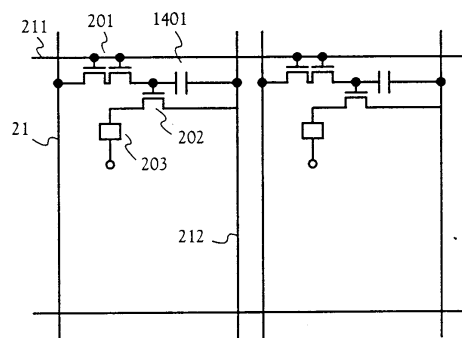
도면13



도면14

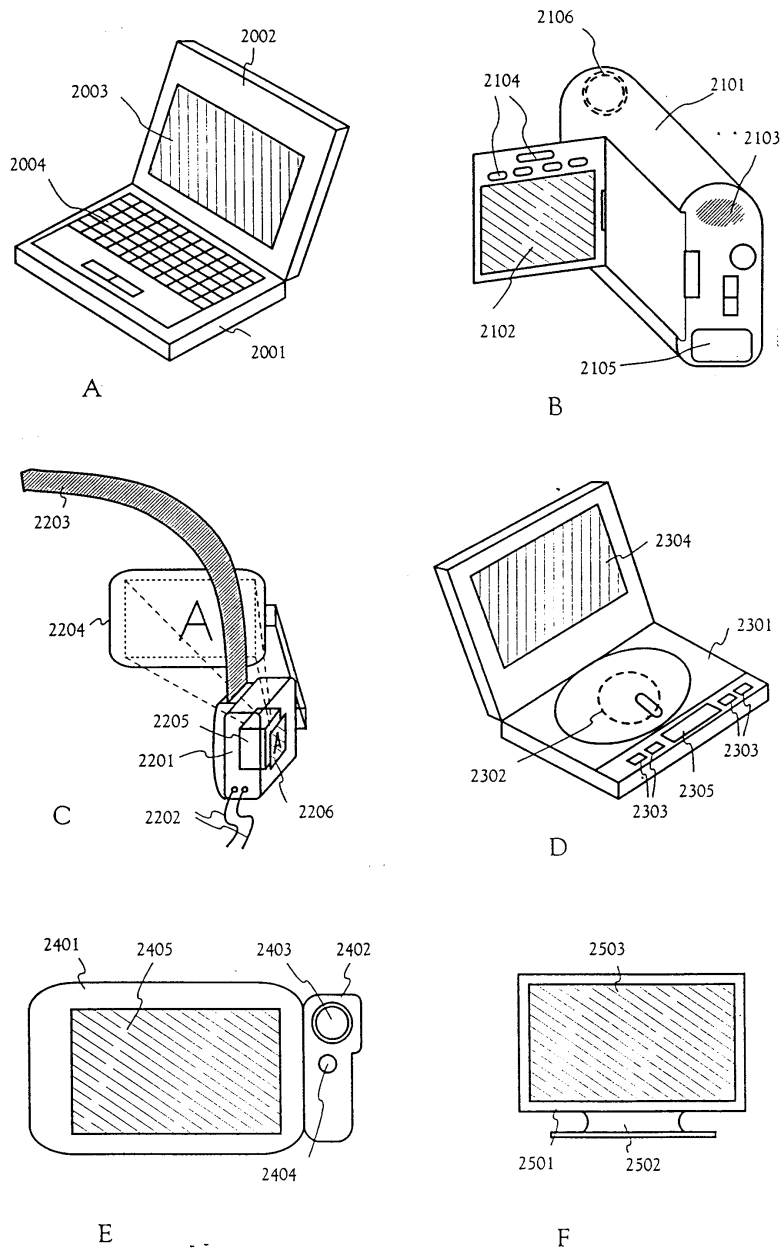


도면15





도면16



专利名称(译)	发光显示装置的制造方法		
公开(公告)号	<a href="#">KR100713028B1</a>	公开(公告)日	2007-05-02
申请号	KR1020050048847	申请日	2005-06-08
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 야마자키순페이 MIZUKAMI MAYUMI 미즈카미마유미 KONUMA TOSHIMITSU 고누마도시미츠		
发明人	야마자키순페이 미즈카미마유미 고누마도시미츠		
IPC分类号	H05B33/10 G02F1/136 H01L27/32 H01L51/00 H01L51/40 H01L51/52 H01L51/56		
CPC分类号	H01L51/0005 H01L27/3244 H01L51/0001 H01L51/529 H01L51/56 Y10S438/956		
代理人(译)	黄的.		
优先权	1999182595 1999-06-28 JP		
其他公开文献	KR1020050069956A		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

目的：提供一种制造电致发光显示装置的方法，通过使用分配装置的涂覆工艺形成用于像素部分的EL材料，从而提高产量，因为分配器的排出口被制成线性形状。组织：A像素部分（111），数据侧（源侧）驱动电路（112）和栅极侧驱动电路（113）形成在基板（110）的表面上，基板（110）分别由TFT（锡膜晶体管）制成）。通过使分配器的排出口具有线性形状，可以获得涂沫表面（115）。通过沿箭头方向在像素部分上移动分配器，应用表面沿箭头方向移动。此时，期望涂布表面在纵向向上的长度是这样的长度，使得像素部分的整个区域可以被一次移动覆盖。附接到分配器（116）的注射器（117）的尖端部分（喷嘴）（118）成为EL形成材料（114）的排出部分。该喷嘴沿箭头方向移动。设置在基板上的像素部分包括多个TFT（120）和像素电极（121）。从内部向注射器中吹入氮气等惰性气体，通过压力从喷嘴排出EL形成材料。此时，使用光反射的传感器附着在注射器的尖端附近，并且还可以进行调节，使得涂敷表面和喷嘴的尖端部分之间的距离始终保持恒定。

KIPO 2006

