

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/26 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월24일 10-0563065 2006년03월15일
---	-------------------------------------	--

(21) 출원번호	10-2004-0038736	(65) 공개번호	10-2005-0113518
(22) 출원일자	2004년05월29일	(43) 공개일자	2005년12월02일

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 서창수
 경기도수원시권선구권선동1188번지성지아파트105동605호

 배성식
 경기도수원시팔달구영통동황골마을주공1단지아파트140동1603호

 박문희
 부산광역시사상구덕포1동426-97/2

(74) 대리인 리앤목특허법인
 이해영

심사관 : 최창락

(54) 전계 발광 디스플레이 장치 및 이의 제조 방법

요약

본 발명은, 기관의 일면 상에 형성된 박막 트랜지스터층; 절연층; 그리고 제 1 전극층, 제 2 전극층 및 이들 사이에 개재되는 전계 발광부를 포함하는 화소층;을 구비하고, 상기 화소층에는:

상기 제 1 전극층의 하부로, 상기 절연층에 형성된 비아홀을 제외한 영역의 적어도 일부에 배치되는 반사층과, 상기 반사층의 하부에 배치되며 투명 도전성 산화물로 구성되는 보조 도전층이 더 포함되고,

상기 보조 도전층은 상기 비아홀까지 연장 형성되되, 상기 보조 도전층과 상기 반사층 사이에는 도전성 버퍼층이 개재되며,

상기 제 1 전극층은 상기 보조 도전층과 상기 도전성 버퍼층 중 적어도 어느 하나와 직접 접하는 것을 특징으로 하는 전계 발광 디스플레이 장치 및 이를 제조하는 방법을 제공한다.

대표도

도 5a

명세서

도면의 간단한 설명

도 1a는 종래 기술에 따른 유기 전계 발광 디스플레이 장치의 개략적인 평면도,
 도 1b는 도 1a의 선 I - I 을 따라 취한 도면 부호 "A"의 부분 확대도,
 도 2a는 본 발명의 일실시예에 따른 유기 전계 발광 디스플레이 장치의 개략적인 평면도,
 도 2b는 도 2a의 도면 부호 "B"의 부분 확대도,
 도 2c는 도 2b의 선 II - II 을 따라 취한 부분 단면도,
 도 2d는 도 2c의 도면 부호 "C"의 부분 확대도,
 도 3은 본 발명의 다른 일실시예에 따른 유기 전계 발광 디스플레이 장치의 개략적인 단면도,
 도 4a는 본 발명의 또 다른 일실시예에 따른 유기 전계 발광 디스플레이 장치의 개략적인 단면도,
 도 4b는 도 4a의 도면 부호 "D"의 부분 확대도,
 도 4c는 본 발명의 또 다른 일실시예에 따른 유기 전계 발광 디스플레이 장치의 개략적인 단면도,
 도 5a 내지 도 5c는 본 발명의 또 다른 일실시예에 따른 유기 전계 발광 디스플레이 장치의 개략적인 단면도,
 도 6a 내지 도 6d는 도 5c의 구조를 제조하는 과정을 나타내는 단면도.

<도면의 주요부분에 대한 부호의 간단한 설명>

110...기관 120...버퍼층
 130...반도체 활성층 140...게이트 절연층
 150...게이트 전극 160...중간층
 170...소스/드레인 전극 180a,b...보호층
 181a,b...비아홀 190...제 1 전극층
 191...화소 정의층 192...전계 발광부
 193...반사층 194...화소 개구부
 195...보조 도전층 196...절연 버퍼층
 197...도전성 버퍼층 300...구동 전원 공급 라인
 310...구동 라인 400...제 2 전극층
 410...전극 전원 공급 라인 500...수직 구동 회로부
 600...수평 구동 회로부 800...밀봉부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 평판 디스플레이 장치에 관한 것으로, 보다 상세하게는 화면 개구율을 증대시키고, 디스플레이 영역의 전압 강하에 따른 휘도 불균일을 방지할 수 있는 평판 디스플레이 장치에 관한 것이다.

화상을 표시하는데 있어, 수많은 종류의 디스플레이 장치가 사용되는데, 근래에는 종래의 브라운관, 즉 CRT(cathode ray tube, 음극선관)를 대체하는 다양한 평판 디스플레이 장치가 사용된다. 이러한 평판 디스플레이 장치는 발광 형태에 따라 자발광형(emissive)과 비자발광형(non-emissive)으로 분류할 수 있다. 자발광형 디스플레이 장치에는 평면 브라운관, 플라즈마 디스플레이 장치(plasma display panel device), 진공 형광 표시 장치(vacuum fluorescent display device), 전계 방출 디스플레이 장치(field emission display device), 무기/유기 전계 발광 디스플레이 소자(electro-luminescent display device) 등이 있고, 비자발광형 디스플레이 장치에는 액정 디스플레이 장치(liquid crystal display device)가 있다. 그 중에서도, 유기 전계 발광 소자는 백라이트와 같은 별도의 발광 장치 필요없는 자발광형 소자로서, 저전력 및 고효율 작동이 가능하고, 청색 발광이 가능하다는 근래에 각광을 받고 있는 평면 디스플레이 소자이다.

유기 전계 발광 디스플레이 소자는 유기물 박막에 음극과 양극을 통하여 주입된 전자와 정공(hole)이 재결합하여 여기자(exiton)를 형성하고, 형성된 여기자로부터의 에너지에 의해 특정한 파장의 빛이 발생하는 현상을 이용하는 자발광형 디스플레이 장치이다. 유기 전계 발광 디스플레이 장치는 저전압으로 구동이 가능하고, 경량의 박형이고, 시야각이 넓을 뿐만 아니라, 응답 속도 또한 빠르다는 장점을 구비한다.

이러한 유기 전계 발광 디스플레이 소자의 유기 전계 발광부는 기판 상에 적층식으로 형성되는 양극으로서의 제 1 전극, 유기 발광층, 및 음극으로서의 제 2 전극으로 구성된다. 유기 발광층은 유기 발광층(EML, emitting layer)을 구비하는데, 이 유기 발광층에서 정공과 전자가 재결합하여 여기자를 형성하고 빛이 발생한다. 발광 효율을 보다 높이기 위해서는 정공과 전자를 유기 발광층으로 보다 원활하게 수송하여야 하고, 이를 위해 음극과 유기 발광층 사이에는 전자 수송층(ETL, electron transport layer)이 배치될 수 있고 양극과 유기 발광층 사이에는 정공 수송층(HTL, hole transport layer)이 배치될 수 있으며, 또한 양극과 정공 수송층 사이에 정공 주입층(HIL, hole injection layer)이 배치될 수도 있고, 음극과 전자 수송층 사이에 전자 주입층(EIL, electron injection layer)이 배치될 수도 있다.

한편, 유기 전계 발광 디스플레이 소자는 구동 방식에 따라, 수동 구동방식의 패시브 매트릭스(Passive Matrix: PM)형과, 능동 구동방식의 액티브 매트릭스(Active Matrix: AM)형으로 구분된다. 상기 패시브 매트릭스형은 단순히 양극과 음극이 각각 컬럼(column)과 로우(row)로 배열되어 음극에는 로우 구동회로로부터 스캐닝 신호가 공급되고, 이 때, 복수의 로우 중 하나의 로우만이 선택된다. 또한, 컬럼 구동회로에는 각 화소로 데이터 신호가 입력된다. 한편, 상기 액티브 매트릭스형은 박막 트랜지스터(Thin Film Transistor, TFT)를 이용해 각 화소 당 입력되는 신호를 제어하는 것으로 방대한 양의 신호를 처리하기에 적합하여 동영상을 구현하기 위한 디스플레이 장치로서 많이 사용되고 있다.

도 1a에는 통상 사용되는 액티브 매트릭스형 유기 전계 발광 디스플레이 장치의 평면도가, 도 1b에는 도 1a의 선 I-I를 따라 취한 부분 단면도가 도시되어 있다.

도시된 액티브 매트릭스형 유기 전계 발광 디스플레이 장치는 투명한 절연 기판(11) 상에 유기 전계 발광 소자를 포함하는 소정의 디스플레이 영역(20)을 갖고, 메탈 캡과 같은 밀봉 부재(미도시)는 디스플레이 영역(20)을 밀봉하도록 밀봉부(80)에 의해 밀봉된다. 디스플레이 영역(20)은 박막 트랜지스터를 포함한 유기 전계 발광 소자를 통해 복수개의 화소로 구성되며, 디스플레이 영역(20)으로는 복수개의 구동 라인(VDD, 31)들이 배설되는데, 이 구동 라인(31)들은 디스플레이 영역(20) 외측의 구동 전원 배선부(30)를 통해 단자 영역(70)과 연결되어 디스플레이 영역(20)에 구동전원을 공급한다.

도 1b에 도시된 바와 같이, 기판(11)의 일면 상에는 디스플레이 영역(20)을 구성하는 전계 발광부에 전기적 신호를 인가하는 박막 트랜지스터 층(10a)이 형성되고, 그 상부에 전계 발광부를 포함하는 화소층(10c)이 형성되는데, 박막 트랜지스터 층(10a)과 화소층(10c)의 사이에는 절연층(10b)이 개재된다.

박막 트랜지스터 층(10a)과 화소층(10c) 간의 전기적 소통은 절연층(10b)에 형성된 비아홀에서 이루어진다. 도 1c는 도 1b의 도면 부호 "A"로 표기된 부분을 확대한 부분 단면도이다. 드레인 전극(17b)의 상부에는 제 1 절연층(18a)이 형성되고, 그 상부에는 제 2 절연층(18b)이 형성되는데, 각각의 절연층에는 비아홀(18'a,b)이 형성된다.

전면 발광형 전계 발광 디스플레이 장치의 경우, 디스플레이 영역(20, 도 1a 참조)을 구성하는 전계 발광부(19c)에 전기적 신호를 공급하는 제 1 전극층(19a)의 하부에는 반사층(19b)이 형성되는데, 이들은 이중층의 형태로 비아홀까지 연장 형성됨으로써, 박막 트랜지스터 층(10a)의 드레인 전극(17b)과 전기적 소통을 이룬다.

제 1 전극층(19a)이 애노드 전극층으로 사용되는 전면 발광형의 경우, 통상적으로 제 1 전극층(19a)은 일함수가 큰 ITO와 같은 투명 도전성 산화물 재료가 주로 사용되며, 반사층(19b)으로는 Al 또는 AlNd 등과 같은 반사층이 사용되는데, ITO 등으로 구성되는 제 1 전극층과 AlNd 등과 같은 재료로 구성되는 금속성 반사층 간에는, 이들 사이의 계면 산화층에 의한 도전성 저해가 발생되어 드레인 전극(17b)으로부터 전달되는 전기적 신호가 디스플레이 영역의 화소 정의층(19d)에 의해 개방된 영역에 배치되는 전계 발광부에 전달되는 것이 방해됨으로써, 디스플레이 영역의 휘도 저하 내지는 휘도 불균일을 일으킬 수도 있는 등, 화면 품질을 저하시킬 수도 있다.

또한, 제 1 전극층의 경우, 제 1 전극층과 제 2 전극층 사이에 개재되는 유기 전계 발광부에서 발광되는 빛의 색좌표 및 공진 효과를 개선하기 위해서는 ITO 등으로 형성되는 제 1 전극층은 상당히 작은 두께를 구비하여야 한다. 이 경우, 화소층과 박막 트랜지스터 층과의 전기적 소통을 위하여 비아홀에 제 1 전극층을 연장 형성하는 경우, 충분한 스텝 커버리지를 확보하지 못하여 제 1 전극층의 부분적인 단선이 발생할 수도 있고, 이로 인하여 암점 발현과 같은 화면 품질 저하 문제를 수반할 수도 있다.

발명이 이루고자 하는 기술적 과제

본 발명은, 박막 트랜지스터 층과 화소층 간의 전기적 소통을 원활하게 하여 휘도 및 색감의 증진을 통한 화면 품질을 개선시킬 수 있는 전계 발광 디스플레이 장치 및 이를 제조하는 방법을 제공하는 것이다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명의 일면에 따르면,

기판의 일면 상에 형성된 박막 트랜지스터층; 절연층; 그리고 제 1 전극층, 제 2 전극층 및 이들 사이에 개재되는 전계 발광부를 포함하는 화소층;을 구비하고,

상기 화소층에는:

상기 제 1 전극층의 하부로, 상기 절연층에 형성된 비아홀을 제외한 영역의 적어도 일부에 배치되는 반사층과, 상기 반사층의 하부에 배치되며 투명 도전성 산화물로 구성되는 보조 도전층이 더 포함되고,

상기 보조 도전층은 상기 비아홀까지 연장 형성되되, 상기 보조 도전층과 상기 반사층 사이에는 도전성 버퍼층이 개재되며,

상기 제 1 전극층은 상기 보조 도전층과 상기 도전성 버퍼층 중 적어도 어느 하나와 직접 접하는 것을 특징으로 하는 전계 발광 디스플레이 장치를 제공한다.

본 발명의 다른 일면에 따르면, 상기 도전성 버퍼층은 도핑된 실리콘 층인 것을 특징으로 하는 전계 발광 디스플레이 장치를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 도전성 버퍼층과 상기 반사층의 교차 면적은 상기 반사층의 면적과 동일한 것을 특징으로 하는 전계 발광 디스플레이 장치를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 제 1 전극층은 상기 비아홀까지 연장 형성되며, 상기 제 1 전극층과 상기 보조 도전층의 직접 접촉부는 상기 비아홀 부분을 포함하는 것을 특징으로 하는 전계 발광 디스플레이 장치를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 제 1 전극층과 상기 보조 도전층 간의 전기적 소통은 상기 도전성 버퍼층을 통하여 이루어지는 것을 특징으로 하는 전계 발광 디스플레이 장치를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 보조 도전층은 ITO, IZO, SnO₂, In₂O₃ 중의 하나 이상의 물질로 구성되고, 상기 보조 도전층의 두께는 300Å 내지 3000Å인 것을 특징으로 하는 전계 발광 디스플레이 장치를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 제 1 전극층은 투명 도전성 산화물층이고, 두께는 10Å 내지 300Å인 것을 특징으로 하는 전계 발광 디스플레이 장치를 제공한다.

본 발명의 또 다른 일면에 따르면, 기판의 일면 상에, 박막 트랜지스터 층과; 절연층; 및 제 1 전극층, 제 2 전극층 및 이들 사이에 배치되는 전계 발광부를 포함하는 화소층을 구비하는 전계 발광 디스플레이 장치의 제조 방법에 있어서,

상기 화소층과 상기 박막 트랜지스터 층의 전기적 소통을 위해 상기 절연층에 비아홀을 형성하는 단계;

상기 절연층의 일면 상에 형성되되, 투명 도전성 산화물로 상기 비아홀까지 연장 형성되는 보조 도전층을 형성하는 단계;

상기 보조 도전층의 일면 상에 도전성 버퍼층을 형성하는 단계;

상기 도전성 버퍼층의 일면 상으로, 상기 도전성 버퍼층의 면적보다 작은 면적의 반사층을 형성하는 단계;

상기 비아홀 인접부의 적어도 일부에서 상기 보조 도전층과 직접 접촉하도록 제 1 전극층을 형성하는 단계를 포함하는 것을 특징으로 하는 전계 발광 디스플레이 장치 제조 방법을 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 제 1 전극층 형성 단계시, 상기 제 1 전극층을 상기 비아홀까지 연장 형성하는 것을 특징으로 하는 전계 발광 디스플레이 장치 제조 방법을 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 도전성 버퍼층을 형성하는 단계는:

상기 보조 도전층 상부에 비정질 실리콘 층을 형성하는 단계와,

상기 비정질 실리콘 층을 도핑하는 단계와,

상기 도핑된 실리콘 층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 전계 발광 디스플레이 장치 제조 방법을 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 도전성 버퍼층을 형성하는 단계는:

상기 보조 도전층 상부에 도핑된 비정질 실리콘 층을 형성하는 단계와,

상기 도핑된 실리콘 층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 전계 발광 디스플레이 장치 제조 방법.

이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예들에 대하여 보다 상세히 설명한다.

도 2a에는 본 발명의 일 실시예에 따른 평판 디스플레이 장치의 일 예인 유기 전계 발광 디스플레이 장치의 평면도가 개략적으로 도시되어 있다.

도 2a에 도시된 바와 같이, 기판(110)의 일면 상에는 유기 전계 발광 디스플레이 소자와 같은 발광 소자가 배치된 디스플레이 영역(200), 디스플레이 영역(200)의 외측을 따라 도포되어 기판(110)과 봉지 기판(미도시)을 밀봉시키는 밀봉부(800), 각종 단자들이 배치된 단자 영역(700)을 구비한다.

디스플레이 영역(200)과 밀봉부(800)의 사이에는 디스플레이 영역(200)에 구동 전원을 공급하기 위한 구동 전원 공급 라인(300)이 배치된다. 도 2a는 본 발명의 일예로 구동 전원 공급 라인의 배치가 이에 한정되는 것은 아니나, 디스플레이 영역 전체에 걸쳐 균일한 구동 전원을 공급함으로써 휘도 불균일을 개선시킬 수 있다는 점에서, 구동 전원 공급 라인(300)은 디스플레이 영역을 둘러싸도록 형성되는 것이 바람직하다.

구동 전원 공급 라인(300)은 구동 라인(310)과 연결되는데, 구동 라인(310)은 디스플레이 영역(200)을 가로질러 배치되고 보호층(180, 도 2c 참조) 하부에 배치된 소스 전극(170a, 도 2c 참조)과 전기적으로 소통된다.

또한, 디스플레이 영역(200) 외측에는 수직/수평 구동 회로부(500, 600)가 배치된다. 수직 구동 회로부(500)는 디스플레이 영역(200)에 스캔 신호를 인가하는 스캔 구동 회로부가 될 수도 있고, 수평 구동 회로부(600)는 디스플레이 영역(200)에 데이터 신호를 인가하는 데이터 구동 회로부가 될 수도 있으며, 이들은 경우에 따라서 외장 IC나 COG 형태로 밀봉 영역 외부에 배치될 수도 있다.

한편, 디스플레이 영역(200)의 외측에는, 디스플레이 영역(200)에 전극 전원을 공급하는 전극 전원 공급 라인(410)이 배치되는데, 이는 디스플레이 영역(200) 상부에 형성된, 예를 들어 전면 형성된 제 2 전극층과 이들 사이에 형성된 절연층 등의 비아홀(430)등을 통하여 전기적 소통을 이룬다.

구동 전원 공급 라인(300), 전극 전원 공급 라인(410), 수평/수직 구동 회로부(500, 600) 등은 배선 등을 통하여, 이들 각각 구성 요소에 대한 단자들(320, 420, 520, 620)로 구성되며, 밀봉 영역 외측에 배치되는 단자부(700)와 전기적 소통을 이룬다.

디스플레이 영역(200)을 구성하는 유기 전계 발광 소자는, 도 2b 및 도 2c를 참조하여 설명하는데, 설명의 명확화를 위하여 봉지 기관 내지 밀봉 박막층 등은 생략되었다. 도 2b에는 도 2a의 도면 부호 B로 나타나는, 디스플레이 영역의 일화소가 개략적으로 도시된다. 도 2b에는 두 개의 톱 게이트 형 박막 트랜지스터와 한 개의 커패시터를 구비하는 구조의 일화소가 도시되었는데, 이는 본 발명의 설명을 위한 일예일뿐 본 발명이 이에 한정되는 것은 아니다.

화소의 선택 여부를 결정하는 제 1 박막 트랜지스터(TFT1)의 게이트 전극(55)은 스캔 신호를 인가하는 스캔 라인으로부터 연장된다. 스캔 라인에 스캔 신호와 같은 전기적 신호가 인가되는 경우, 데이터 라인을 통하여 입력되는 데이터 신호가 제 1 박막 트랜지스터(TFT1)의 소스 전극(57a)으로부터, 제 1 박막 트랜지스터(TFT1)의 반도체 활성층(53)을 통하여 제 1 박막 트랜지스터(TFT1)의 드레인 전극(57b)으로 전달된다.

제 1 박막 트랜지스터(TFT1) 드레인 전극(57b)의 연장부(57c)는 커패시터의 제 1 전극(58a)과 연결되고, 커패시터 제 1 전극의 다른 일단은 구동 박막 트랜지스터로서의 제 2 박막 트랜지스터(TFT2)의 게이트 전극(150, 도 2c 참조)을 형성하며, 커패시터의 제 2 전극은 구동 라인(310, 도 2a 참조)과 전기적으로 연결된다.

한편, 도 2c는 도 2b의 선 II-II를 따라 취한 부분 단면도이다. 제 2 박막 트랜지스터(TFT2)의 경우, 도 2c에 도시된 바와 같이, 제 2 박막 트랜지스터(TFT2)와 같은 박막 트랜지스터 층은 기관(110)의 일면 상에 형성되어 있다. 기관(110)의 일면 상에 형성된 버퍼층(120)의 상부에 제 2 박막 트랜지스터(TFT2)의 반도체 활성층(130)이 형성된다. 반도체 활성층(130)은 비정질 실리콘 층으로 구성되거나, 다결정 실리콘 층으로 구성될 수도 있다. 도면에서 자세히 도시되지는 않았으나, 반도체 활성층(130)은 N+ 형 또는 P+ 형의 도펀트 들로 도핑되는 소스 및 드레인 영역과, 채널 영역으로 구성되는데, 반도체 활성층(130)을 포함한 박막 트랜지스터는 유기 반도체로 이루어질 수 있는 등, 다양한 구성이 가능하다.

반도체 활성층(130)의 상부에는 제 2 박막 트랜지스터의 게이트 전극(150)이 배치되는데, 게이트 전극(150)은 인접층과의 밀착성, 적층되는 층의 표면 평탄성 그리고 가공성 등을 고려하여, 예를 들어 MoW, Al/Cu 등과 같은 물질로 형성되는 것이 바람직하나 이에 한정되는 것은 아니다.

게이트 전극(150)과 반도체 활성층(130)의 사이에는 이들을 절연시키기 위한 게이트 절연층(140)이 위치한다. 게이트 전극(150) 및 게이트 절연층(140)의 상부에는 절연층으로서의 중간층(interlayer, 160)이 단일층 및/또는 복수층으로서 형성되고, 그 상부에는 제 2 박막 트랜지스터(TFT2)의 소스/드레인 전극(170a,b)이 형성되는데, 소스/드레인 전극(170a,b)은 MoW 등과 같은 금속으로 형성될 수 있으며, 반도체 활성층(130)과의 보다 원활한 오믹-컨택(ohmic contact)을 이루기 위하여 추후 열처리될 수 있다.

소스/드레인 전극(170a,b)의 상부에는 하부 층에 대한 보호 및/또는 평탄화시키기 위한 페시베이션 층 및/또는 평탄화 층으로 구성될 수 있는 절연층으로서의 보호층(180a,b)이 형성된다. 본 발명의 일실시예에 따른 보호층(180a,b)은, 도 2c에 도시된 바와 같이, SiNx 등과 같은 무기물을 사용하여 제 1 보호층(180a)을 형성한 후, 그 상부에 BCB (benzocyclobutene) 또는 아크릴 등과 같은 유기물 층으로 구성되는 제 2 보호층(180b)으로 구성되었으나, 이에 한정되지 않고, 단층으로 형성되거나 또는 다층층으로 형성될 수도 있는 등 다양한 구성이 가능하다.

박막 트랜지스터 층의 상부, 즉 보호층(180a,b)의 상부에는 제 1 전극층(190), 제 2 전극층(400) 및 이들 사이에 배치되는 전계 발광부(192)를 포함하는 화소층이 형성된다.

일단, 각각의 보호층(180a,b)이 형성된 후에는, 각각의 보호층(180a,b)에 비아홀(181a,b)을 형성하는 단계가 실시되는데, 경우에 따라서는 보호층에 형성되는 비아홀은 일괄적으로 형성될 수도 있다. 화소층은, 이와 같은 절연층으로서의 보호층(180a,b)에 형성된 비아홀(181a,b)을 통하여 박막 트랜지스터 층과 전기적 소통을 이룬다.

그런 후, 차후 보호층(180b)의 상부에 형성되는 화소 정의층(191, 도 2c 참조)에 의하여 정의되는 화소 개구부(194)를 포함하는 영역으로, 보호층(180a,b)의 상부에는 보조 도전층(195)이 형성된다. 보조 도전층(195)은 보호층(180b)에 형성된 비아홀(181b)까지 연장 형성되는데, 보조 도전층(195)은 비아홀(181b)을 통하여 소스/드레인 전극(170a,b)과 전기적 소통을 이룬다.

보조 도전층(195)이 형성된 후, 화소 개구부(194) 해당 영역을 포함하는 영역으로, 보조 도전층(195)의 일면 상에는 반사층(193)이 형성되고, 그 상부에는 제 1 전극층(190)이 형성된다. 보조 도전층(195)의 일면 상에 형성된 반사층(193)은, 예를 들어 Al, AlNd, Cr, Ti 등과 같은 도전성 반사층인 것이 바람직하다.

도 2d는 도 2c의 도면 부호 "C"를 확대한 부분 단면도이다. 도 2d에 도시된 바와 같이, 비아홀(181b)까지 연장 형성된 보조 도전층(195)은 제 1 전극층(190)은 적어도 비아홀(181b) 인접부의 적어도 일부에서 직접 접촉한다. 제 1 전극층(190)은 반사층(193)을 덮는 구조를 취하는 것이 바람직하다. 따라서, 제 1 전극층(190)은 반사층(193)을 덮음으로써, 제 1 전극층(190)과 보조 도전층(195)이 반사층(193)을 둘러싸는 구조를 취하는 것이 바람직하다.

한편, 제 1 전극층(190)과 직접 접촉하는 보조 도전층(195)은 다양한 도전성 물질로 형성될 수 있는데, 예를 들어 보조 도전층(195)은 금속층으로 형성될 수도 있다. 이러한 금속층은, Mo, W, Ti, Au, Pd, Ni, Cu, MoW 등과 같은 물질 중의 하나 이상을 포함하는 금속층으로 구성될 수도 있다.

보조 도전층(195)은 비아홀(181b)까지 연장 형성되어 소스/드레인 전극(170a,b)과 전기적 소통을 이루기 때문에, 보조 도전층(195)이 금속층으로 형성되는 경우, 보조 도전층(195)과 소스/드레인 전극(170a,b)과의 접촉 면에서, 이중 금속 간에 발생하는 접촉 저항 증대와 같은 문제점을 해소하기 위하여, 보조 도전층(195)은 소스/드레인 전극(170a,b)과 동일한 재료로 형성되는 것이 바람직하다.

또 한편, 도 3에 도시된 바와 같이, 반사층(193)을 덮는 제 1 전극층(190)은, 보조 도전층(195)과의 접촉 면적을 증대시킴으로써 우수한 도전성을 확보하도록, 비아홀(181b)까지 연장 형성되어 제 1 전극층(190)과 보조 도전층(195) 사이의 직접적인 접촉 면적을 확대시키는 것이 바람직하다. 또한, 제 1 전극층(190)은 투명 도전성 산화물층, 예를 들어 ITO와 같은 투명 도전성 산화물로 형성되는 층일 수도 있는데, 제 1 전극층(190)이 ITO로 형성되는 경우, 화소 개구부(194)를 통하여 출사되는 빛의 적절한 색좌표와 개선된 공진 효과를 얻고, 제 1 전극층으로서의 적절한 기능을 수행할 수 있도록, 제 1 전극층(190)의 두께는 10Å 내지 300Å인 것이 바람직하다.

또한, 보조 도전층(195)이 비아홀(181b)까지 연장 형성되는 경우 발생 가능한 단선을 방지하고 공정 시간의 과도한 증대로 인한 수율 저하를 방지하기 위하여, 보조 도전층(195)은 적절한 두께를 구비하여야 하는데, 300Å 내지 5000Å인 것이 바람직하다.

한편, 제 1 전극층(190)이 형성된 후에는, 화소 개구부(194)를 제외한 영역으로, 보호층(180b)의 상부에는 화소 정의층(191)이 형성된다. 화소 개구부(194)로 제 1 전극층(190)의 일면 상에는 발광층을 포함하는 유기 전계 발광부(192)가 배치되고, 그 상부에는 제 2 전극층(400)이 전면 형성될 수 있다.

유기 전계 발광부(192)는 저분자 또는 고분자 유기막으로 구성될 수 있는데, 저분자 유기막을 사용할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 유기 발광층(EML: Emission Layer), 전자 수송층

(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양한 재료를 적용할 수 있다. 이들 저분자 유기막은 진공증착의 방법으로 형성된다.

고분자 유기막의 경우에는 대개 홀 수송층(HTL) 및 유기 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이 때, 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수도 있는 등 다양한 구성이 가능하다.

유기 전계 발광부(192)의 일면 상부에는 캐소드 전극으로서의 제 2 전극층(400)이 전면 증착되는데, 제 2 전극층(400)은 이러한 전면 증착 형태에 한정되는 것은 아니고, 또한 유형에 따라 Al/Ca, ITO, Mg-Ag 등과 같은 재료로 형성될 수도 있고, 단일층이 아닌 복수의 층으로 형성될 수도 있으며, LiF 등과 같은 알칼리 또는 알칼리 토금속 플루오라이드 층이 더 구비될 수도 있는 등, 다양한 유형으로 구성될 수 있다.

본 발명의 또 다른 실시예에 따르면, 보조 도전층은 하부에 배치되는 절연층과의 밀착성을 증대시키기 위하여, 투명 도전성 산화물로 구성될 수도 있다. 도 4a에는 투명 도전성 산화물로 구성된 보조 도전층(195)을 구비하는 전계 발광 디스플레이 장치의 부분적인 단면이 도시되어 있고, 도 4b에는 도 4a의 도면 부호 "D"로 지시된 부분에 대한 부분 확대도가 도시되어 있다. 보조 도전층(195)을 구성하는 투명 도전성 산화물로는 ITO, IZO, SnO₂, In₂O₃ 중의 하나 이상의 물질이 포함될 수 있다.

이 경우에도 상기한 실시예들에서와 마찬가지로, 절연층(180a,b)에 비아홀(181a,b)이 형성된 후, 보조 도전층(195)이 절연층(180b)의 일면 상에 형성된다. 보조 도전층(195)은 비아홀(181b)까지 연장 형성되는데, 투명 도전성 산화물로 구성되는 보조 도전층(195)은 300Å 내지 3000Å의 두께를 구비하는 것이 바람직하는데, 이는 두께가 과도하게 얇아 비아홀 부근에서 충분한 스텝 커버리지를 확보하지 못하는 것을 방지하고, 과도하게 두꺼워짐으로 공정 시간의 과도 증대로 인한 수율 저감을 방지하기 하기 위함이다.

투명 도전성 산화물로 구성되는 보조 도전층(195)이 형성된 후, 보조 도전층(195)의 일면 상에는 절연 버퍼층(196)이 형성되고, 절연 버퍼층(196)의 일면 상에 반사층(193)이 형성된다. 반사층(193)은 상기한 실시예들에 기술된 바와 같이, Al 및 AlNd 등 다양한 반사성 금속층으로 구성될 수 있으며, 절연 버퍼층(196)은 SiNx, SiO₂, 옥시나이트라이드(oxynitride) 등과 같은 무기 절연재 및/또는 비정질 실리콘 중의 하나 이상의 물질로 구성될 수 있는데, 이러한 절연 버퍼층(196)은 투명 도전성 산화물로 구성되는 보조 도전층(195)과 반사층(193) 사이에 개재되어, 이들 층이 밀접되었을 때 공정시 발생 가능한 갈바닉 현상으로 인한 손상을 방지할 수 있다.

절연 버퍼층(196)과 반사층(193)의 교차 면적은 반사층(193)의 면적과 동일한 것, 본 발명의 도 4a에 도시된 바와 같이, 절연 버퍼층(196)의 면적(A_b)은 반사층(193)의 면적(A_r)보다 크거나 적어도 같은 것이 바람직하다.

다른 실시예들과 마찬가지로, 반사층(193)의 상부에는 제 1 전극층(190)이 형성되되, 비아홀(181b) 인접부의 적어도 일부분에서 투명 도전성 산화물로 이루어진 보조 도전층(195)과 직접 접촉하는데, 경우에 따라서는 도 4c에 도시된 바와 같이 제 1 전극층(190)이 비아홀(181b)까지 연장 형성되어 이들 간의 도전성을 증대시킬 수도 있다. 또한, 제 1 전극층으로서의 적절한 기능을 수행하고, 전계 발광 디스플레이 장치의 색좌표 및 공진 효과를 증대시키기 위하여, 제 1 전극층(190)은 10Å 내지 300Å의 두께를 지닐 수도 있다.

본 발명의 또 다른 실시예에 따르면, 하부에 배치되는 절연층과의 밀착성을 증대시키기 위하여 투명 도전성 산화물로 구성되는 보조 도전층과 반사층 사이에 배치되는 버퍼층으로는 도전성 버퍼층이 배치될 수도 있다.

도전성 버퍼층은 제 1 전극층 및 보조 도전층 중의 적어도 어느 하나와 직접 접하는 구조를 취함으로써, 하부 박막 트랜지스터의 소스/드레인 전극으로부터 제 1 전극층으로 전기적 신호가 보다 원활하게 전달될 수 있도록 하는 구조를 취한다.

도 5a에는 투명 도전성 산화물로 구성된 보조 도전층(195) 및 도전성 버퍼층(197)을 구비하는 전계 발광 디스플레이 장치의 부분적인 단면이 도시되어 있다. 반사층(193)과 도전성 버퍼층(197)의 교차 면적은 반사층(193)의 면적과 동일하다. 즉, 도전성 버퍼층(197)은 반사층(193)의 면적(A_r)보다 큰 면적(A_b)을 구비함으로써, 반사층(193)과 그 하부에 배치된, 투명 도전성 산화물로 구성되는 보조 도전층(195) 간의 직접적인 접촉을 방지함으로써, 이들 간의 갈바닉 현상에 의한 부식을 방지할 수도 있다.

이 경우에도, 도 5b에 도시된 바와 같이, 제 1 전극층(190)이 비아홀(181)까지 연장 형성됨으로써 보조 도전층(195)과 제 1 전극층(190) 간의 직접적인 접촉 면적을 더욱 증대시켜 도전 성능을 더욱 증진시킬 수도 있다.

또한, 제 1 전극층(190)과 보조 도전층(195) 간의 전기적 소통은 도전성 버퍼층을 통하여 이룰 수도 있다. 즉, 도전성 버퍼층을 형성함에 있어, 도 5c에 도시된 바와 같이 도전성 버퍼층(197)과 보조 도전층(195)이 동일한 패턴을 갖도록 형성할 수도 있는데, 이와 같은 공정에 의하여 층의 패턴을 동일하게 함으로써 사용되는 마스크의 개수를 감소시켜 장치의 제조 공정을 단순화시킬 수도 있고, 경우에 따라서는, 반사막만 개별적으로 패턴화시키되, 도전성 버퍼층, 보조 도전층 및 제 1 전극층을 동일한 마스크를 이용하여 형성할 수도 있는 등 제조 공정의 단순화 및 자유도를 부여할 수 있는 다양한 변형이 가능하다.

도 6a 내지 도 6d에는 도 5c의 구조를 구성하는 일부 과정이 도시되어 있다. 여기서, 도전성 버퍼층은 금속, 금속 산화물, 합금 등과 같이 다양한 물질로 구성될 수도 있으나, 도전성을 확보함과 동시에 반사층과 투명 도전성 산화물로 구성되는 보조 도전층 간의 부식 현상을 방지하기 위하여 도핑된 실리콘 층으로 구성되는 것이 바람직하다.

도 6a에서, 기판(110)에 적층된 적층부로 보호층으로서의 절연층(180a,b)에는 하부에 형성된 박막 트랜지스터의 소스/드레인 전극과 전기적 소통을 이루기 위한 비아홀(181a,b)이 형성되고, 비아홀(181a,b)을 포함한 절연층(180b) 일면 상에 투명 도전성 산화물로 층을 형성한 후 패턴화시켜 보조 도전층(195)을 형성한다.

그런 후, 도 6b 및 도 6c에 도시된 바와 같이, 실리콘으로 보조 도전층(195) 및 절연층(180b)의 일면 상에 비정질 실리콘 층(197a)을 형성하고, 비정질 실리콘 층(197a)을 N⁺ 이온 등으로 도핑시켜 도전성 실리콘 층(197b)을 형성한다. 그런 후, 도 6d에 도시된 바와 같이, 적절한 패턴화 공정을 통하여 보조 도전층(195)의 일면 상에 형성된 도전성 버퍼층(197)을 얻는다. 하지만, 본 발명은 이에 국한되지 않고, 공정을 단축시키기 위하여 도핑된 비정질 실리콘 층을 이용할 수도 있다. 즉, 진성 반도체로서의 비정질 실리콘층(197a)을 형성함과 동시에, 도핑 가스를 제공함으로써 도핑된 도전성 실리콘 층(197b)을 형성할 수도 있는 등 다양한 구성을 취할 수도 있다.

도전성 버퍼층(197)을 형성한 후, 그 일면 상에 도전성 버퍼층(197)의 면적(Ab)이하의 면적(Ar)을 구비하는 반사층(193)을 형성하고, 그 상부에 제 1 전극층(190)이 형성되는데, 제 1 전극층(190)은 반사층(193)을 포함하여 도전성 반사층(197) 및 보조 도전층(195) 중의 적어도 어느 하나와 직접 접하도록 형성된다.

한편, 이들 경우에도 보조 도전층(195)을 구성하는 투명 도전성 산화물로는 ITO, IZO, SnO₂, In₂O₃ 중의 하나 이상의 물질이 포함될 수 있고, 투명 도전성 산화물로 구성되는 보조 도전층(195)은 상기 실시예들에서와 마찬가지로 300Å 내지 3000Å의 두께를 구비하는 것이 바람직하다. 또한, 제 1 전극층으로서의 적절한 기능을 수행하고, 전계 발광 디스플레이 장치의 색좌표 및 공진 효과를 증대시키기 위하여, 제 1 전극층(190)은 10Å 내지 300Å의 두께를 지닐 수도 있다. 제 1 전극층(190)의 상부에 형성되는 구조 및 과정은 상기한 실시예들에 기재된 바와 같다.

상기한 실시예들은 본 발명을 설명하기 위한 일례들로서, 본 발명이 이에 한정되지 않는다는 점이다. 즉, 상기 실시예들은 유기 전계 발광 디스플레이 장치에 대하여 기술되었으나, 본 발명의 범위 내에서 무기 전계 발광 디스플레이 장치에도 충분히 적용될 수 있는 등, 본 발명의 구성을 포함하는 범위에서 다양한 변형을 고려할 수 있다.

발명의 효과

상기한 바와 같은 본 발명은 다음과 같은 효과를 수반한다.

첫째, 반사층을 비아홀까지 연장시키지 않음으로써, 반사층과 제 1 전극층 사이에 발생하는 접촉 저항으로 인하여 전계 발광부에 공급되는 전류의 감소로 인한 휘도 저하를 방지함과 동시에, 비아홀까지 연장 형성된 보조 도전층에 의하여 제 1 전극층에 전기적 신호를 전달하여 제 1 전극층의 단선으로 인한 화소 불량 문제를 해결함으로써, 전반적인 전계 발광 디스플레이 장치의 화면 품질을 개선할 수 있다.

둘째, 본 발명은 박막 트랜지스터 층과 화소층 간의 전기적 소통을 보조 도전층을 통하여 이루어 제 1 전극층 두께 조절의 자유도가 증대됨으로써, 색좌표 개선 및 공진 효과 증대로 인한 화면 품질 개선을 이룰 수도 있다.

셋째, 본 발명은 보조 도전층을, 바람직하게는 소스/드레인 전극과 동일한 재료의 금속층을 형성함으로써, 화소층과 소스/드레인 전극 간의 전기적 소통시 발생 가능한 접촉 저항을 줄일 수 있다.

넷째, 본 발명은 반사층을 둘러싸는 구조를 취하거나 및/또는 제 1 전극층을 비아홀까지 연장 형성함으로써, 보조 도전층과 제 1 전극층 간의 직접적인 접촉 면적을 증대시켜 박막 트랜지스터 층으로부터의 전기적 신호를 보다 수월하게 전계 발광부로 전달하여 휘도를 개선시킬 수도 있다.

다섯째, 본 발명은 보조 도전층을 투명 도전성 산화물로 형성함으로써 하부에 배치되는 절연층과의 밀착성을 증대시킴으로써 공정 시 층간 박리 현상이 발생하는 것을 방지할 수도 있다.

여섯째, 본 발명은, 투명 도전성 산화물로 구성되는 보조 도전층과 반사층 사이에 절연 버퍼층을 구비함으로써, 공정시 발생 가능한 이종 금속 간의 부식 현상을 방지함으로써, 제조 공정상의 불량률을 저감시켜 생산성을 증대시킬 수도 있다.

일곱째, 본 발명은, 투명 도전성 산화물로 구성되는 보조 도전층과 반사층 사이에 도전성 버퍼층을 구비함으로써, 보조 도전층과 반사층 간의 부식으로 인한 손상을 방지함과 동시에, 하부 박막 트랜지스터 층으로부터 제 1 전극층으로의 도전성을 증대시켜 휘도 증진을 가능하게 함으로써 화면 품질을 더욱 증진시킬 수도 있다.

본 발명은 첨부된 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 보호 범위는 첨부된 청구 범위에 의해서만 정해져야 할 것이다.

(57) 청구의 범위

청구항 1.

기관의 일면 상에 형성된 박막 트랜지스터층; 절연층; 그리고 제 1 전극층, 제 2 전극층 및 이들 사이에 개재되는 전계 발광부를 포함하는 화소층;을 구비하고,

상기 화소층에는:

상기 제 1 전극층의 하부로, 상기 절연층에 형성된 비아홀을 제외한 영역의 적어도 일부에 배치되는 반사층과, 상기 반사층의 하부에 배치되며 투명 도전성 산화물로 구성되는 보조 도전층이 더 포함되고,

상기 보조 도전층은 상기 비아홀까지 연장 형성되되, 상기 보조 도전층과 상기 반사층 사이에는 도전성 버퍼층이 개재되며,

상기 제 1 전극층은 상기 보조 도전층과 상기 도전성 버퍼층 중 적어도 어느 하나와 직접 접하는 것을 특징으로 하는 전계 발광 디스플레이 장치.

청구항 2.

제 1항에 있어서,

상기 도전성 버퍼층은 도핑된 실리콘 층인 것을 특징으로 하는 전계 발광 디스플레이 장치.

청구항 3.

제 1항에 있어서,

상기 도전성 버퍼층과 상기 반사층의 교차 면적은 상기 반사층의 면적과 동일한 것을 특징으로 하는 전계 발광 디스플레이 장치.

청구항 4.

제 1항에 있어서,

상기 제 1 전극층은 상기 비아홀까지 연장 형성되며, 상기 제 1 전극층과 상기 보조 도전층의 직접 접촉부는 상기 비아홀 부분을 포함하는 것을 특징으로 하는 전계 발광 디스플레이 장치.

청구항 5.

제 1항에 있어서,

상기 제 1 전극층과 상기 보조 도전층 간의 전기적 소통은 상기 도전성 버퍼층을 통하여 이루어지는 것을 특징으로 하는 전계 발광 디스플레이 장치.

청구항 6.

제 1항에 있어서,

상기 보조 도전층은 ITO, IZO, SnO₂, In₂O₃ 중의 하나 이상의 물질로 구성되고, 상기 보조 도전층의 두께는 300Å 내지 3000Å인 것을 특징으로 하는 전계 발광 디스플레이 장치.

청구항 7.

제 1항에 있어서,

상기 제 1 전극층은 투명 도전성 산화물층이고, 두께는 10Å 내지 300Å인 것을 특징으로 하는 전계 발광 디스플레이 장치.

청구항 8.

기판의 일면 상에, 박막 트랜지스터 층과; 절연층; 및 제 1전극층, 제 2 전극 층 및 이들 사이에 배치되는 전계 발광부를 포함하는 화소층을 구비하는 전계 발광 디스플레이 장치의 제조 방법에 있어서,

상기 화소층과 상기 박막 트랜지스터 층의 전기적 소통을 위해 상기 절연층에 비아홀을 형성하는 단계;

상기 절연층의 일면 상에 형성되되, 투명 도전성 산화물로 상기 비아홀까지 연장 형성되는 보조 도전층을 형성하는 단계;

상기 보조 도전층의 일면 상에 도전성 버퍼층을 형성하는 단계;

상기 도전성 버퍼층의 일면 상으로, 상기 도전성 버퍼층의 면적보다 작은 면적의 반사층을 형성하는 단계;

상기 비아홀 인접부의 적어도 일부에서 상기 보조 도전층과 직접 접촉하도록 제 1 전극층을 형성하는 단계를 포함하는 것을 특징으로 하는 전계 발광 디스플레이 장치 제조 방법.

청구항 9.

제 8항에 있어서,

상기 제 1 전극층 형성 단계시, 상기 제 1 전극층을 상기 비아홀까지 연장 형성하는 것을 특징으로 하는 전계 발광 디스플레이 장치 제조 방법.

청구항 10.

제 8항에 있어서,

상기 도전성 버퍼층을 형성하는 단계는:

상기 보조 도전층 상부에 비정질 실리콘 층을 형성하는 단계와,

상기 비정질 실리콘 층을 도핑하는 단계와,

상기 도핑된 실리콘 층을 패턴화하는 단계를 포함하는 것을 특징으로 하는 전계 발광 디스플레이 장치 제조 방법.

청구항 11.

제 8항에 있어서,

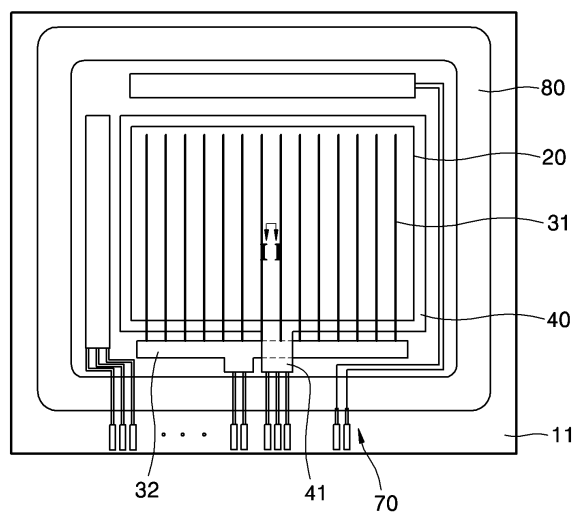
상기 도전성 버퍼층을 형성하는 단계는:

상기 보조 도전층 상부에 도핑된 비정질 실리콘 층을 형성하는 단계와,

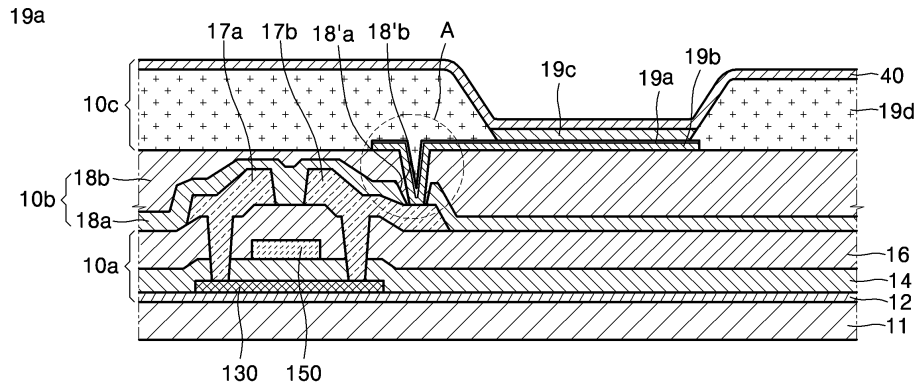
상기 도핑된 실리콘 층을 패턴화하는 단계를 포함하는 것을 특징으로 하는 전계 발광 디스플레이 장치 제조 방법.

도면

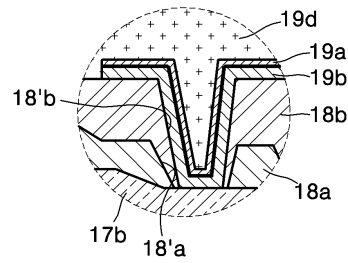
도면1a



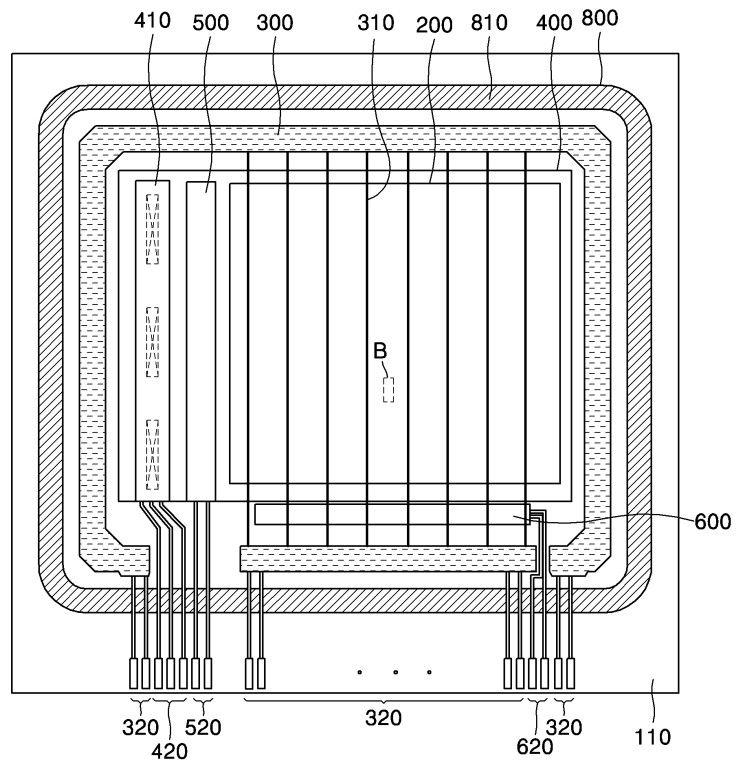
도면1b



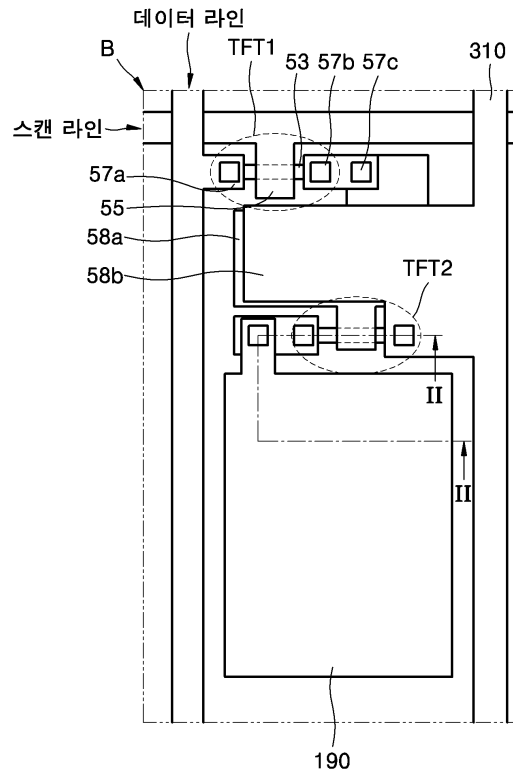
도면1c



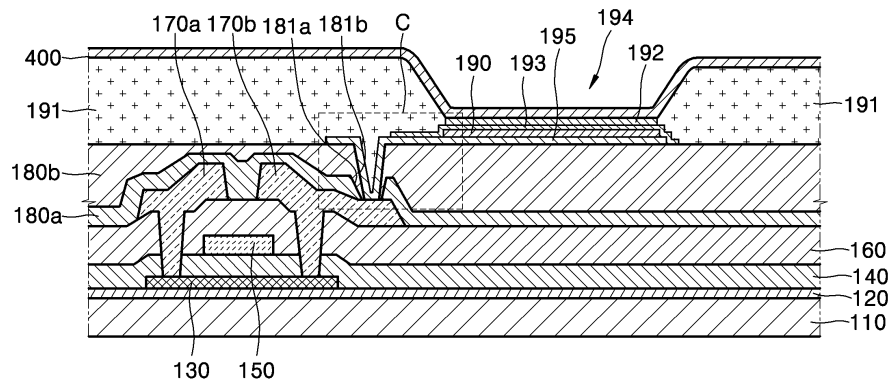
도면2a



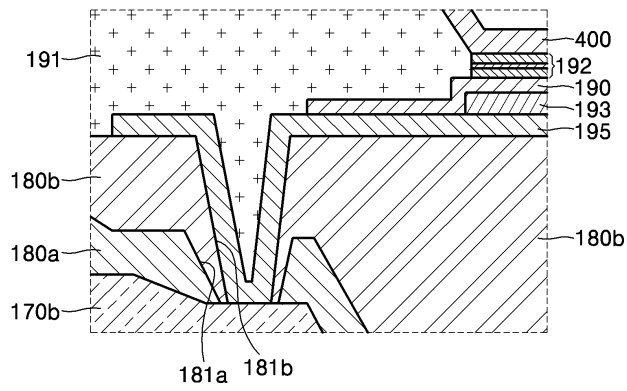
도면2b



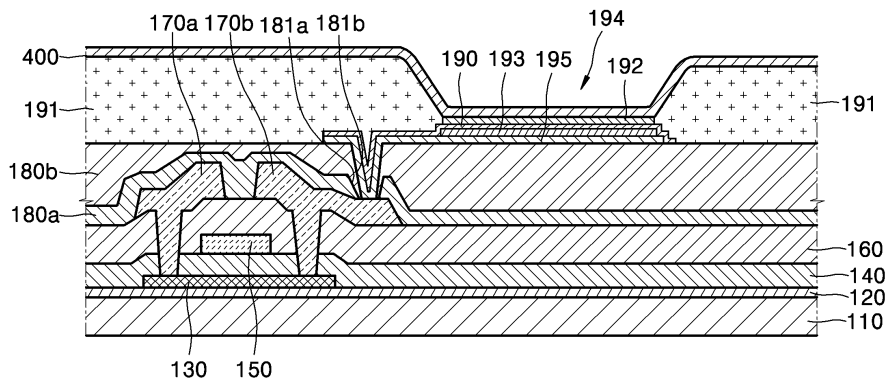
도면2c



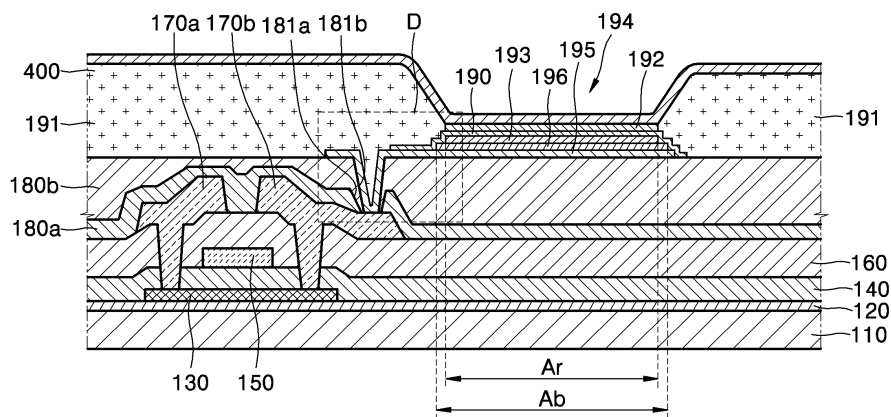
도면2d



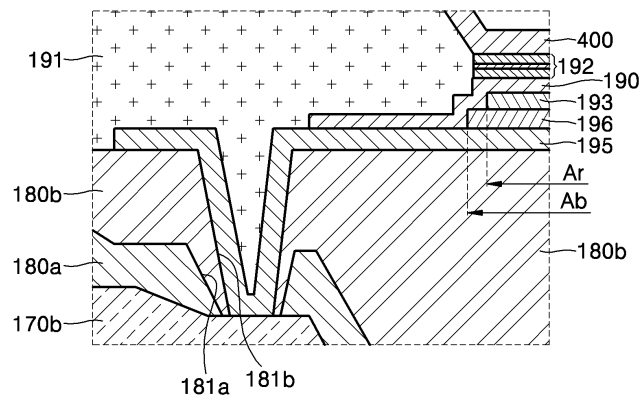
도면3



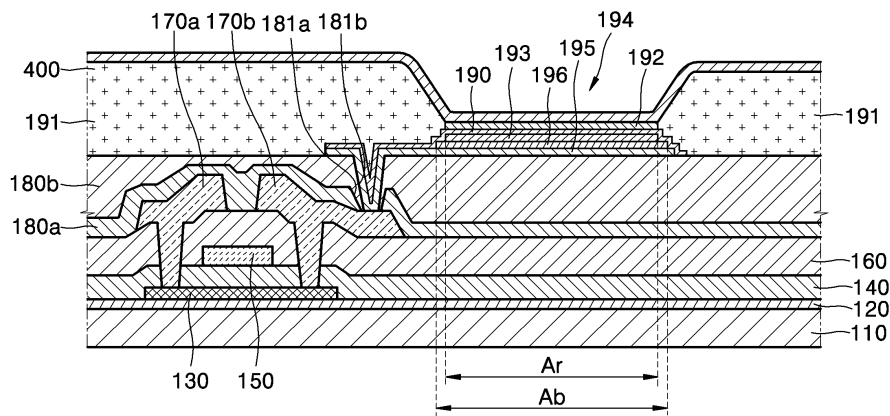
도면4a



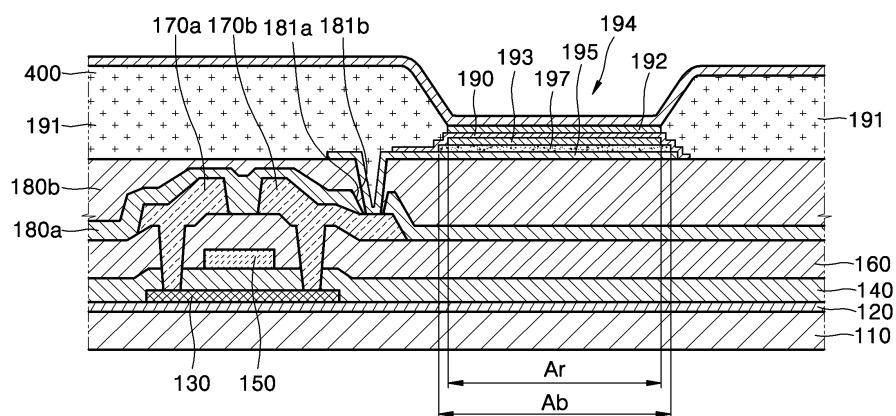
도면4b



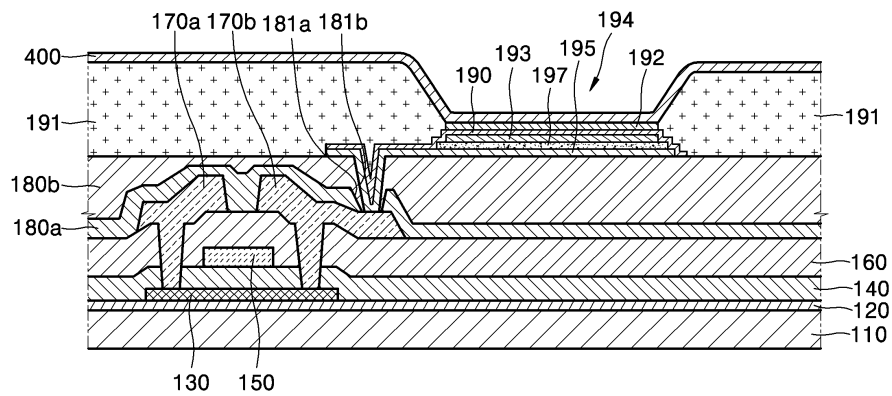
도면4c



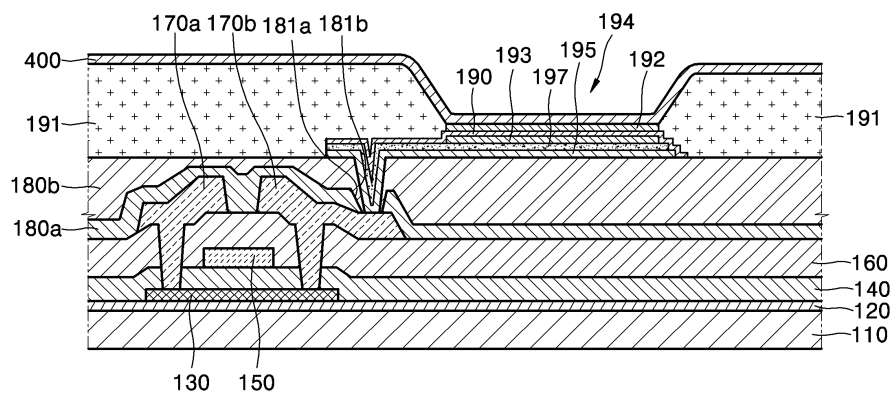
도면5a



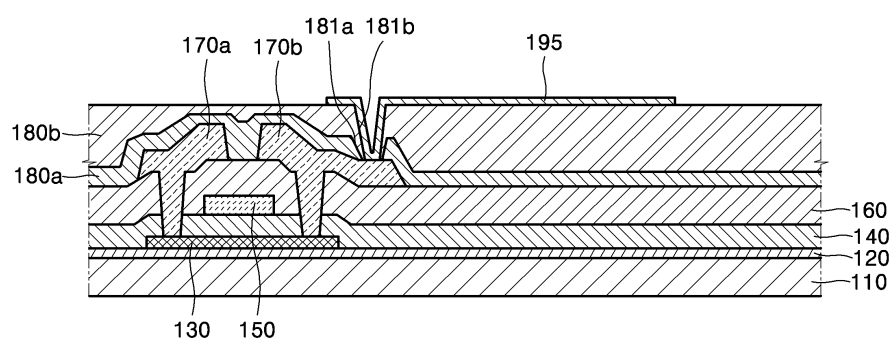
도면5b



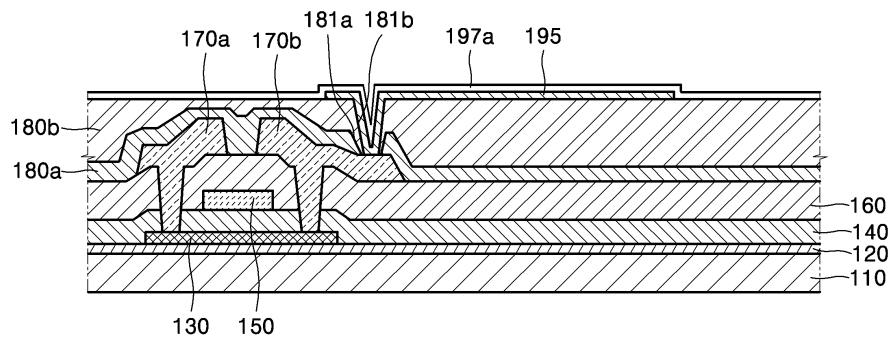
도면5c



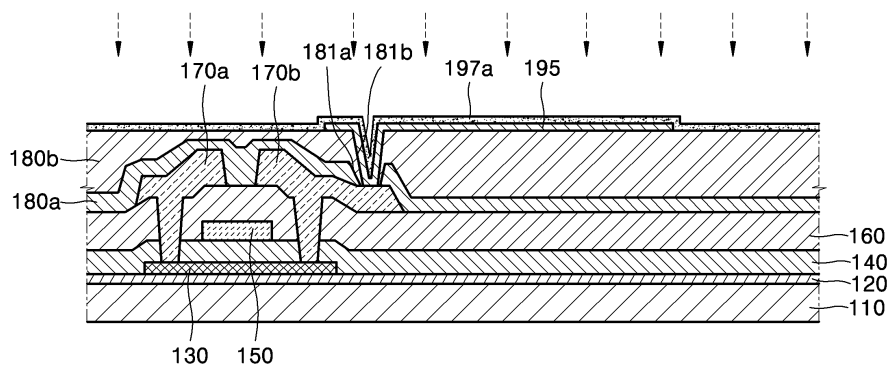
도면6a



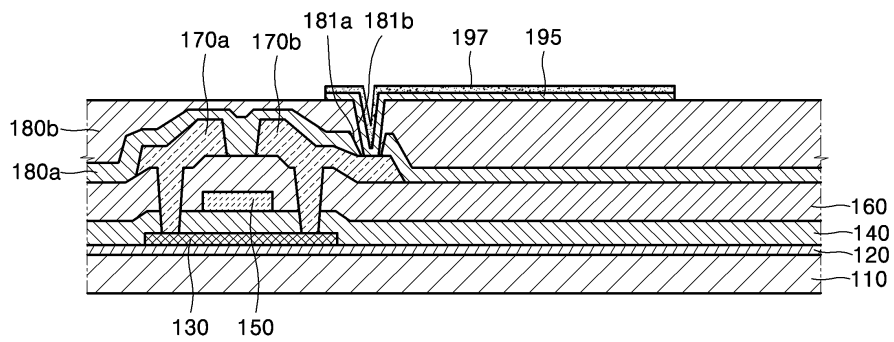
도면6b



도면6c



도면6d



专利名称(译)	电致发光显示装置及其制造方法		
公开(公告)号	KR100563065B1	公开(公告)日	2006-03-24
申请号	KR1020040038736	申请日	2004-05-29
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SEO CHANGSU 서창수 BAE SUNGSIK 배성식 PARK MOONHEE 박문희		
发明人	서창수 배성식 박문희		
IPC分类号	H05B33/26		
代理人(译)	李，杨HAE		
其他公开文献	KR1020050113518A		
外部链接	Espacenet		

摘要(译)

本发明提供一种薄膜晶体管，包括：形成在基板的一个表面上的薄膜晶体管层；绝缘层；并且，像素层包括插入在第一电极层和第二电极层之间的第一电极层，第二电极层和电致发光部分，其中像素层至少包括第一电极层和第二电极层，辅助导电层，设置在反射层的下部，由透明导电氧化物制成，辅助导电层延伸至通孔，导电层形成于辅助导电层与反射层之间，插入缓冲层，并且第一电极层与辅助导电层和导电缓冲层中的至少一个直接接触，以及制造该第一电极层的方法。 图5a

