



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0001597
(43) 공개일자 2010년01월06일

(51) Int. Cl.

H05B 33/22 (2006.01) *H05B 33/24* (2006.01)

H05B 33/26 (2006.01) *H01L 51/50* (2006.01)

(21) 출원번호 10-2008-0061570

(22) 출원일자 2008년06월27일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

나형돈

서울특별시 동작구 사당3동 155-1번지

성석제

경기도 용인시 죽전동 벽산아파트 208동 602호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

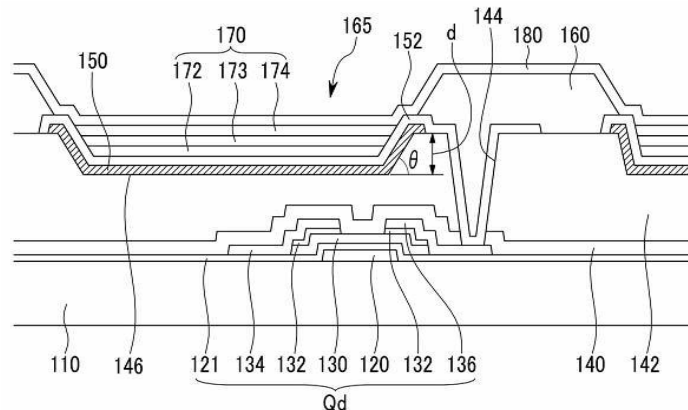
전체 청구항 수 : 총 20 항

(54) 표시 장치와 그 제조 방법

(57) 요약

본 발명은 표시 장치에 관한 것으로, 절연 기판 상에 형성되어 있는 박막 트랜지스터, 상기 박막 트랜지스터 상에 형성되고 트렌치를 포함한 평탄화층, 상기 트렌치에 형성되어 있는 반사막, 상기 반사막 상에 형성되고 상기 박막 트랜지스터와 전기적으로 연결되어 있는 화소 전극, 상기 화소 전극의 일부 영역을 노출시키는 개구부를 갖는 격벽, 상기 반사막 상에 형성되어 있는 유기 발광 부재, 그리고, 상기 유기 발광 부재 상에 형성되어 있는 공통 전극을 포함한다. 이에 의하여, 광효율이 향상된 표시 장치를 제공할 수 있다.

대표도 - 도2



(72) 발명자

정인도

경기 용인시 기흥구 농서동 삼성전자(주)기흥공장
LCD연구동 4층MD공정개발

진성현

인천 부평구 산곡1동 4-2 25/4

오진곤

경기 양평군 용문면 광탄리 162번지

특허청구의 범위

청구항 1

기판 상에 형성되어 있는 박막 트랜지스터,
상기 박막 트랜지스터 상에 형성되어 있고 트렌치를 가지는 평탄화층,
상기 트렌치에 형성되어 있는 반사막,
상기 반사막 상에 형성되고 상기 박막 트랜지스터와 전기적으로 연결되어 있는 화소 전극,
상기 화소 전극의 일부 영역을 노출하는 개구부를 갖는 격벽,
상기 화소 전극 상에 형성되어 있는 유기 발광 부재, 그리고,
상기 유기 발광 부재 상에 형성되어 있는 공통 전극
을 포함하며,
상기 트렌치는 각을 이루며 만나는 바닥면과 측면을 포함하는
표시 장치.

청구항 2

제1항에서,
상기 개구부는 상기 트렌치에 대응하는 위치에 배치되어 있는 표시 장치.

청구항 3

제2항에서,
상기 반사막은 상기 바닥면과 상기 측면을 덮는 표시 장치.

청구항 4

제3항에서,
상기 반사막은 반사성 금속을 포함하는 표시 장치.

청구항 5

제4항에서,
상기 반사성 금속은 폴리브덴, 크롬, 은, 알루미늄 및 그 합금 중 적어도 하나를 포함하는 표시 장치.

청구항 6

제5항에서,
상기 반사막과 상기 평탄화층 사이에 형성되어 있는 버퍼층을 더 포함하는 표시 장치.

청구항 7

제6항에서,
상기 버퍼층은 ITO 또는 IZO를 포함하는 표시 장치.

청구항 8

제3항에서,
상기 반사막의 두께는 50nm 내지 500nm인 표시 장치.

청구항 9

제3항에서,

상기 반사막의 반사율은 70% 이상인 표시 장치.

청구항 10

제3항에서,

상기 측면과 상기 바닥면은 130도 내지 140도의 경사를 이루는 표시 장치.

청구항 11

제1항에서,

상기 평탄화층은 유기물을 포함하는 표시 장치.

청구항 12

제11항에서,

상기 평탄화층은 감광성 유기물을 포함하는 표시 장치.

청구항 13

제1항에서,

상기 트렌치의 깊이는 100nm 이상인 표시 장치.

청구항 14

제1항에서,

상기 유기 발광 부재는 발광층을 포함하고, 상기 발광층의 윗면은 상기 트렌치 바깥의 상기 평탄화층의 윗면보다 낮은 위치에 있는 표시 장치.

청구항 15

제1항에서,

상기 반사막은 상기 화소 전극과 평면상 동일 패턴을 갖는 표시 장치.

청구항 16

기관 상에 박막 트랜지스터를 형성하는 단계,

상기 박막 트랜지스터 상에 평탄화층을 적층하는 단계,

상기 평탄화층에 트렌치 및 접촉 구멍을 형성하는 단계,

상기 트렌치에 반사막을 형성하는 단계,

상기 반사막 상에 상기 접촉 구멍을 통하여 상기 박막 트랜지스터와 전기적으로 연결되는 화소 전극을 형성하는 단계,

상기 화소 전극을 둘러싸는 격벽을 형성하는 단계,

상기 화소 전극 상에 유기 발광 부재를 형성하는 단계, 그리고,

상기 유기 발광 부재 상에 공통 전극을 형성하는 단계

를 포함하는 표시 장치의 제조 방법.

청구항 17

제16항에서,

상기 트렌치 및 상기 접촉 구멍을 형성하는 단계는,

상기 트렌치에 대응하는 부분에 위치한 반투과 영역과 상기 접촉 구멍에 대응하는 부분에 위치한 투과 영역을 포함하는 마스크를 상기 평탄화층 상에 배치하는 단계,

상기 마스크를 통하여 상기 평탄화층을 노광하는 단계, 그리고,

상기 노광된 평탄화층을 현상하는 단계

를 포함하는 표시 장치의 제조 방법.

청구항 18

제17항에서,

상기 마스크는 상기 격벽에 대응하는 부분에 위치한 차광 영역을 더 포함하는 표시 장치의 제조 방법.

청구항 19

제18항에서,

상기 반투과 영역은 슬릿 패턴을 포함하고, 상기 슬릿 패턴의 슬릿의 너비는 상기 반투과 영역의 가장자리로 갈수록 좁아지는 표시 장치의 제조 방법.

청구항 20

제16항에서,

상기 반사막을 형성하는 단계와 상기 화소 전극을 형성하는 단계는 동시에 이루어지는 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 표시 장치에 관한 것이다.

배경 기술

- <2> 평판 표시 장치(flat panel display) 중 저전압 구동, 경량 박형, 광시야각 그리고 고속 응답 등의 장점으로 인하여, 최근 유기 발광 표시 장치(organic light emitting display)가 각광 받고 있다. 이러한 유기 발광 표시 장치는 제어 전극, 입력 전극 및 출력 전극을 포함하는 박막 트랜지스터, 박막 트랜지스터와 연결되어 있는 화소 전극, 화소 전극 간을 구분하고 있는 격벽, 격벽 사이 영역의 화소 전극 상에 형성되어 있는 유기 발광 부재 및 유기 발광 부재 상에 형성되어 있는 공통 전극을 포함한다.
- <3> 유기 발광 부재는 백색, 적색, 녹색 및 청색 중 어느 하나의 빛을 발하는 유기 발광층을 포함한다. 유기 발광 부재는 정공 주입층, 정공 운송층, 전자 운송층, 전자 주입층 중 적어도 하나를 더 포함할 수 있다.
- <4> 유기 발광 표시 장치는 유기 발광층에서 발생한 빛의 출사방향에 따라 하부 방출(bottom emission) 방식과 상부 방출(top emission) 방식으로 나누어진다.
- <5> 하부 방출 방식에서는 유기 발광층에서 발생한 빛이 박막 트랜지스터 방향으로 출사된다. 이 방식은 박막 트랜지스터와 배선에 의해 개구율(aperture ratio)이 감소할 수 있다.
- <6> 상부 방출 방식에서는 유기 발광층에서 발생한 빛이 공통 전극을 거쳐 외부로 출사된다. 따라서 박막 트랜지스터로 인한 개구율 감소가 없으며 높은 개구율을 가질 수 있다.
- <7> 그런데 유기 발광 표시 장치는 출사 방식에 상관없이 자체의 외부 양자 효율(external quantum efficiency)이 20% 이하로 낮으며, 측면 발광에 의해 소멸되는 빛이 많아 광효율이 낮을 수 있다.

발명의 내용

해결 하고자하는 과제

<8> 따라서, 본 발명이 이루고자 하는 기술적 과제는 광효율이 높은 표시 장치 및 이의 제조 방법을 제공하는 것이다.

과제 해결수단

- <9> 본 발명의 한 실시예에 따른 표시 장치는 기판 상에 형성되어 있는 박막 트랜지스터, 상기 박막 트랜지스터 상에 형성되어 있고 트렌치를 가지는 평탄화층, 상기 트렌치에 형성되어 있는 반사막, 상기 반사막 상에 형성되어 있고 상기 박막 트랜지스터와 전기적으로 연결되어 있는 화소 전극, 상기 화소 전극의 일부 영역을 노출하는 개구부를 갖는 격벽, 상기 화소 전극 상에 형성되어 있는 유기 발광 부재와 상기 유기 발광 부재 상에 형성되어 있는 공통 전극을 포함한다.
- <10> 상기 트렌치는 각을 이루며 만나는 바닥면과 측면을 표시한다.
- <11> 상기 개구부는 상기 트렌치에 대응하는 위치에 배치되어 있다.
- <12> 상기 반사막은 상기 바닥면과 상기 측면을 덮을 수 있다.
- <13> 상기 반사막은 반사성 금속으로 이루어질 수 있다.
- <14> 상기 반사성 금속은 몰리브덴, 크롬, 은 및 알루미늄으로 이루어진 군 중에서 선택되는 어느 하나로 이루어질 수 있다.
- <15> 상기 반사막과 상기 평탄화층 사이에는 버퍼층이 더 포함되어질 수 있다.
- <16> 상기 버퍼층은 ITO 또는 IZO로 이루어질 수 있다.
- <17> 상기 반사막의 두께는 50nm 내지 500nm일 수 있다.
- <18> 상기 반사막의 반사율은 70%이상일 수 있다.
- <19> 상기 격벽의 측면과 상기 바닥면은 130도 내지 140도의 경사를 이룰 수 있다.
- <20> 상기 평탄화층은 유기물 또는 감광성 유기물을 포함할 수 있다.
- <21> 상기 트렌치의 깊이는 100nm 이상일 수 있다.
- <22> 상기 유기 발광 부재는 발광층을 포함하고, 상기 발광층의 윗면은 상기 트렌치 바깥의 상기 평탄화층의 윗면보다 낮은 위치에 있을 수 있다.
- <23> 상기 반사막은 상기 화소 전극과 평면상 동일 패턴을 갖을 수 있다.
- <24> 본 발명의 한 실시예에 따른 표시 장치의 제조 방법은 기판 상에 박막 트랜지스터를 형성하는 단계, 상기 박막 트랜지스터 상에 평탄화층을 적층하는 단계, 상기 평탄화층에 트렌치 및 접촉 구멍을 형성하는 단계, 상기 트렌치에 반사막을 형성하는 단계, 상기 반사막 상에 상기 접촉 구멍을 통하여 상기 박막 트랜지스터와 전기적으로 연결되는 화소 전극을 형성하는 단계, 상기 화소 전극을 둘러싸는 격벽을 형성하는 단계, 상기 화소 전극 상에 유기 발광 부재를 형성하는 단계, 그리고, 상기 유기 발광 부재 상에 공통 전극을 형성하는 단계를 포함한다.
- <25> 상기 트렌치 및 상기 접촉 구멍을 형성하는 단계는 상기 트렌치에 대응하는 부분에 위치한 반투과 영역과 상기 접촉 구멍에 대응하는 부분에 위치한 투과 영역을 포함하는 마스크를 상기 평탄화층 상에 배치하는 단계, 상기 마스크를 통하여 상기 평탄화층을 노광하는 단계, 그리고, 상기 노광된 평탄화층을 현상하는 단계를 포함할 수 있다.
- <26> 상기 마스크는 상기 격벽에 대응하는 부분에 위치한 차광 영역을 더 포함할 수 있다.
- <27> 상기 반투과 영역은 슬릿 패턴을 포함하고, 상기 슬릿 패턴의 슬릿의 너비는 상기 반투과 영역의 가장자리로 갈수록 좁아질 수 있다..
- <28> 상기 반사막을 형성하는 단계와 상기 화소 전극을 형성하는 단계는 동시에 이루어질 수 있다.
- <29> 상기 격벽은 상기 화소 전극과 이격될 수 있다.
- <30> 상기 격벽을 형성하는 단계는, 양성 감광 물질을 도포하는 단계와, 상기 양성 감광 물질을 노광, 현상하는 단계를 포함할 수 있다.

- <31> 상기 격벽을 형성하는 단계는, 감광 물질을 도포하는 단계와, 상기 감광 물질을 상기 격벽의 측면에 대응하는 부분에 슬릿 패턴이 형성된 마스크를 이용하여 노광하는 단계와, 상기 노광된 감광 물질을 현상하는 단계를 포함할 수 있다.
- <32> 상기 격벽을 형성하는 단계는, 감광 물질을 도포하는 단계와, 상기 감광 물질에 상기 격벽에 대응하는 음각 패턴이 형성된 압인 마스크를 가압하는 단계를 포함할 수 있다.
- <33> 상기 유기층을 형성하는 단계는, 상기 격벽에 의해 둘러싸인 영역보다 좁은 개구를 가지는 새도우 마스크를 상기 개구가 상기 화소 전극에 대응하도록 배치하는 단계와, 상기 개구를 통해 유기물 증기를 공급하는 단계를 포함할 수 있다.

효 과

- <34> 이상 설명한 바와 같이, 발광층으로부터 방출되어 측면으로 향하는 빛을 평탄화층에 형성된 반사막에 의해 반사시켜 수직 방향으로 진행하게 함으로써, 광효율이 높은 표시 장치가 얻어진다.

발명의 실시를 위한 구체적인 내용

- <35> 그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- <36> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였으며 중복 설명은 생략한다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- <37> 여러 실시예에서 동일한 구성요소에 대하여는 동일한 도면 번호를 부여하였으며, 동일한 구성요소에 대하여는 제1 실시예에서 대표적으로 설명하고 다른 실시예에서는 생략될 수 있다.
- <38> 도 1은 본 발명의 일 실시예에 따른 표시 장치의 등가회로도이다.
- <39> 도 1을 참조하면, 본 실시예에 따른 표시 장치(10)는 복수의 신호선(121, 171, 172)과 이들에 연결되어 있으며 대략 행렬(matrix)의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다.
- <40> 신호선은 게이트 신호(또는 주사 신호)를 전달하는 복수의 게이트선(gate line)(121), 데이터 신호를 전달하는 복수의 데이터선(data line)(171) 및 구동 전압을 전달하는 복수의 구동 전압선(driving voltage line)(172) 등을 포함한다. 게이트선(121)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(171)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다. 구동 전압선(172)은 대략 열 방향으로 뻗어 있는 것으로 도시되어 있으나, 행 방향으로 뻗거나 그물 모양으로 형성될 수 있다.
- <41> 각 화소(PX)는 스위칭 트랜지스터(switching transistor)(Qs), 구동 박막 트랜지스터(driving transistor)(Qd), 유지 축전기(storage capacitor)(Cst) 및 유기 발광 소자(LD)를 포함한다.
- <42> 스위칭 트랜지스터(Qs)는 제어 단자(control terminal), 입력 단자(input terminal) 및 출력 단자(output terminal)를 포함한다. 제어 단자는 게이트선(121)에 연결되어 있고, 입력 단자는 데이터선(171)에 연결되어 있으며, 출력 단자는 구동 트랜지스터(Qd)에 연결되어 있다. 스위칭 트랜지스터(Qs)는 게이트선(121)으로부터 받은 주사 신호에 응답하여 데이터선(171)으로부터 받은 데이터 신호를 구동 트랜지스터(Qd)에 전달한다.
- <43> 구동 트랜지스터(Qd) 또한 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 스위칭 트랜지스터(Qs)에 연결되어 있고, 입력 단자는 구동 전압선(172)에 연결되어 있으며, 출력 단자는 유기 발광 소자(LD)에 연결되어 있다. 구동 트랜지스터(Qd)는 제어 단자와 출력 단자 사이에 걸리는 전압에 따라 그 크기가 달라지는 출력 전류(ILD)를 흘린다.
- <44> 축전기(Cst)는 구동 트랜지스터(Qd)의 제어 단자와 입력 단자 사이에 연결되어 있다. 이 축전기(Cst)는 구동 트랜지스터(Qd)의 제어 단자에 인가되는 데이터 신호를 충전하고 스위칭 트랜지스터(Qs)가 턴 오프(turn-off)된 뒤에도 이를 유지한다.
- <45> 유기 발광 소자(LD)는 예를 들면 유기 발광 다이오드(organic light emitting diode, OLED)로서, 구동 트랜지

스터(Qd)의 출력 단자에 연결되어 있는 화소 전극과 공통 전압(Vss)에 연결되어 있는 공통 전극을 가진다. 유기 발광 소자(LD)는 구동 트랜지스터(Qd)의 출력 전류(ILD)에 따라 세기를 달리하여 발광함으로써 영상을 표시한다.

- <46> 스위칭 트랜지스터(Qs) 및 구동 트랜지스터(Qd)는 n형 트랜지스터이다. 그러나 스위칭 트랜지스터(Qs)와 구동 트랜지스터(Qd) 중 적어도 하나는 p형 트랜지스터일 수 있다. 또한, 트랜지스터(Qs, Qd), 축전기(Cst) 및 유기 발광 소자(LD)의 연결 관계가 바뀔 수 있다.
- <47> 경우에 따라서는 스위칭 트랜지스터(Qs)와 구동 트랜지스터(Qd) 외에도 구동 트랜지스터(Qd)나 유기 발광 소자(LD)의 문턱 전압 보상을 위한 다른 트랜지스터들이 더 있을 수 있다.
- <48> 도 2 및 도 3은 도 1의 일 실시예에 따른 표시 장치의 구조 및 동작을 설명하기 위한 단면도이다. 도 2에서는 한 화소(PX)의 구동 트랜지스터(Qd)만을 도시하였다.
- <49> 도 2를 참조하면, 절연 기판(110) 상에 도 1의 스위칭 트랜지스터(Qs)에 연결된 제어 전극(120)이 형성되어 있다. 그러나 제어 전극(120)은 다른 능동 소자에 연결될 수도 있다.
- <50> 절연 기판(110)은 유리, 석영, 세라믹 또는 플라스틱 등의 절연성 재질을 포함할 수 있다.
- <51> 절연 기판(110)과 제어 전극(120) 위에는 규소 질화물(SiNx) 등으로 이루어진 게이트 절연막(121)이 형성되어 있다.
- <52> 제어 전극(120)에 대응하는 영역의 게이트 절연막(121) 상에는 비정질 규소로 이루어진 반도체층(130)과 n형 불순물이 고농도 도핑된 n+ 수소화 비정질 규소로 이루어진 저항성 접촉층(132)이 차례로 형성되어 있다. 저항성 접촉층(132)은 제어 전극(120)을 중심으로 양쪽으로 분리되어 있다.
- <53> 저항 접촉층(132) 및 게이트 절연막(121) 위에는 입력 전극(134)과 출력 전극(136)이 형성되어 있다. 입력 전극(134)과 출력 전극(136)은 제어 전극(120)을 중심으로 분리되어 있다.
- <54> 제어 전극(120), 게이트 절연막(121), 반도체층(130), 입력 전극(134) 및 출력 전극(136)은 구동 트랜지스터(Qd)를 형성한다.
- <55> 입력 전극(134)과 출력 전극(136) 및 이들이 가리지 않는 반도체층(130)의 상부에는 보호막(140)이 형성되어 있다. 보호막(140)은 규소 질화물(SiNx)을 포함할 수 있다.
- <56> 보호막(140) 상에는 평탄화층(142)이 형성되어 있다. 평탄화층(142)은 유기막을 포함할 수 있다. 유기막은 BCB(benzocyclobutene) 계열, 올레핀 계열, 아크릴 수지(acrylic resin) 계열, 폴리이미드(polyimide) 계열, 테프론 계열, 사이토프(cytop), 또는 FCB(perfluorocyclobutane) 중 적어도 하나를 포함할 수 있다..
- <57> 평탄화층(142)은 트렌치(146)를 가진다. 평탄화층(142)과 보호막(140)은 출력 전극(136)을 드러내는 접촉 구멍(144)을 가진다. 트렌치(146)는 비교적 평평한 바닥면과 경사를 이루고 있는 측면으로 이루어져 있다. 트렌치(146)의 측면과 절연 기판(110)이 이루는 각도(θ)는 예각을 이루고 있다. 일 실시예로, 각도(θ)는 약 40도 내지 50도일 수 있다. 트렌치(146)의 깊이(d)는 일 실시예로 100 nm 이상이다.
- <58> 트렌치(146) 내에는 반사막(150)이 형성되어 있다. 반사막(150)은 트렌치(146)의 바닥면 위에 위치한 수평부와 트렌치(146)의 측면 위에 위치한 경사부를 포함한다. 반사막(150)의 두께는 거의 일정할 수 있으며, 이에 따라 반사막(150)의 수평부와 경사부 사이의 각도는 대략 130도 내지 140도일 수 있다. 반사막(150)은 트렌치(146)를 넘어서까지 연장될 수 있다. 반사막(150)은 몰리브덴, 크롬, 은, 알루미늄 또는 그 합금 등의 반사성 금속을 포함할 수 있다. 반사막(150)의 하부에는 ITO (Indium Tin Oxide) 또는 IZO (Indium Zinc Oxide) 등으로 이루어진 버퍼층(도시하지 않음)이 형성될 수 있다. 버퍼층은 반사막(150)과 평탄화층(142)의 접착력을 향상시키는 기능을 한다. 일 실시예에 따른, 반사막(150)의 반사율은 약 70% 이상이며, 반사막(150)의 두께는 50nm 내지 500nm 정도일 수 있다. 반사막(150)의 두께가 50nm 미만이면 반사 효율이 감소하며, 반사막(150)의 두께가 500nm 초과하면 더 이상의 반사 효율 증가없이 공정 시간만 길어지게 된다.
- <59> 반사막(150)과 평탄화층(142) 상부 및 접촉 구멍(144) 내부에는 화소 전극(152)이 형성되어 있다. 화소 전극(152)은 접촉 구멍(144)을 통하여 출력 전극(136)과 연결되어 있다.
- <60> 본 실시예에서 화소 전극(150)은 반사막(150) 전체를 덮는다.
- <61> 화소 전극(152)은 ITO 또는 IZO를 포함할 수 있다.

- <62> 화소 전극(152)과 평탄화층(142) 상에는 격벽(160)이 형성되어 있다. 격벽(160)은 화소 전극(152) 가장자리 주변을 둘러싸서 개구부(opening)(365)를 정의하며 유기 절연물 또는 무기 절연물을 포함한다. 격벽(160)은 비교적 평평한 상면과 경사를 이루고 있는 측면으로 이루어져 있다. 격벽(160)의 측면은 반사막(150)의 경사면의 연장선과 거의 일치하도록 형성될 수 있으며 이렇게 하면 격벽(160)이 광경로를 가리지 않기 때문에 반사 효율이 좋아질 수 있다. 격벽(160)은 아크릴 수지, 폴리이미드 수지 등 내열성, 내용매성이 있는 감광 물질이나 SiO_2 , TiO_2 와 같은 무기 물질로 이루어질 수 있으며 유기층과 무기층의 이중 구조로 이루어질 수 있다.
- <63> 트렌치(146)에는 유기 발광 부재(170)가 형성되어 있다. 유기 발광 부재(170)은 정공 수송층(172), 발광층(173) 및 전자 수송층(174)을 포함하고 있다. 정공 수송층(172)과 발광층(173), 발광층(173)과 전자 수송층(174) 사이에는 각각 정공 주입층(도시하지 않음)과 전자 주입층(도시하지 않음)이 개재될 수 있다.
- <64> 유기 발광 부재(170)은 저분자 물질 또는 고분자 물질을 포함할 수 있다.
- <65> 유기 발광 부재(170)의 두께는 약 500Å 내지 약 3000Å일 수 있으며 유기 발광 부재(170)의 두께에 따라 트렌치(146)의 깊이가 달라질 수 있다. 발광층(173)은 적색, 녹색, 청색의 삼원색 등 기본색 중 하나의 빛을 발광할 수도 있고, 서로 다른 색상의 빛을 발광하는 복수의 부발광층(도시하지 않음)을 포함할 수도 있다. 일 실시예로 발광층(173)의 표면이 트렌치(146) 바깥의 평탄화층(142)의 상부 표면보다 낮을 수 있다.
- <66> 격벽(160) 및 유기 발광 부재(170)의 상부에는 공통 전극(180)이 형성되어 있다. 공통 전극(180)은 칼슘, 바륨, 마그네슘, 은 또는 그 합금을 포함할 수 있으며 두께는 50nm 내지 200nm 정도일 수 있다.
- <67> 공통 전극(180)의 두께가 50nm 이하이면 저항이 과도하게 커지고, 공통 전극(180)의 두께가 200nm 이상이면 공통 전극(180)의 투명도가 떨어질 우려가 있다. 일 실시예에 따르면, 공통 전극(180)의 광투과율은 약 50% 이상일 수 있다.
- <68> 도 3을 참고하면, 본 실시예에서 발광층(173)에서 발광된 빛은 공통 전극(180)을 거쳐 외부로 출사된다. 발광층(173)에서 발광된 빛 중 아래로 향하는 빛은 반사막(150)의 수평부에 의하여 반사되어 다시 위로 향하고, 측면 방향으로 진행하는 빛은 반사막(150)의 경사부에 의해 반사되어 위쪽으로 향하게 된다. 결국 측면으로 진행하는 빛도 표시에 사용할 수 있으므로 발광 효율이 향상된다. 트렌치(146)의 측면과 절연 기판(110)이 이루는 각도(θ)가 40도 내지 50도인 경우, 반사막(150)에 의해 반사된 빛은 절연 기판(110)의 수직 방향으로 진행하여 발광 효율은 더 향상될 수 있다. 발광층(173)의 표면이 트렌치(146) 바깥의 평탄화층(142)의 표면보다 하부에 위치하므로 측면 방향으로 향하는 빛을 효율적을 상부로 향하게 하여 발광 효율을 향상시킬 수 있다.
- <69> 도시하지는 않았지만 표시 장치(10)는 공통 전극(180) 상부에 형성된 추가의 보호막, 흡습막 등을 더 포함할 수 있으며, 유리 등으로 이루어진 밀봉 부재(encapsulation member)를 더 포함할 수 있다.
- <70> 도 4 내지 도 8은 도 2에 도시한 표시 장치를 본 발명의 한 실시예에 따라 제조하는 방법을 설명하기 위한 도면이다.
- <71> 도 4를 참조하면, 절연 기판(110) 상에 박막 트랜지스터(Qd)를 형성한다. 박막 트랜지스터(Qd)는 채널부가 비정질 규소로 이루어질 수 있으며 공지의 방법으로 제조될 수 있다.
- <72> 구동 트랜지스터(Qd) 상에 보호막(140) 및 평탄화층(142)을 형성한다.
- <73> 보호막(140)은 규소 질화물을 포함하고, 화학 기상 증착법으로 적층될 수 있다. 평탄화층(142)은 감광성 유기 물질로 만들어지며 슬릿 코팅 또는 스핀 코팅으로 도포될 수 있다.
- <74> 평탄화층(142) 상부에 마스크(200)를 정렬하고 노광한다.
- <75> 마스크(200)는 석영 따위를 포함하는 베이스 기판(210)과 베이스 기판(210) 상에 형성된 광 차단층(220)을 포함한다. 광 차단층(220)은 광폭부(wide portion)(221)와 협폭부(narrow portion)(222)를 포함한다. 광폭부(221)는 너비가 일정 값 이상인 부분이며, 협폭부(222)는 너비가 그보다 작은 부분이다. 마스크(200)는 투과 영역(A), 반사 영역(B) 및 반투과(translucent) 영역(C)을 포함한다.
- <76> 투과 영역(A)은 도 2의 접촉 구멍(144)이 형성될 위치에 대응하며 내부에 광 차단층(220)이 없다. 따라서 평탄화층(142)의 대응 부분을 광에 노출시킨다.
- <77> 반사 영역(B)은 도 2의 트렌치(146) 및 접촉 구멍(144)을 제외한 나머지 영역에 대응하며, 광폭부(221)로 덮여 있다. 반사 영역(B)은 광을 차단하므로 평탄화층(142)의 대응 부분을 광에 노출시키지 않는다.

- <78> 반투과 영역(C)은 도 2의 트렌치(146)가 형성될 위치에 대응하며, 일정 범위 이하의 간격으로 배치된 복수의 협폭부(222)로 이루어진 슬릿 패턴을 포함한다. 반투과 영역(C)은 광을 부분적으로 투과시키므로 평탄화층(142)의 대응 부분의 상부 일부를 광에 노출시킨다. 협폭부(222)의 조밀도는 형성하고자 하는 트렌치(146)의 깊이(d)에 따라 조절될 수 있다. 반투과 영역(C)의 가장자리로 갈수록 광 차단층(220)이 차지하는 면적이 넓어져서 빛이 통과하기 어려워질 수 있다. 예를 들면, 협폭부(222)의 너비는 일정하고 협폭부(222) 사이의 간격, 즉 슬릿의 너비는 반투과 영역(C)의 가장자리에 가까워질수록 좁아질 수 있다. 그러나 협폭부(222)의 너비와 협폭부(222) 사이의 간격이 모두 변하거나 협폭부(222) 사이의 간격은 일정하고 협폭부(222)의 너비만 변할 수도 있다. 협폭부(222)의 너비가 반투과 영역(C) 가장자리에서 협폭부(222) 사이의 간격을 조절함으로써 트렌치(146)의 측면과 절연 기판(110)이 이루는 각도(θ)를 조절할 수 있다.
- <79> 평탄화층(142) 중에서 광에 노출된 부분은 노광 후 현상 과정에서 분해된다. 따라서, 투과 영역(A)에 대응하는 평탄화층(142) 부분은 전부 제거되며 이에 따라 그 아래의 보호막(140) 부분이 노출된다. 반사 영역(B)에 대응하는 평탄화층(142) 부분은 제거되지 않고 남아 있고, 반투과 영역(C)에 대응하는 평탄화층(142) 부분은 광에 노출된 상부가 제거되고 하부는 남아있게 된다.
- <80> 현상 후 200℃ 내지 300℃에서 경화하여 트렌치(146)를 포함하며 위치에 따라 서로 다른 두께를 갖는 평탄화층(142)을 형성한다.
- <81>
- <82> 도 5를 참조하면, 보호막(140)의 노출된 부분을 식각 공정으로 제거하여 출력 전극(136)을 부분적으로 노출하는 접촉 구멍(144)을 형성한다.
- <83> 스퍼터링으로 금속층을 전면 증착한 후 패터닝하여 트렌치(146) 상에 반사막(150)을 형성한다. 금속층은 몰리브덴, 크롬, 은, 알루미늄 또는 그 합금의 반사성 금속을 포함할 수 있다. 반사막(150)은 트렌치(146)의 바닥면과 측면, 평탄화층(142)의 상부 표면 일부에 형성된다.
- <84> 도 6를 참조하면, 반사막(150), 접촉 구멍(144) 및 평탄화층(142) 위에 투명 도전막을 스퍼터링 방법으로 형성한 후 패터닝하여 화소 전극(152)을 형성할 수 있다. 투명 도전막을 ITO 또는 IZO를 포함할 수 있다.
- <85> 화소 전극(152)은 반사막(150)을 덮는다.
- <86> 도 7을 참조하면, 화소 전극(152) 및 평탄화층(142) 위에 감광성 유기물을 도포하고 사진 공정에 의하여 화소 전극(152)의 가장자리를 둘러싸고 있는 격벽(160)을 형성한다. 격벽(160)은 화소 전극(152)을 노출하는 개구부(165)를 가지며, 각 화소 전극(152) 사이를 분리한다. 격벽(160)의 측면과 절연 기판(110)이 이루는 각도는 트렌치(146) 측면과 절연 기판(110)이 이루는 각도(θ)와 유사하다. 격벽(160)의 측면은 트렌치(146)의 측면을 따라 형성된 반사막(150)의 연장선 상에 위치한다. 따라서, 개구부(165)는 트렌치(150)에 거의 대응하여 위치한다.
- <87> 도 8을 참조하면, 격벽(160)이 가지는 개구부(165)에 유기 물질을 마스크를 이용하여 증착하거나 잉크젯 프린팅을 이용해서 분사하여 반사막(150) 위에 유기 발광 부재(170)를 형성한다. 유기 발광 부재(170)는 정공 수송층(172), 발광층(173) 및 전자 수송층(174)을 포함한다. 일 실시예로 발광층(173)의 표면은 평탄화층(142)의 상부 표면보다 하부에 위치할 수 있다.
- <88> 도 2를 다시 참조하면, 이후 유기 발광 부재(170)와 격벽(160) 상에 금속층을 형성하여 패터닝함으로써 공통 전극(190)을 형성한다. 금속층은 칼슘, 바륨, 마그네슘, 은 또는 그 합금을 포함할 수 있으며 두께는 약 50nm 내지 약 200nm 일 수 있다.
- <89> 도 9은 본 발명의 다른 실시예에 따른 표시 장치(10)의 단면도이다. 반사막(150)을 제외하고는 도 2에 도시한 실시예와 거의 동일한 구조를 가진다. 따라서, 반복 설명은 생략한다.
- <90> 반사막(150)은 화소 전극(152)과 평면상 동일한 패턴을 갖고, 반사막(150)과 화소 전극(152)의 가장자리는 일치한다. 도 5 및 도 6에서는 반사막(150)을 형성한 후 화소 전극(152)을 형성하는 반면, 금속층과 투명 도전막을 연속적으로 적층한 후 한 번의 사진 공정 등으로 동시에 패터닝하여 반사막(150)과 화소 전극(152)을 형성함으로써 공정을 단순화하여 비용을 절감할 수 있다.
- <91> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수

있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야 한다.

도면의 간단한 설명

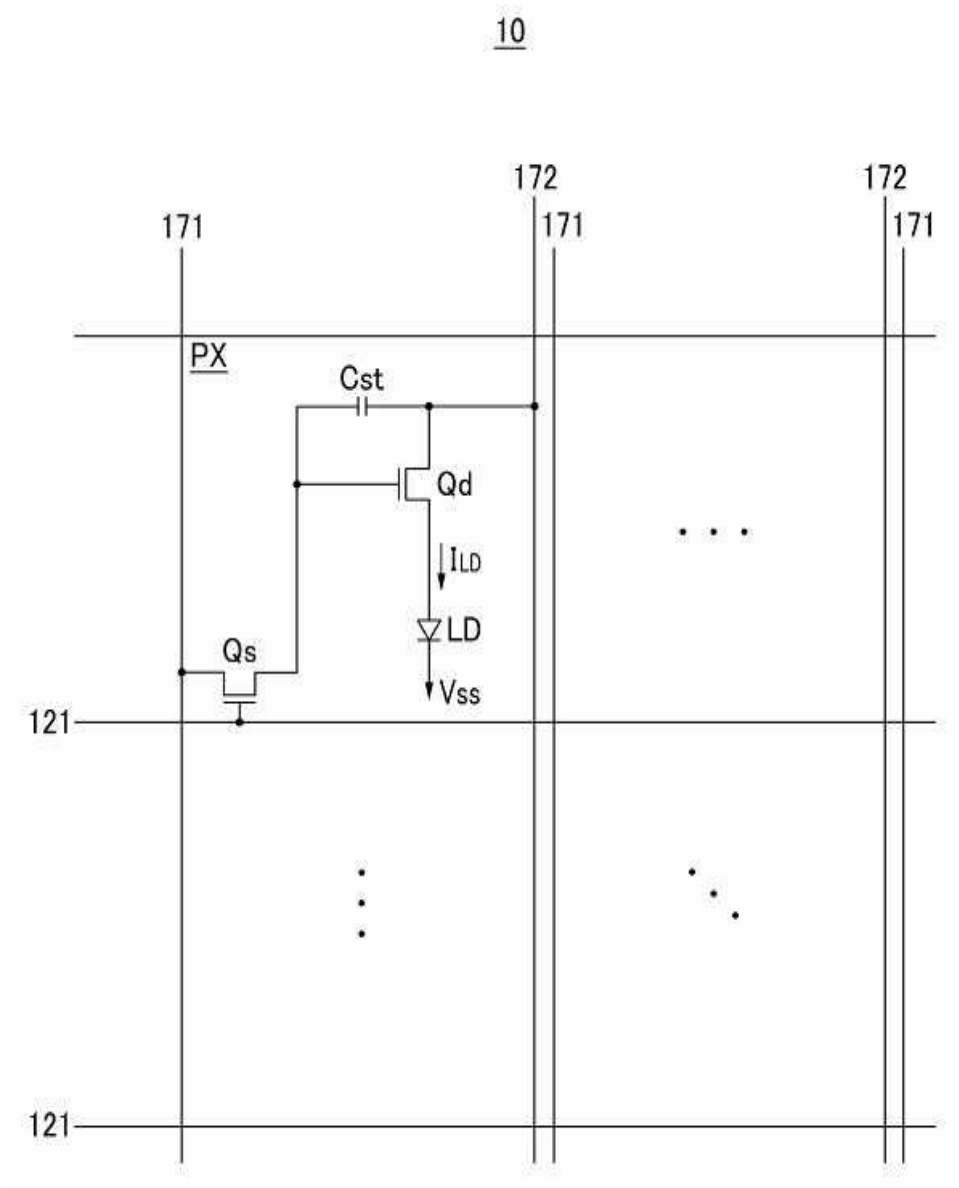
<92> 도 1은 본 발명의 일 실시예에 따른 표시 장치의 등가 회로도이고,
 <93> 도 2는 본 발명의 일 실시예에 따른 표시 장치의 단면도이고,
 <94> 도 3은 도 2에 도시한 표시 장치의 동작을 설명하는 개략적인 단면도이고,
 <95> 도 4 내지 도 8은 본 발명의 일 실시예에 따른 표시 장치의 제조 방법을 나타낸 단면도이고,
 <96> 도 9는 본 발명의 다른 실시예에 따른 표시 장치의 단면도이다.

* 도면의 주요부분의 부호에 대한 설명 *

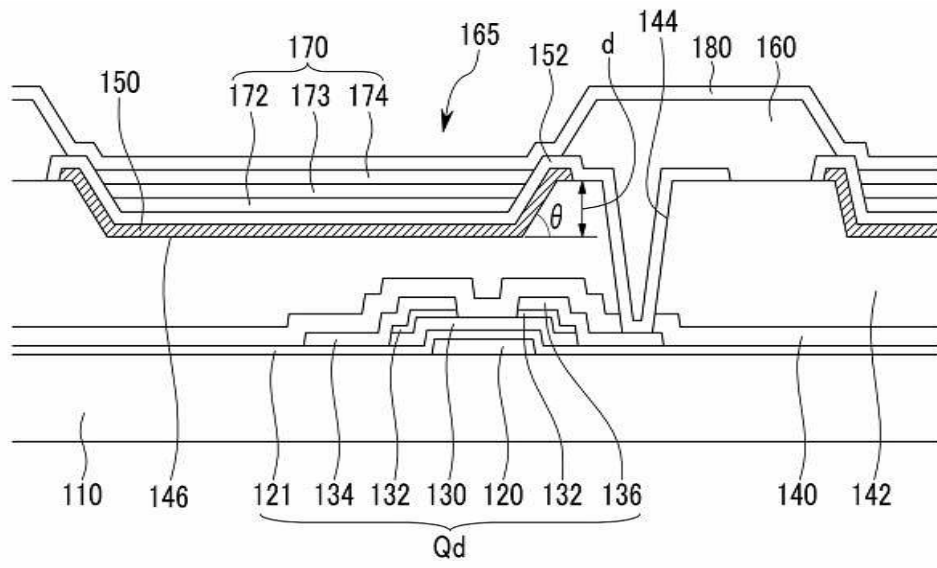
<98> 110: 절연 기판	146: 트렌치
<99> 150: 반사막	152: 화소 전극
<100> 170: 유기 발광 부재	160: 격벽
<101> 180: 공통 전극	

도면

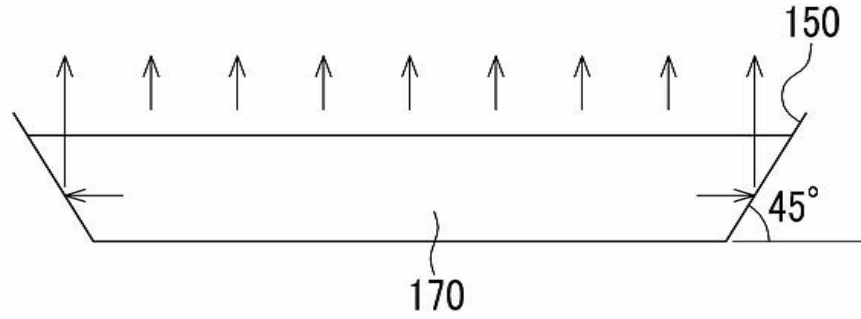
도면1



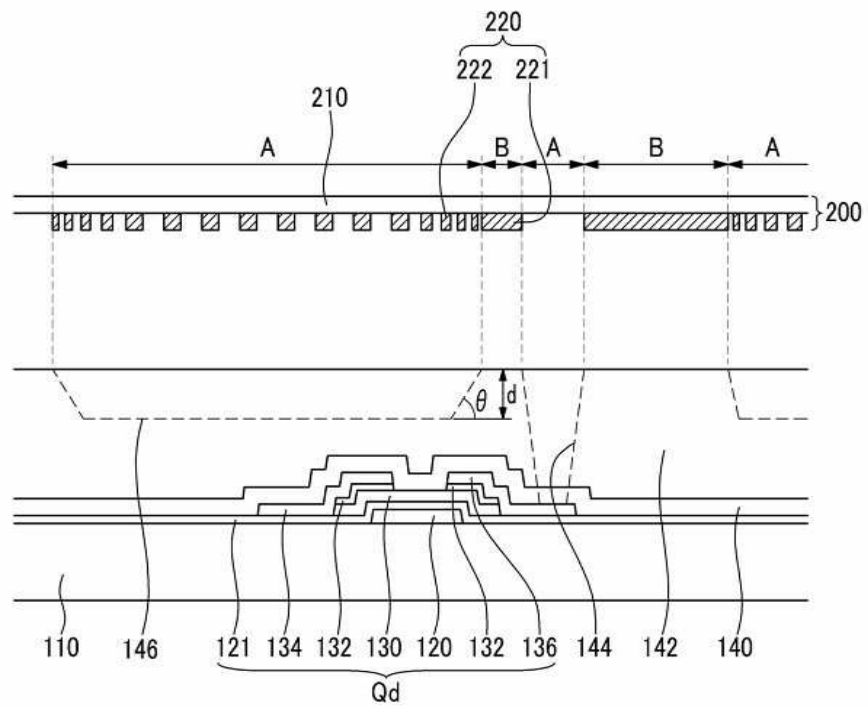
도면2



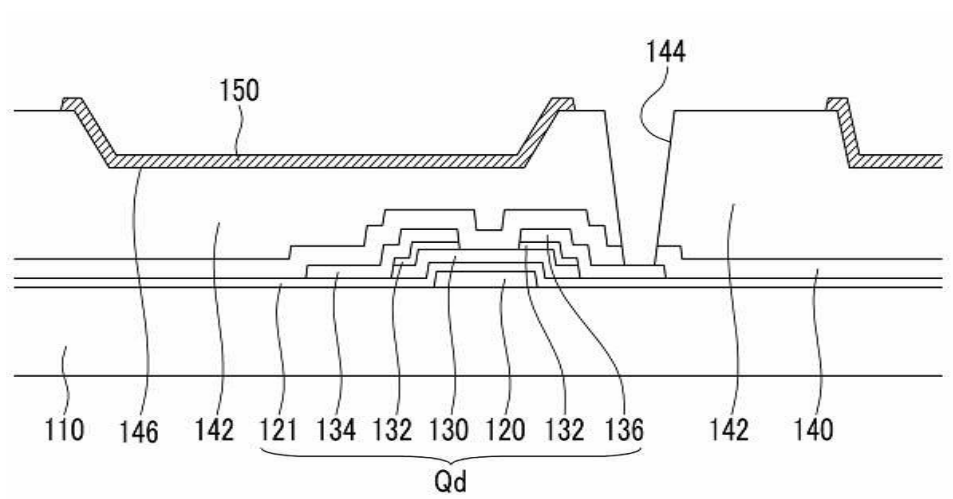
도면3



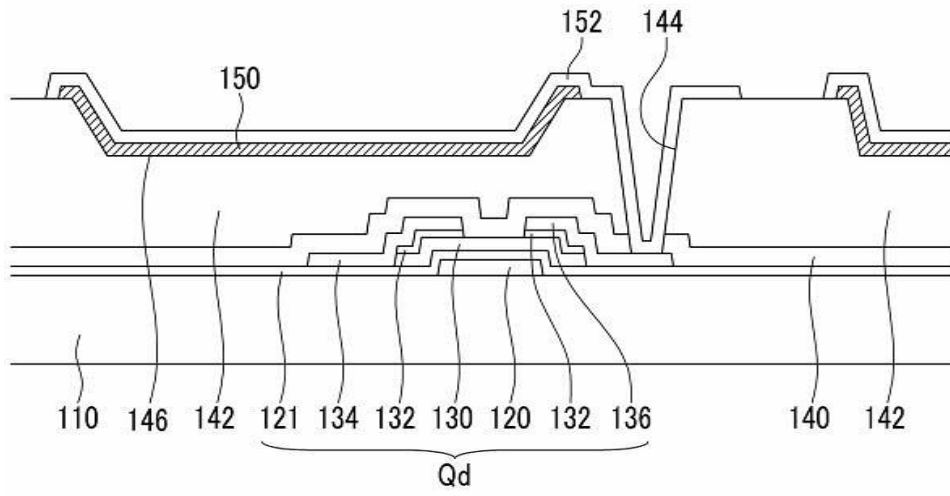
도면4



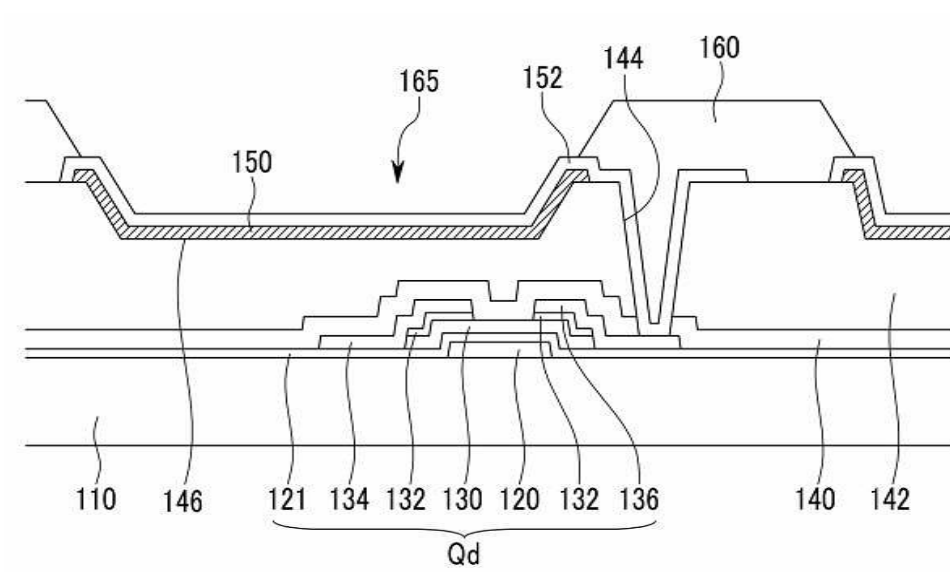
도면5



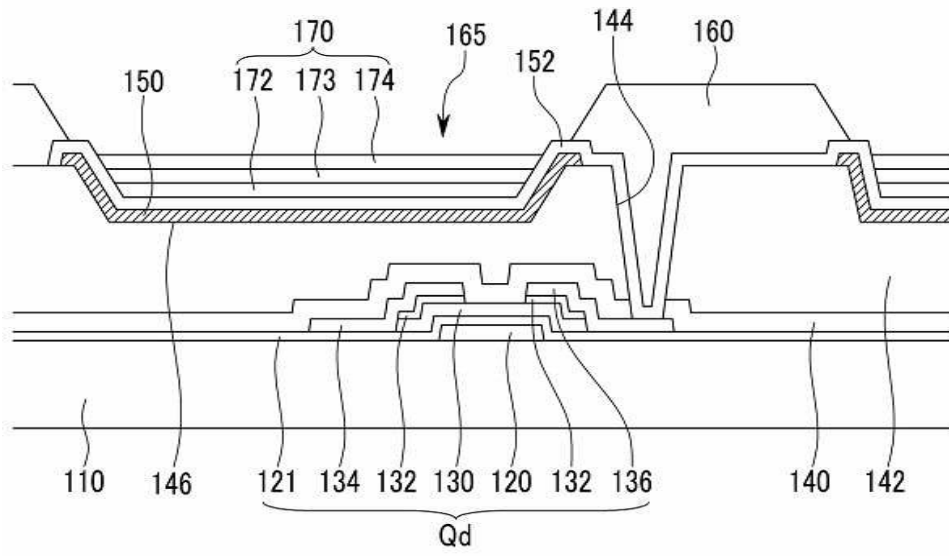
도면6



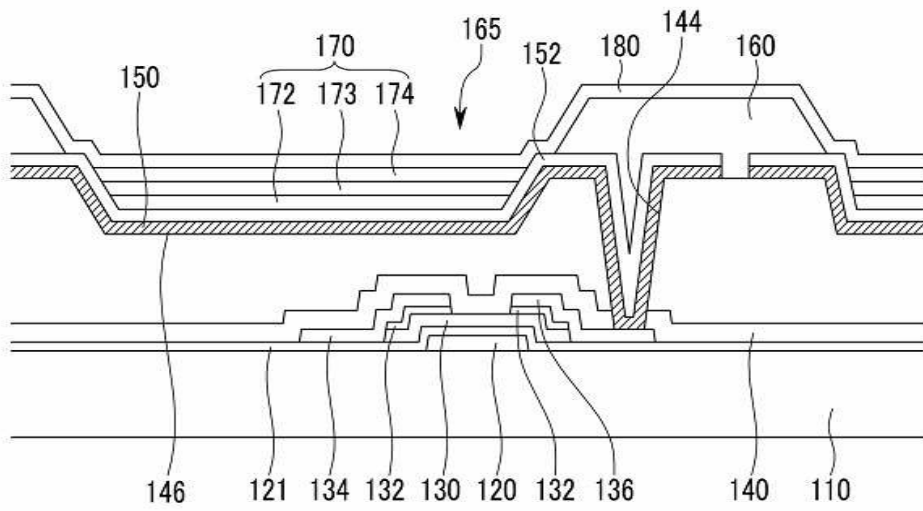
도면7



도면8



도면9



This cross-sectional view shows a gate stack 110 on a substrate 140. The gate stack includes a gate dielectric 142 and a gate electrode 144. A trench 160 is formed in the gate stack, with a bottom surface 165 and side walls 152. The trench is filled with a material 146. A gate electrode 150 is formed on the side walls 152 of the trench. A gate electrode 170 is formed on the bottom surface 165 of the trench. The gate electrode 170 is divided into three regions: 172, 173, and 174. The gate electrode 170 is formed on a layer 120, which is divided into regions 121, 134, 132, 130, 120, 132, and 136. A layer 110 is formed on the substrate 140. The angle of the side wall 152 is denoted by θ . The height of the gate electrode 150 is denoted by d . The gate electrode 150 is formed on a layer 120, which is divided into regions 121, 134, 132, 130, 120, 132, and 136. The gate electrode 150 is formed on a layer 120, which is divided into regions 121, 134, 132, 130, 120, 132, and 136.