



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0117896
(43) 공개일자 2007년12월13일

(51) Int. Cl.

H05B 33/26 (2006.01) H05B 33/10 (2006.01)

(21) 출원번호 10-2006-0052107

(22) 출원일자 2006년06월09일

심사청구일자 없음

(71) 출원인

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

안태경

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소

김민규

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소

권세열

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소

(74) 대리인

신영무

전체 청구항 수 : 총 8 항

(54) 유기 발광 표시장치의 제조방법

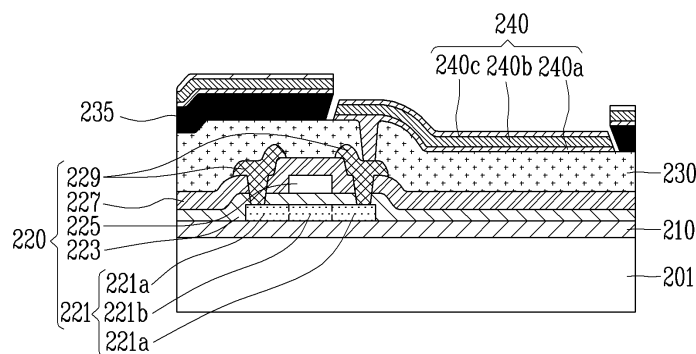
(57) 요약

본 발명은 암점의 발생을 방지하고 인접 화소와의 단락을 방지할 수 있도록 한 유기 발광 표시장치의 제조방법에 관한 것이다.

본 발명에 따른 유기 발광 표시장치의 제조방법은 가요성 기판 상에 적어도 하나의 박막 트랜지스터를 형성하는 단계와, 상기 박막 트랜지스터 상에 평탄화막을 형성하는 단계와, 상기 평탄화막 상에 네거형 포토레지스트막을 형성하는 단계와, 상기 포토레지스트막을 패터닝하여 상기 평탄화막의 일영역을 노출시키는 단계와, 상기 노출된 평탄화막 상에 반사막을 포함한 적어도 두 개의 막으로 구성된 애노드 전극을 형성하는 단계와, 상기 애노드 전극 상에 발광층 및 캐소드 전극을 형성하는 단계를 포함한다.

이에 의하여, 인접 화소와의 단락 및 암점 발생을 방지할 수 있다. 또한, 후속 공정을 용이하게 하고 화소의 동작특성을 향상시킬 수 있다.

대표도 - 도3d



특허청구의 범위

청구항 1

가요성 기판 상에 적어도 하나의 박막 트랜지스터를 형성하는 단계와,
상기 박막 트랜지스터 상에 평탄화막을 형성하는 단계와,
상기 평탄화막 상에 네거형 포토레지스트막을 형성하는 단계와,
상기 포토레지스트막을 패터닝하여 상기 평탄화막의 일영역을 노출시키는 단계와,
상기 노출된 평탄화막 상에 반사막을 포함한 적어도 두 개의 막으로 구성된 애노드 전극을 형성하는 단계와,
상기 애노드 전극 상에 발광층 및 캐소드 전극을 형성하는 단계를 포함하는 유기 발광 표시장치의 제조방법.

청구항 2

제1 항에 있어서,
상기 애노드 전극을 형성하는 단계는
상기 패터닝된 포토레지스트막과 상기 노출된 평탄화막 상에 제1 ITO(Indium Tin Oxide)막을 형성하는 단계와,
상기 제1 ITO막 상에 반사막을 형성하는 단계와,
상기 반사막 상에 제2 ITO막을 형성하는 단계와,
상기 포토레지스트막과, 상기 패터닝된 포토레지스트막 상에 형성된 상기 제1 ITO막, 반사막 및 제2 ITO막을 리프트 오프 공정에 의하여 제거하는 단계를 포함하는 유기 발광 표시장치의 제조방법.

청구항 3

제2 항에 있어서,
상기 제1 ITO막은 상기 박막 트랜지스터의 드레인 전극과 접속되도록 형성하는 유기 발광 표시장치의 제조방법.

청구항 4

제2 항에 있어서,
상기 반사막은 은으로 형성하는 것을 특징으로 하는 유기 발광 표시장치의 제조방법.

청구항 5

제1 항에 있어서,
상기 포토레지스트막을 패터닝하는 단계에서, 상기 애노드 전극이 형성될 부분과 중첩되도록 마스크를 형성하여 상기 포토레지스트막을 선택적으로 노광 및 현상함으로써 상기 포토레지스트막이 역테이퍼 형상이 되도록 패터닝하는 유기 발광 표시장치의 제조방법.

청구항 6

제1 항에 있어서,
상기 애노드 전극을 형성하는 단계에서, 상기 애노드 전극을 테이퍼 형상으로 패터닝하는 유기 발광 표시장치의 제조방법.

청구항 7

제1 항에 있어서,
상기 개요성 기판은 금속박막으로 형성하는 것을 특징으로 하는 유기 발광 표시장치의 제조방법.

청구항 8

제7 항에 있어서,

상기 금속박막은 스테인리스 스틸 또는 티타늄을 이용하여 형성하는 것을 특징으로 하는 유기 발광 표시장치의 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <10> 본 발명은 유기 발광 표시장치의 제조방법에 관한 것으로, 특히 반사막을 구비한 유기 발광 표시장치를 제조함에 있어서, 암점의 발생을 방지하고 인접 화소와의 단락을 방지할 수 있도록 한 유기 발광 표시장치의 제조방법에 관한 것이다.
- <11> 최근, 음극선관과 비교하여 무게가 가볍고 부피가 작은 각종 평판 표시장치들이 개발되고 있으며 특히 발광효율, 휘도 및 시야각이 뛰어나고 응답속도가 빠른 유기 발광 표시장치(Organic Light Emitting Display)가 주목받고 있다. 유기 발광 표시장치는 자발광소자인 유기 발광 다이오드(Organic Light Emitting Diode, OLED)를 이용한 것으로, 유기 발광 다이오드는 애노드 전극 및 캐소드 전극과, 이들 사이에 위치되어 애노드 전극 및 캐소드 전극으로부터 공급된 정공 및 전자가 재결합함으로써 여기분자가(Exciton) 생성되어 발광하는 유기 발광층을 포함한다.
- <12> 도 1a 내지 도 1g는 종래의 제조공정에 의한 유기 발광 표시장치의 화소의 형성단계별 단면도이다. 도 1a 내지 도 1g에서는 반사막을 구비하는 능동형 전면발광 유기 발광 표시장치의 화소를 도시하기로 한다. 편의상, 유기 발광 다이오드와 유기 발광 다이오드에 접속된 트랜지스터만을 도시하였다.
- <13> 도 1a 내지 도 1g를 참조하면, 종래의 제조공정에 의해 화소(100)를 제조하기 위해서는 우선, 기판(101) 상에 적어도 하나의 버퍼층(110) 및 박막 트랜지스터(120)를 형성한다. 여기서, 버퍼층(110)은 질화막 또는 산화막으로 형성한다. 그리고, 박막 트랜지스터(120)는 소스 및 드레인 영역(121a)과 채널 영역(121b)을 포함하는 반도체층(121)과, 반도체층(121) 상에 형성된 게이트 절연막(123)과, 게이트 절연막(123) 상에 형성된 게이트 전극(125)과, 게이트 전극(125) 상에 형성된 층간 절연막(127)과, 층간 절연막(127) 상에 형성되며 소스 및 드레인 영역(121a)과 전기적으로 접속되는 소스 및 드레인 전극(129)을 포함하여 구성되도록 형성한다.(도 1a)
- <14> 버퍼층(110) 및 박막 트랜지스터(120)가 형성되면, 박막 트랜지스터(120) 상에 평탄화막(130)을 형성한다. 평탄화막(130)이 형성되면, 평탄화막(130)을 관통하며 드레인 전극(129)을 노출시키는 비아홀을 형성한다.
- <15> 이후, 평탄화막(130) 상에 제1 ITO(Indium Tin Oxide)막(140a), 반사막(140b) 및 제2 ITO막(140c)을 차례로 형성한다. 여기서, 제1 ITO막(140a) 및 제2 ITO막(140c)은 약 70Å의 두께로 형성하고, 반사막(140b)은 약 1000Å의 두께로 형성한다. 이와 같은 제1 ITO막(140a), 반사막(140b) 및 제2 ITO막(140c)은 패터닝되어 유기 발광 다이오드의 애노드 전극(140)을 형성하게 된다. 반사막(140b)은 전기전도도 및 발광 효율을 높이기 위한 것으로, 은(Ag), 알루미늄(Al) 또는 알루미늄 합금 등으로 형성한다. 여기서, 제1 ITO막(140a)은 은으로 반사막(140b)을 형성하는 경우 평탄화막(130)과의 점착력을 개선하기 위하여 평탄화막(130)과 반사막(140b) 사이에 형성되는 것이다. 그리고, 제2 ITO막(140c)은 애노드 전극(140)으로서의 일함수를 맞추기 위하여 반사막(140b) 상에 형성된다.(도 1b)
- <16> 제1 ITO막(140a), 반사막(140b) 및 제2 ITO막(140c)이 형성되면, 제2 ITO막(140c) 상에 포지티브 포토레지스트(Positive PR)를 코팅하고, 소프트 베이킹(soft-baking) 공정을 수행함으로써 포토레지스트막(145)을 형성한다.(도 1c)
- <17> 이후, 노광 및 현상 공정에 의하여 포토레지스트막(145)을 패터닝하고, 하드 베이킹(hard-baking) 공정을 수행한다.(도 1d)
- <18> 이후, 에천트(etchant)에 의하여 제1 ITO막(140a), 반사막(140b) 및 제2 ITO막(140c)을 패터닝함으로써, 애노드 전극(140)을 형성한다.(도 1e)
- <19> 애노드 전극(140)이 형성되면, 스트립 공정을 실시하여 애노드 전극(140) 상에 남아있는 포토레지스트막(145)을

제거한다.(도 1f)

- <20> 이후, 평탄화막(130) 및 애노드 전극(140) 상에 화소정의막(150), 발광층(160) 및 캐소드 전극(170)을 형성한다.(도 1g)
- <21> 전술한 종래의 제조 공정에 있어서, 제1 ITO막(140a), 반사막(140b) 및 제2 ITO막(140c)을 패터닝할 때, 구성물질 및 두께의 차이로 인하여 제1 ITO막(140a) 및 제2 ITO막(140c)과, 반사막(140b)의 에칭 속도는 서로 달라진다. 좀 더 구체적으로, 제1 ITO막(140a) 및 제2 ITO막(140c)의 에칭 속도는 반사막(140b)의 에칭 속도에 비해 현저히 느리다. 따라서, 제1 ITO막(140a) 및 제2 ITO막(140c)을 잔막없이 깔끔하게 패터닝하기 위해서는 충분한 시간 동안 에칭을 수행해야한다. 그런데, 반사막(140b)의 에칭 속도는 빠르기 때문에 에천트에 노출되는 반사막(140b)의 측면이 부식될 수 있다. 이와 같은 반사막(140b)의 부식은 암점발생의 원인이 된다.
- <22> 또한, 이를 방지하기 위하여 에칭 시간을 감소시킬 경우, 제1 ITO막(140a) 및 제2 ITO막(140c)이 깔끔하게 패터닝되지 않고 잔막이 남게될 수 있다. 이와 같은 잔막들은 인접 화소와의 단락을 일으키는 원인이 된다.
- <23> 따라서, 제1 ITO막(140a) 및 제2 ITO막(140c)과, 반사막(140b)의 에칭 속도에 관계없이 반사막(140b)의 부식에 의한 암점의 발생을 방지하고, 애노드 전극(140) 형성 영역을 제외한 부분의 제1 ITO막(140a) 및 제2 ITO막(140c)의 잔막을 깔끔하게 제거하여 인접 화소와의 단락을 방지할 수 있는 제조방법이 요구되고 있다.

발명이 이루고자 하는 기술적 과제

- <24> 따라서, 본 발명의 목적은 반사막을 구비한 유기 발광 표시장치의 제조방법에 있어서, 암점의 발생을 방지하고 인접 화소와의 단락을 방지할 수 있도록 한 유기 발광 표시장치의 제조방법을 제공하는 것이다.

발명의 구성 및 작용

- <25> 상기 목적을 달성하기 위하여, 본 발명은 가요성 기판 상에 적어도 하나의 박막 트랜지스터를 형성하는 단계와, 상기 박막 트랜지스터 상에 평탄화막을 형성하는 단계와, 상기 평탄화막 상에 네거형 포토레지스트막을 형성하는 단계와, 상기 포토레지스트막을 패터닝하여 상기 평탄화막의 일영역을 노출시키는 단계와, 상기 노출된 평탄화막 상에 반사막을 포함한 적어도 두 개의 막으로 구성된 애노드 전극을 형성하는 단계와, 상기 애노드 전극 상에 발광층 및 캐소드 전극을 형성하는 단계를 포함하는 유기 발광 표시장치의 제조방법을 제공한다.
- <26> 바람직하게, 상기 애노드 전극을 형성하는 단계는 상기 패터닝된 포토레지스트막과 상기 노출된 평탄화막 상에 제1 ITO(Indium Tin Oxide)막을 형성하는 단계와, 상기 제1 ITO막 상에 반사막을 형성하는 단계와, 상기 반사막 상에 제2 ITO막을 형성하는 단계와, 상기 포토레지스트막과, 상기 패터닝된 포토레지스트막 상에 형성된 상기 제1 ITO막, 반사막 및 제2 ITO막을 리프트 오프 공정에 의하여 제거하는 단계를 포함한다. 상기 제1 ITO막은 상기 박막 트랜지스터의 드레인 전극과 접속되도록 형성한다. 상기 반사막은 은으로 형성하는 것을 특징으로 한다. 상기 포토레지스트막을 패터닝하는 단계에서, 상기 애노드 전극이 형성될 부분과 중첩되도록 마스크를 형성하여 상기 포토레지스트막을 선택적으로 노광 및 현상함으로써 상기 포토레지스트막이 역테이퍼 형상이 되도록 패터닝한다. 상기 애노드 전극을 형성하는 단계에서, 상기 애노드 전극을 테이퍼 형상으로 패터닝한다. 상기 가요성 기판은 금속박막으로 형성하는 것을 특징으로 한다. 상기 금속박막은 스테인리스 스틸 또는 티타늄을 이용하여 형성하는 것을 특징으로 한다.
- <27> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예가 첨부된 도 2 내지 도 3f를 참조하여 자세히 설명하면 다음과 같다.
- <28> 도 2는 본 발명의 실시예에 의한 유기 발광 표시장치의 화소를 나타내는 단면도이다. 도 2에서는 애노드 전극에 반사막이 포함되어 구성된 능동형 전면발광 유기 발광 표시장치의 화소를 도시하였지만, 본 발명이 이에 한정되는 것은 아니다. 또한, 화소에는 적어도 하나의 트랜지스터 및 커패시터들이 포함될 수 있으나 편의상, 유기 발광 다이오드와 유기 발광 다이오드에 접속된 트랜지스터만을 도시하기로 한다.
- <29> 도 2를 참조하면, 본 발명의 실시예에 의한 유기 발광 표시장치의 화소(200)는 기판(201) 상에 형성된 적어도 하나의 버퍼층(210)과, 버퍼층(210) 상에 형성된 박막 트랜지스터(220)와, 박막 트랜지스터(220) 상에 형성된 평탄화막(230)과, 평탄화막(230) 상에 형성되며 박막 트랜지스터(220)와 전기적으로 접속되는 유기 발광 다이오드의 애노드 전극(240)과, 평탄화막(230) 및 애노드 전극(240) 상에 형성되며 애노드 전극(240)의 적어도 일부를 노출시키는 개구부가 형성된 화소정의막(250)과, 애노드 전극(240) 상에 형성된 발광층(260)과, 발광층(260) 상에 형성된 캐소드 전극(270)을 포함한다.

- <30> 여기서, 기관(201)은 가요성 표시장치에 유용하도록 스테인리스 스틸 또는 티타늄 등으로 이루어진 금속박막으로 형성된다.
- <31> 그리고, 애노드 전극(240)은 반사막(240b)을 포함한 적어도 두 개의 막으로 구성된다. 반사막(240b)은 전기전도도 및 발광 효율을 높이기 위한 것으로, 은(Ag), 알루미늄(Al) 또는 알루미늄 합금 등으로 형성될 수 있다. 편의상, 본 실시예에서는 반사막(240b)을 은으로 형성하는 경우에 대해 상술하기로 한다.
- <32> 반사막(240b)이 은으로 형성될 경우, 애노드 전극(240)은 제1 ITO막(240a), 반사막(240b) 및 제2 ITO막(240c)의 다중막으로 구성된다. 이를 좀 더 구체적으로 설명하면, 평탄화막(230) 상에 은으로 이루어진 반사막(240b)이 형성될 경우 점착특성이 좋지않기 때문에 평탄화막(230)과 반사막(240b) 사이에 제1 ITO막(240a)을 형성한다. 이와 같은 제1 ITO막(240a)은 대략 70Å의 두께로 형성되며, 박막 트랜지스터(220)의 드레인 전극(229)과 전기적으로 접속되도록 형성된다. 제1 ITO막(240a) 상에는 대략 1000Å의 두께를 갖는 반사막(240b)이 형성되고, 반사막(240b) 상에는 대략 70Å의 두께를 갖는 제2 ITO막(240c)이 형성된다. 제2 ITO막(240c)은 일함수를 맞추기 위한 것으로, 제2 ITO막(240c)이 구비됨으로 인하여 제1 ITO막(240a), 반사막(240b) 및 제2 ITO막(240c)의 다중막은 애노드 전극(240)으로서의 역할을 수행할 수 있게 된다. 이와 같은 애노드 전극(240)은 테이퍼 형상으로 형성되며, 이에 대한 상세한 설명은 후술하기로 한다. 한편, 본 실시예에서 애노드 전극(240)의 다중막을 구성하는 물질이 은과 ITO인 경우에 대해 상술하였지만, 본 발명이 이에 한정되는 것은 아니다.
- <33> 이하에서는 도 3a 내지 도 3f를 참조하여, 본 발명의 실시 형태에 의한 도 2에 도시된 화소의 형성단계를 상술하기로 한다.
- <34> 도 3a 내지 도 3f를 참조하면, 본 발명의 실시 형태에 의하여 화소(200)를 형성하기 위해서는 우선, 가요성을 갖는 금속박막 기관(201) 상에 적어도 하나의 버퍼층(210) 및 박막 트랜지스터(220)를 형성한다. 여기서, 버퍼층(210)은 적어도 하나의 질화막 또는 산화막으로 형성한다. 그리고, 박막 트랜지스터(220)는 버퍼층(210) 상에 반도체층(221)을 형성하는 공정, 반도체층(221) 상에 게이트 절연막(223)을 형성하는 공정, 게이트 절연막(223) 상에 게이트 전극(225)을 형성하는 공정, 게이트 전극(225)을 마스크로 이용하여 반도체층(221)을 도핑함으로써 소스 및 드레인 영역(221a)을 형성하는 공정, 게이트 전극(225) 상에 층간 절연막(227)을 형성하는 공정, 층간 절연막(227)을 관통하며 소스 및 드레인 영역(221a)을 노출시키는 콘택홀을 형성하는 공정, 층간 절연막(227) 상에 콘택홀을 통해 소스 및 드레인 영역(221a)과 전기적으로 접속되도록 소스 및 드레인 전극(229)을 형성하는 공정을 통해 제조된다.(도 3a)
- <35> 버퍼층(210) 및 박막 트랜지스터(220)가 형성되면, 박막 트랜지스터(220) 상에 평탄화막(230)을 형성한다. 평탄화막(230)은 아크릴 등의 절연물질을 증착함으로써 형성된다. 평탄화막(230)이 형성되면, 평탄화막(230)을 관통하며 박막 트랜지스터(220)의 드레인 전극(229)을 노출시키는 비아홀을 형성한다.
- <36> 비아홀이 형성되면, 평탄화막(230) 상에 네거형 포토레지스트(negative PR)를 코팅하고, 소프트 베이킹(soft-baking) 공정을 수행함으로써 포토레지스트막(235)을 형성한다. 소프트 베이킹 공정은 용제(solvent)를 휘발시켜 포토레지스트를 가경화시킨다. 이때, 포토레지스트막(235)은 1μm이상의 두께를 갖도록 형성한다.(도 3b)
- <37> 포토레지스트막(235)이 형성되면, 마스크(미도시)를 이용하여 포토레지스트막(235)을 선택적으로 자외선(ultraviolet rays, UV) 등에 노광시키고, 현상액에 의해 현상함으로써 포토레지스트막(235)을 패터닝한다. 여기서, 네거형 포토레지스트를 사용하였기 때문에 포토레지스트를 제거하려는 부분(즉, 애노드 전극(240)이 형성될 부분)에는 입광이 되지 않도록 한다. 또한, 네거형 포토레지스트 공정의 특성상 포토레지스트막(235)은 역테이퍼 형상으로 패터닝된다. 포토레지스트막(235)이 패터닝되면, 하드 베이킹(hard-baking) 공정을 수행하여 포토레지스트막(235)을 경화시킨다.(도 3c)
- <38> 이후, 패터닝된 포토레지스트막(235) 및 노출된 평탄화막(230) 상에 제1 ITO막(240a), 반사막(240b) 및 제2 ITO막(240c)을 차례로 형성한다. 여기서, 제1 ITO막(240a) 및 제2 ITO막(240c)은 약 70Å의 두께로 형성하고, 반사막(240b)은 약 1000Å의 두께로 형성한다. 그리고, 노출된 평탄화막(230) 상에 형성되는 제1 ITO막(240a)은 비아홀을 통해 박막 트랜지스터(220)의 드레인 전극(229)과 전기적으로 접속되도록 한다. 이때, 포토레지스트막(235)의 두께가 제1 ITO막(240a), 반사막(240b) 및 제2 ITO막(240c)의 두께보다 현저히 크기 때문에 제1 ITO막(240a), 반사막(240b) 및 제2 ITO막(240c)은 포토레지스트막(235)의 측면부에서 끊기도록 형성된다.(도 3d)
- <39> 이후, 리프트 오프(lift-off) 공정에 의하여 포토레지스트막(235)과, 포토레지스트막(235) 상에 형성되어있던 제1 ITO막(240a), 반사막(240b) 및 제2 ITO막(240c)을 제거한다. 그러면, 평탄화막(230) 상에는 제1 ITO막(240a), 반사막(240b) 및 제2 ITO막(240c)으로 구성된 애노드 전극(240)이 형성된다. 이때, 포토레지스트막

(235)이 역테이퍼 형상으로 형성되어있었기 때문에 포토레지스트막(235)이 형성되어 있지 않았던 부분에 형성된 애노드 전극(240)은 테이퍼 형상으로 형성된다. 이와 같이 애노드 전극(240)이 테이퍼 형상으로 형성되면 후속 공정에서 애노드 전극(240) 상에 막을 형성하는 것이 용이해지고, 애노드 전극(240)의 측면에도 상위막이 균일하게 증착되어 화소(200)의 동작특성이 향상된다.(도 3e)

<40> 애노드 전극(240)이 형성되면, 평탄화막(230) 및 애노드 전극(240) 상에 화소정의막(250), 발광층(260) 및 캐소드 전극(270)을 순차적으로 형성한다.(도 3f)

<41> 전술한 실시 형태에 의하여 화소(200)를 형성하면, 포토레지스트막(235)이 패터닝된 이후에 노출된 평탄화막(230)과 포토레지스트막(235) 상에 제1 ITO막(240a), 반사막(240b) 및 제2 ITO막(240c)을 형성하고 리프트-오프 공정에 의하여 애노드 전극(240)을 형성함으로써, 에칭속도에 관계없이 포토레지스트막(235) 상에 형성되어 있던 제1 ITO막(240a), 반사막(240b) 및 제2 ITO막(240c)을 잔막없이 깔끔하게 제거하고 반사막(240b)의 부식도 방지할 수 있다. 이로 인하여, 인접 화소와의 단락 및 암점 발생이 방지된다. 또한, 네거형 포토레지스트를 사용하여 애노드 전극(240)을 테이퍼 형상으로 형성함으로써, 후속공정이 용이해지고 화소(200)의 동작특성이 향상된다.

<42> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술 사상의 범위 내에서 다양한 변형예가 가능함을 이해할 수 있을 것이다.

발명의 효과

<43> 상술한 바와 같이, 본 발명의 실시예에 의한 유기 발광 표시장치의 제조방법에 따르면, 애노드 전극 패터닝시에 ITO 잔막을 깔끔하게 제거하여 인접 화소와의 단락을 방지하고, 반사막의 부식으로 인한 암점 발생을 방지할 수 있다. 또한, 애노드 전극을 테이퍼 형상으로 형성함으로써, 후속 공정을 용이하게 하고 화소의 동작특성을 향상시킬 수 있다.

<44>

도면의 간단한 설명

<1> 도 1a 내지 도 1g는 종래의 제조공정에 의한 유기 발광 표시장치의 화소의 형성단계별 단면도이다.

<2> 도 2는 본 발명의 실시예에 의한 유기 발광 표시장치의 화소를 나타내는 단면도이다.

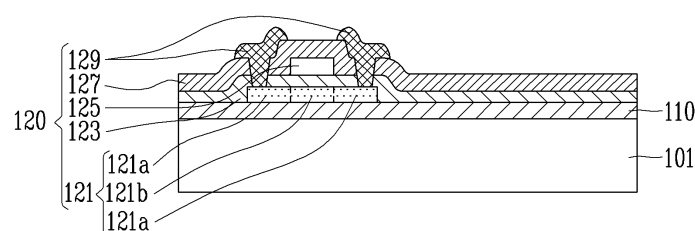
<3> 도 3a 내지 도 3f는 본 발명의 실시 형태에 의한 도 2에 도시된 화소의 형성단계별 단면도이다.

<4> <도면의 주요 부분에 대한 부호의 설명>

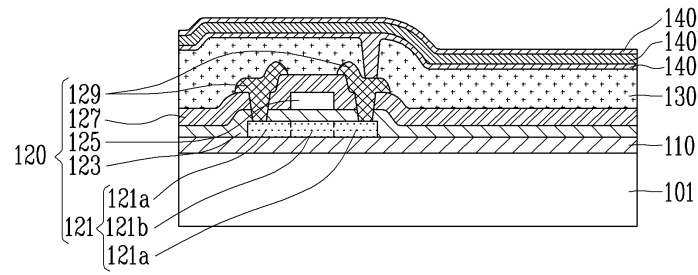
- | | |
|-------------------|-------------|
| <5> 200: 화소 | 201: 기판 |
| <6> 220: 박막 트랜지스터 | 240: 애노드 전극 |
| <7> 240a: 제1 ITO막 | 240b: 반사막 |
| <8> 240c: 제2 ITO막 | 260: 발광층 |
| <9> 270: 캐소드 전극 | |

도면

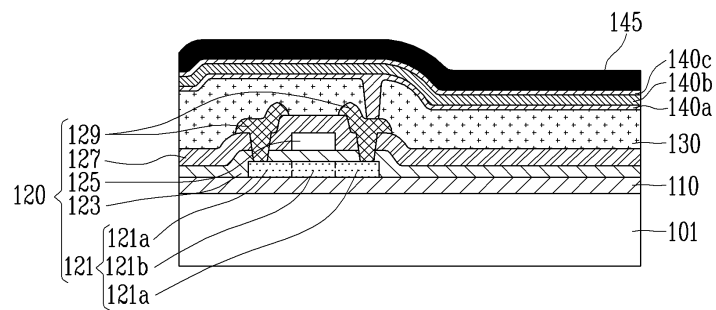
도면1a



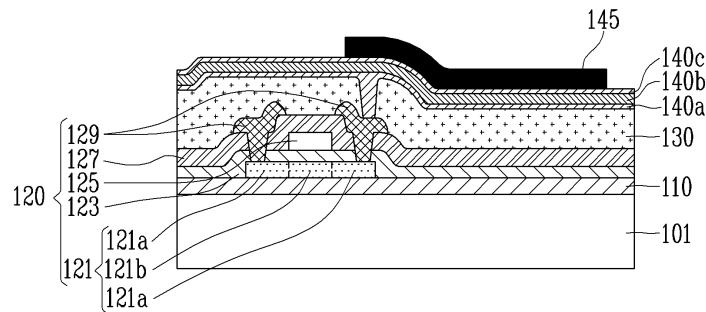
도면1b



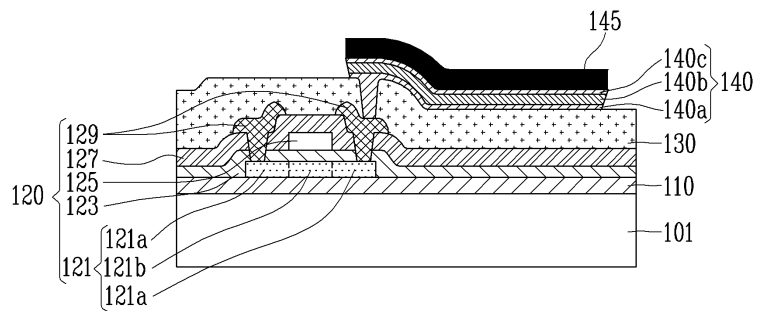
도면1c



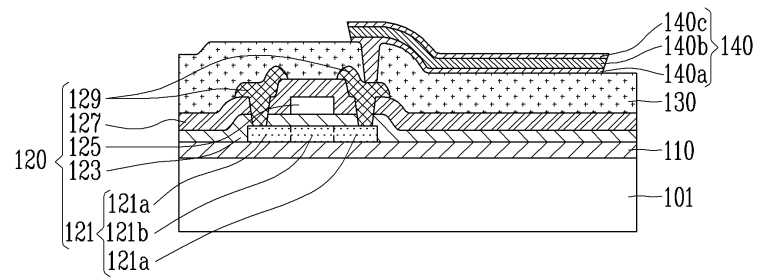
도면1d



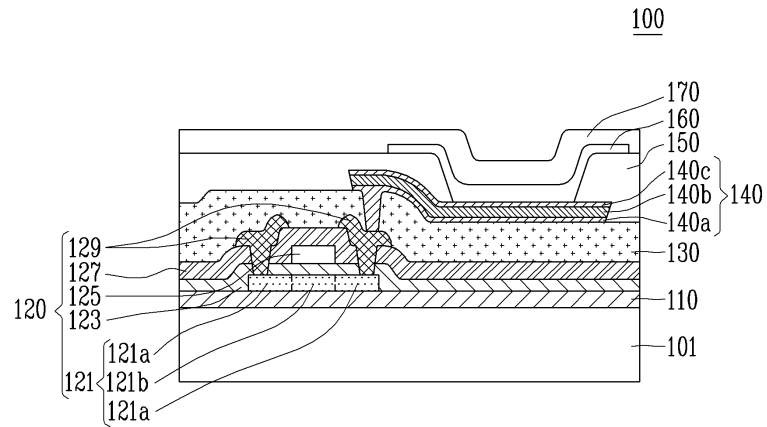
도면1e



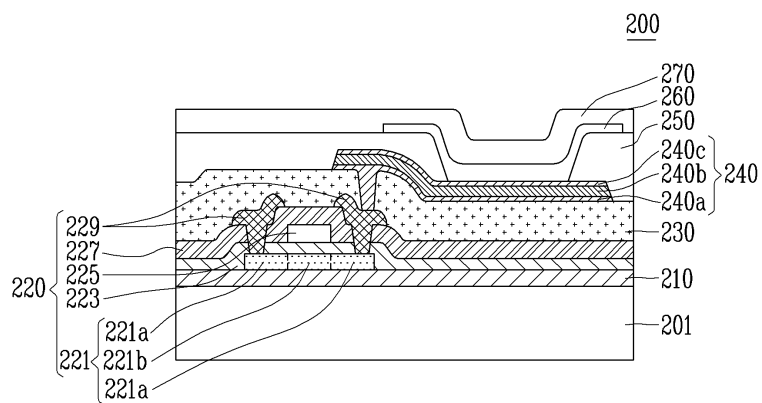
도면1f



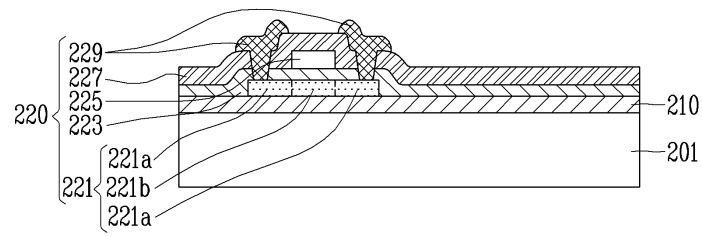
도면1g



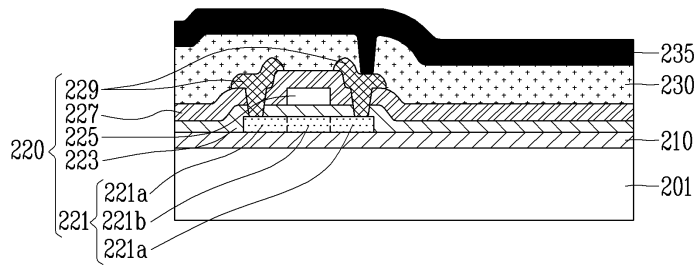
도면2



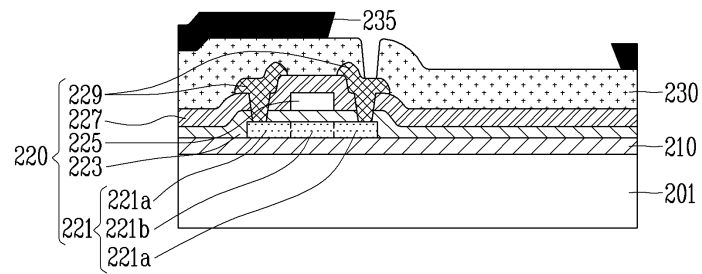
도면3a



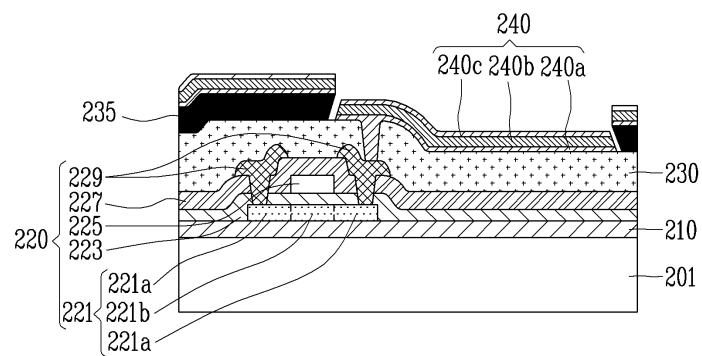
도면3b



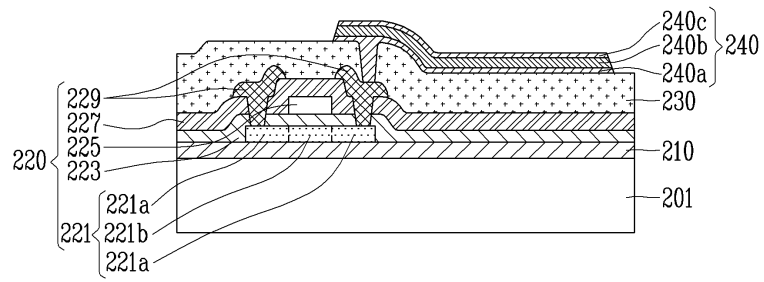
도면3c



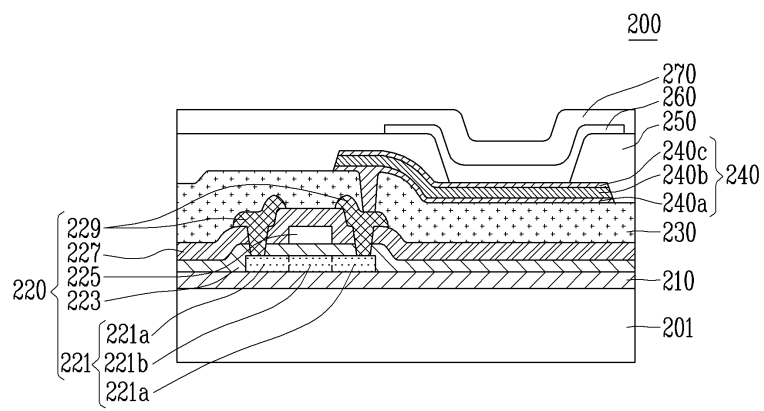
도면3d



도면3e



도면3f



专利名称(译)	制造有机发光显示装置的方法		
公开(公告)号	KR1020070117896A	公开(公告)日	2007-12-13
申请号	KR1020060052107	申请日	2006-06-09
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	TAEKYUNG AHN 안태경 MINKYU KIM 김민규 SEYEOUL KWON 권세열		
发明人	안태경 김민규 권세열		
IPC分类号	H05B33/26 H05B33/10		
CPC分类号	H01L27/3244 H01L51/0018 H01L51/5218 H01L51/56		
代理人(译)	SHIN , YOUNG MOO		
其他公开文献	KR101271850B1		
外部链接	Espacenet		

摘要(译)

本发明涉及能够防止与相邻像素短路的有机发光显示器制造方法，防止产生暗点。根据本发明的有机发光显示器制造方法包括两个或更多个薄膜，在形成所形成的台阶的步骤和薄膜晶体管上的平坦化薄膜上，在柔性基板上暗示反射薄膜至少一个薄膜晶体管，在平坦化膜上形成负型光致抗蚀剂膜的步骤，将其图案化的平坦化膜的一个区域暴露的步骤，如上所述的暴露的平坦化膜，形成所构成的阳极电极的步骤，以及开发的发光层阳极和形成阴极的步骤。因此，可以防止与相邻像素的短路和暗点产生。而且，可以促进后续处理，并且可以改善像素的性能特性。

