



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
H05B 33/26 (2006.01)
H05B 33/10 (2006.01)

(11) 공개번호 10-2007-0072124
(43) 공개일자 2007년07월04일

(21) 출원번호 10-2005-0136109
(22) 출원일자 2005년12월30일
심사청구일자 2005년12월30일

(71) 출원인 엘지전자 주식회사
서울특별시 영등포구 여의도동 20번지

(72) 발명자 김홍규
경기도 의왕시 왕곡동 신안포은아파트 103동 902호

(74) 대리인 이수웅

전체 청구항 수 : 총 10 항

(54) 전계발광 표시장치와 그 제조방법

(57) 요약

본 발명은 기관 상에 구비되며 두 개의 전극 사이에 형성된 발광부를 포함하는 픽셀 회로부와, 전술한 두 개의 전극과 연결되어 두 개의 전극에 신호를 인가하는 배선부와, 전술한 배선부와 전기적으로 연결되며 금속층 상에 전도층이 상기 금속층을 덮도록 형성된 패드부를 포함하는 전계발광 표시장치를 제공한다.

대표도

도 7

특허청구의 범위

청구항 1.

기관 상에 구비되며 두 개의 전극 사이에 형성된 발광부를 포함하는 픽셀 회로부와;

상기 두 개의 전극과 연결되어 상기 두 개의 전극에 신호를 인가하는 배선부와;

상기 배선부와 전기적으로 연결되며 금속층 상에 전도층이 상기 금속층을 덮도록 형성된 패드부를 포함하는 전계발광 표시장치.

청구항 2.

제 1항에 있어서,

상기 패드부의 상기 도전층은 ITO, IZO, ITZO 중 어느 하나 또는 하나 이상으로 형성된 것을 특징으로 하는 전계발광 표시장치.

청구항 3.

제 1항에 있어서,

상기 픽셀 회로부는 상기 발광부와 전기적으로 연결되어 상기 발광부를 구동하는 박막트랜지스터부를 포함하며, 상기 금속층은 상기 박막트랜지스터부의 게이트 전극, 드레인 전극, 소스 전극 중 어느 하나 또는 하나 이상으로 형성된 것을 특징으로 하는 전계발광 표시장치.

청구항 4.

제 1항에 있어서,

상기 픽셀 회로부는 상기 발광부와 전기적으로 연결되어 상기 발광부를 구동하는 박막트랜지스터부를 포함하며, 상기 금속층은 상기 박막트랜지스터부의 게이트 전극, 소스, 드레인과 연결된 금속 전극들 중 어느 하나 또는 하나 이상으로 형성된 것을 특징으로 하는 전계발광 표시장치.

청구항 5.

제 1항 내지 제 4항 중 어느 한 항에 있어서,

상기 발광부는 유기물 발광층을 포함하는 전계발광 표시장치.

청구항 6.

기판 상에 두 개의 전극 사이에 형성된 발광부와, 상기 발광부와 전기적으로 연결되어 상기 발광부를 구동하는 박막트랜지스터부를 형성하는 픽셀 회로부 형성단계와;

상기 두 개의 전극과 연결되어 상기 두 개의 전극에 신호를 인가하는 배선부를 형성하는 배선부 형성단계와;

상기 기판 상의 상기 픽셀 회로부와 구분되는 영역에 금속층을 형성하고 상기 금속층을 덮도록 도전층을 형성하여 상기 배선부와 전기적으로 연결시키는 패드부 형성단계를 포함하는 전계발광 표시장치의 제조방법.

청구항 7.

제 6항에 있어서,

상기 패드부 형성단계에서는 상기 도전층을 ITO, IZO, ITZO 중 어느 하나 또는 하나 이상으로 형성하는 것을 특징으로 하는 전계발광 표시장치의 제조방법.

청구항 8.

제 6항에 있어서,

상기 패드부 형성단계에서는 상기 금속층을 상기 박막트랜지스터부의 게이트 전극, 드레인 전극, 소스 전극 중 어느 하나 또는 하나 이상으로 형성하는 것을 특징으로 하는 전계발광 표시장치의 제조방법.

청구항 9.

제 6항에 있어서,

상기 패드부 형성단계에서는 상기 금속층을 상기 박막트랜지스터부의 게이트 전극, 소스, 드레인과 연결된 금속 전극들 중 어느 하나 또는 하나 이상으로 형성하는 것을 특징으로 하는 전계발광 표시장치의 제조방법.

청구항 10.

제 6항 내지 제 9항 중 어느 한 항에 있어서,

상기 픽셀 회로부 형성단계에서는 상기 발광부를 유기물 발광층으로 형성하는 것을 특징으로 하는 전계발광 표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전계발광 표시장치 및 그 제조방법에 관한 것이다.

전계발광소자는 전자(electron)주입 전극(cathode)과 정공(hole)주입 전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기상태로부터 기저상태로 떨어질 때 발광하는 자발광 소자이다.

이러한 전계발광소자는 낮은 전압에서 구동이 가능하고, 박형 등의 장점을 지니고 있다. 또한, 광시야각이 매우 넓고 응답속도가 빠르며, 구동전압이 낮고 초박막화가 가능하기 때문에 벽걸이형 또는 휴대용 등의 차세대 디스플레이로 주목받고 있다.

또한, 전계발광소자는 서브픽셀을 구동하는 방식에 따라 패시브 매트릭스형 전계발광소자(Passive Matrix LED)와 박막트랜지스터(TFT)를 이용하여 구동하는 방식인 액티브 매트릭스형 전계발광소자(Active Matrix LED)로 구분되었다.

이와 같은 전계발광소자를 이용한 전계발광 표시장치는 적색, 청색, 녹색의 서브 픽셀들이 각각 또는 상호 작용하여 하나의 색을 표현하는 단위인 픽셀을 이용하여 칼라를 구현하였다.

도 1은 종래 전계발광소자의 구조 단면도로, 액티브 매트릭스형 전계발광소자(이하, 전계발광소자로 약칭함.)의 구조를 도시한다.

도 1을 참조하면, 종래 전계발광소자(10)는 기판(12) 상에 반도체층(14)이 선택적으로 형성되어 있었고, 반도체층(14)의 일부에 B 또는 P와 같은 불순물이 첨가되어 박막트랜지스터부(20)의 소스(16) 및 드레인(18)으로 구분되었다.

전술한 반도체층(14) 상에는 게이트 절연막(22)이 형성되어 있었고, 전술한 반도체층(14)에 대응되어 게이트 전극(24)이 형성되어 있었다.

또한, 게이트 전극(24) 상에는 층간 절연막A(26)이 형성되어 있었고, 그 위에 애노드 전극(32)이 박막트랜지스터부(20)을 기준으로 구분되게 형성되어 있었다.

이어서, 층간 절연막A(26) 상에는 소스(16) 및 드레인(18)이 노출되도록 컨택홀이 형성되어 제 1 및 제 2 전극(28, 30)이 소스(16) 및 드레인(18)과 각각 연결되어 있었고, 드레인(18)과 연결된 제 2 전극(30)은 애노드 전극(32)과 연결되었다.

계속해서, 박막트랜지스터부(20)에 대응되는 소정 영역 및 이웃하는 애노드 전극(32)의 일부를 포함하는 영역에 절연막B(34)가 형성되어 있었고, 그 위에 발광부(36) 상세하게는 정공 주입층(38), 정공 전달층(40), 발광층(42), 전자 전달층(44), 전자 주입층(46)이 적층되었다. 또한, 발광부(36) 상에 캐소드 전극(48)이 형성되어 있었다.

도 2는 도 1 상의 전계발광소자가 구비된 전계발광 표시장치의 구조도이다.

도 2를 참조하면, 종래 전계발광 표시장치에는 이상과 같은 구조를 갖는 전계발광소자(10)가 구비되어 디스플레이 영역인 픽셀 회로부(D)가 형성되었고, 픽셀 회로부(D)에 구동 신호를 전달하는 배선부(L)가 인접한 영역에 배치되었으며, 배선부(L)는 구동부와 표시장치를 연결해주는 패드부(P)에 전기적으로 연결되었다.

도 3 및 도 4는 도 2 상의 패드부의 단면도로, 각각 제 1 실시예와 제 2 실시예에 따른 종래 패드부의 구조를 도시하였다. 단, 도시의 이해를 용이하게 하기 위해 도 2 상의 A-A선을 따라 패드부(P)를 절단하여 배선부(L)와 연결된 하나의 패드의 구조를 도시하였다.

종래 제 1 및 제 2 실시예에 따른 패드부의 구조는 공정의 단축효과를 위해 전계발광소자(10)의 공정 상 사용되는 과정과 각 부의 재료를 그대로 적용하여 형성하였다.

도 2 및 도 3을 참조하면, 기판(12) 상에 게이트 절연막(22)과 동일한 재료로 제 1 절연막(52)이 형성되어 있었고, 그 위에 게이트 전극(24)과 동일한 재료로 제 1 금속층(54)이 형성되어 있었다.

또한, 제 1 금속층(54) 상에는 층간 절연막A(26)와 동일한 재료로 제 2 절연막(56)이 형성되었고, 제 1 금속층(54)이 노출되도록 컨택홀(H)이 형성되어 있었다.

도 2 및 도 4를 참조하면, 기판(12) 상에 게이트 절연막(22)과 동일한 재료로 제 1 절연막(52)이 형성되어 있었고, 그 위에 게이트 전극(24)과 동일한 재료로 제 1 금속층(54)이 형성되어 있었다.

또한, 제 1 금속층(54) 상에는 층간 절연막A(26)와 동일한 재료로 제 2 절연막(56)이 형성되었고, 제 1 금속층(54)이 노출되도록 컨택홀이 형성되어 컨택홀을 통해 제 1 및 제 2 금속 전극(28, 30) 중 어느 하나와 같은 재료로 제 2 금속층(58)이 형성되어 있었다.

위에서 설명한 구조의 종래 전계발광소자(10)의 경우, 층간 절연막A(26) 상에 애노드 전극(32)을 형성한 후에 컨택홀을 통해 박막트랜지스터부(20)의 소스(16) 및 드레인(18) 영역이 층간 절연막A(26) 상의 외부로 노출되도록 제 1 및 제 2 금속 전극(28, 30)을 형성하기 때문에, 컨택홀을 형성하는 에칭 과정에서 애노드 전극(32)이 에칭액에 의해 손상을 입는 문제점이 있었다.

전계발광소자(10)는 애노드 전극(32)의 표면 특성에 따라 그 발광 효율과 수명이 크게 좌우되므로, 이러한 문제는 종래 전계발광 표시장치로 이어졌다.

또한, 종래 패드부(P)는 제 1 및 제 2 금속층(54, 58) 중 어느 하나 또는 하나 이상이 노출되는 구조였기 때문에, 수분 및 산소 또는 각 공정별 바람직하지 못한 불순물 가스등에 노출되어 oxide층 또는 불순물 층이 형성되거나 제 1 및 제 2 금속층(54, 58) 자체가 열화 및 손상되는 문제가 있었다.

이러한 제 1 및 제 2 금속층(54, 58)의 손상 문제는 패드부(P)의 기능을 불안정하게 하여 종래 전계발광 표시장치의 수율과 수명 및 신뢰도 저하라는 심각한 문제가 발생하였다.

발명이 이루고자 하는 기술적 과제

이상과 같은 문제를 해결하기 위해 본 발명은 전계발광소자의 구조 및 제조 공정을 개선하여 소자 및 패드부의 안정성을 확보함으로써, 수율과 수명 및 신뢰도가 향상된 전계발광 표시장치를 구현 제공하는 데 그 목적이 있다.

발명의 구성

이러한 목적을 달성하기 위해, 본 발명은 기판 상에 구비되며 두 개의 전극 사이에 형성된 발광부를 포함하는 픽셀 회로부와, 전술한 두 개의 전극과 연결되어 두 개의 전극에 신호를 인가하는 배선부와, 전술한 배선부와 전기적으로 연결되며 금속층 상에 전도층이 상기 금속층을 덮도록 형성된 패드부를 포함하는 전계발광 표시장치를 제공한다.

전술한 전계발광 표시장치에 있어서, 패드부의 도전층은 ITO, IZO, ITZO 중 어느 하나 또는 하나 이상으로 형성된 것을 특징으로 한다.

한편, 전술한 전계발광 표시장치의 픽셀 회로부는 발광부와 전기적으로 연결되어 발광부를 구동하는 박막트랜지스터부를 포함하며, 전술한 금속층은 박막트랜지스터부의 게이트 전극, 드레인 전극, 소스 전극 중 어느 하나 또는 하나 이상으로 형성된 것을 특징으로 한다.

다른 측면에서, 전술한 전계발광 표시장치의 픽셀 회로부는 발광부와 전기적으로 연결되어 발광부를 구동하는 박막트랜지스터부를 포함하며, 전술한 금속층은 박막트랜지스터부의 게이트 전극, 소스, 드레인과 연결된 금속 전극들 중 어느 하나 또는 하나 이상으로 형성된 것을 특징으로 한다.

전술한 전계발광 표시장치의 발광부는 유기물 발광층을 포함한다.

다른 측면에서, 이상과 같은 문제를 해결하기 위해 본 발명은 기판 상에 두 개의 전극 사이에 형성된 발광부와, 전술한 발광부와 전기적으로 연결되어 발광부를 구동하는 박막트랜지스터부를 형성하는 픽셀 회로부 형성단계와, 전술한 두 개의 전극과 연결되어 두 개의 전극에 신호를 인가하는 배선부를 형성하는 배선부 형성단계와, 기판 상의 픽셀 회로부와 구분되는 영역에 금속층을 형성하고 금속층을 덮도록 도전층을 형성하여 배선부와 전기적으로 연결시키는 패드부 형성단계를 포함하는 전계발광 표시장치의 제조방법을 제공한다.

전술한 전계발광 표시장치의 제조방법에 있어서, 패드부 형성단계에서는 도전층을 ITO, IZO, ITZO 중 어느 하나 또는 하나 이상으로 형성하는 것을 특징으로 한다.

한편, 전술한 전계발광 표시장치의 제조방법의 패드부 형성단계에서는 금속층을 박막트랜지스터부의 게이트 전극, 드레인 전극, 소스 전극 중 어느 하나 또는 하나 이상으로 형성하는 것을 특징으로 한다.

다른 측면에서, 전술한 전계발광 표시장치의 제조방법의 패드부 형성단계에서는 금속층을 박막트랜지스터부의 게이트 전극, 소스, 드레인과 연결된 금속 전극들 중 어느 하나 또는 하나 이상으로 형성하는 것을 특징으로 한다.

전술한 픽셀 회로부 형성단계에서는 발광부를 유기물 발광층으로 형성하는 것을 특징으로 한다.

이하, 본 발명의 다양한 실시예들을 첨부한 도면을 참조하여 상세히 설명한다.

도 5는 본 발명의 일실시예에 따른 전계발광소자의 구조 단면도이다.

도 5를 참조하면, 본 발명의 일실시예에 따른 전계발광소자(60)는 기판(62) 상에 반도체층(64)이 선택적으로 형성되어 있고, 반도체층(64)의 일부에 B 또는 P와 같은 불순물이 첨가되어 박막트랜지스터부(70)의 소스(66) 및 드레인(68)으로 구분된다.

전술한 반도체층(64) 상에는 게이트 절연막(72)이 형성되어 있고, 반도체층(64)에 대응되어 게이트 전극(74)이 형성되어 있다.

또한, 게이트 전극(74) 상에는 층간 절연막A(76)이 형성되고, 층간 절연막A(76) 상에는 소스(66) 및 드레인(68)이 노출되도록 컨택홀이 형성되어 제 1 및 제 2 전극(78, 80)이 소스(66) 및 드레인(68)과 각각 연결된다.

이어서, 애노드 전극(82)이 박막트랜지스터부(70)을 기준으로 구분되게 형성되어 있다.

또한, 박막트랜지스터부(70)에 대응되는 소정 영역 및 이웃하는 애노드 전극(82)의 일부를 포함하는 영역에 절연막B(84)가 형성되고, 그 위에 발광부(86) 상세하게는 정공 주입층(88), 정공 전달층(90), 발광층(92), 전자 전달층(94), 전자 주입층(96)이 적층된다. 또한, 발광부(86) 상에 캐소드 전극(98)이 형성되어 있다.

도 6a 내지 6e는 도 5 상의 전계발광소자의 공정별 단면도이다.

도 6a를 참조하면, 패터닝된 기관(62) 상에 실리콘과 같은 반도체층(64)을 형성하고, 여기에 B 또는 P 와 같은 불순물을 주입하고 열처리하여, 박막트랜지스터부(70)의 소스(66) 및 드레인(68) 영역을 형성한다.

이어서, 반도체물질층(74) 상에 게이트 절연막(72)을 형성하고, 그 위에 게이트 전극(78)과 층간 절연막A(76)를 차례로 형성한다.

도 6b를 참조하면, 박막트랜지스터부(70)의 소스(66)와 드레인(68) 영역이 층간 절연막A(76)의 외부로 노출되도록 게이트 절연막(54) 및 층간 절연막A(76)를 관통하는 두 개의 컨택홀(H)을 형성한다.

도 6c를 참조하면, 층간 절연막A(76) 상에서 두 개의 컨택홀(H)을 통해 박막트랜지스터부(70)의 소스(66) 및 드레인(68)과 각각 접촉하는 제 1 금속 전극(78)과 제 2 금속 전극(80)을 형성한다.

도 6d를 참조하면, 제 2 금속 전극(80)의 일부 또는 전부를 덮도록 애노드 전극(60)을 형성한다. 이때, 제 1 금속 전극(78) 상에도 제 2 금속 전극(80)과 동일한 재료와 구조로 애노드 전극(82)을 형성할 수 있다.

이때, 애노드 전극(82)은 소자의 발광 구조에 따라 투명한 금속 전극 예를 들어, ITO 또는 IZO 등과 같이 투명한 도전 재료로 형성할 수 있다.

이처럼, 제 1 및 제 2 금속 전극(78, 80)의 형성 후, 애노드 전극(82)을 형성하는 본 발명에 따른 공정 상의 특징은 종래 전계발광소자(10)의 공정 단계상 컨택홀 형성단계에서 에칭 용액이 애노드 전극(도 1의 32)에 데미지를 입히던 문제를 해결할 수 있다.

또한, 애노드 전극(82)이 제 1 및 제 2 금속 전극(78, 80)을 덮는 구조는 흐르는 전류에 의한 제 1 및 제 2 금속 전극(78, 80)의 열화 현상을 억제하여, 제품의 수명을 향상시킬 수 있다.

또한, 애노드 전극(82)이 제 1 및 제 2 금속 전극(78, 80)을 덮는 구조는 제 1 및 제 2 금속 전극(78, 80)에 대하여 보호막과 같은 역할을 하므로, 공기 및 수분과 공정상 발생하는 이물질 가스 등에 대한 노출로 인한 산화를 방지하여, 소자의 신뢰도를 향상시키고, 그로 인해 공정 수율이 향상시킬 수 있다.

도 6e를 참조하면, 애노드 전극(82) 상에 절연막B(34)와 정공 주입층(88) 및 정공 전달층(90), R,G,B 발광층(92)과 전자 전달층(94) 및 전자 주입층(96)을 차례로 증착하여, 발광층(86)을 형성한다.

이어서, 발광층(86) 상에 캐소드 전극(98)을 형성함으로써 본 발명의 전계발광소자(60)를 완성한다.

이상, 본 발명을 일실시예에 따른 도면을 참조하여 설명하였으나, 본 발명의 소자의 구조는 이에 국한되지 않는다.

도 7은 도 5 상의 전계발광소자가 구비된 전계발광 표시장치의 구조도이다.

도 7을 참조하면, 본 발명의 일실시예에 따른 전계발광 표시장치에는 이상과 같은 구조를 갖는 전계발광소자(60)가 구비되어 디스플레이 영역인 픽셀 회로부(D)가 형성되고, 픽셀 회로부(D)에 구동 신호를 전달하는 배선부(L)가 인접한 영역에 배치되며, 배선부(L)는 구동부와 표시장치를 연결해주는 패드부(P)에 전기적으로 연결된다.

도 8 내지 도 10은 도 7 상의 패드부의 단면도로, 각각 본 발명의 제 1 내지 제 3 실시예에 따른 패드부의 구조를 도시하였다. 단, 도시의 이해를 용이하게 하기 위해 도 7 상의 A-A선을 따라 패드부(P)를 절단하여 배선부(L)와 연결된 하나의 패드의 구조를 도시하였다.

본 발명의 제 1 내지 제 3 실시예에 따른 패드부의 구조는 공정의 단축효과를 위해 전계발광소자(60)의 공정 상 사용되는 공정과 각 부의 재료를 그대로 적용하여 형성하였다.

도 7 및 도 8을 참조하면, 기판(62) 상에 게이트 절연막(72)과 동일한 재료로 제 1 절연막(102)이 형성되고, 그 위에 게이트 전극(72)과 동일한 재료로 제 1 금속층(104)이 형성된다.

또한, 제 1 금속층(104) 상에는 층간 절연막A(76)와 동일한 재료로 제 2 절연막(106)이 형성되고, 제 1 금속층(104)이 노출되도록 컨택홀이 형성된다.

또한, 컨택홀을 통해 제 1 금속층(104)와 접촉하도록 애노드 전극(82)과 동일한 재료로 도전층(108)이 형성된다.

이때, 애노드 전극(82) 및 도전층(108)은 내산화성이 있으며 도전성이 있는 ITO, IZO, ITZO 중 어느 하나 또는 하나 이상으로 형성될 수 있다.

도 7 및 도 9를 참조하면, 기판(62) 상에 게이트 절연막(72)과 동일한 재료로 제 1 절연막(102)이 형성되고, 그 위에 게이트 전극(74)과 동일한 재료로 제 1 금속층(104)이 형성된다.

또한, 제 1 금속층(104) 상에는 층간 절연막A(76)와 동일한 재료로 제 2 절연막(106)이 형성되고, 제 1 금속층(104)이 노출되도록 컨택홀이 형성되어 컨택홀을 통해 제 1 및 제 2 금속 전극(78, 80) 중 어느 하나와 같은 재료로 제 2 금속층(110)이 형성된다. 이때, 제 2 금속층(110)은 하나 이상의 층으로 형성될 수도 있다.

전술한 제 2 금속층(110) 상에는 애노드 전극(82)과 동일한 재료로 도전층(108)이 제 2 금속층(110)을 덮도록 형성된다.

이와 같은 제 2 실시예의 패드부 구조는 도 8에 도시한 제 1 실시예에 상대적으로 패드부의 금속층 구조가 더 추가됨으로써 패드부의 열화를 억제하고, 더 효과적인 신호전달을 가능하게 하는 장점이 있다.

도 7 및 도 10을 참조하면, 기판(62) 상에 게이트 절연막(72)과 동일한 재료로 제 1 절연막(102)이 형성되고, 그 위에 층간 절연막A(76)와 동일한 재료로 제 2 절연막(106)이 형성된다.

이어서, 제 1 및 제 2 금속 전극(78, 80) 중 어느 하나와 동일한 재료로 제 3 금속층(112)이 형성되고, 애노드 전극(82)과 동일한 재료로 제 3 금속층(112)을 덮도록 도전층(108)이 형성된다.

이와 같은 제 3 실시예의 패드부 구조는 컨택홀 형성공정이 없어지므로, 전술한 제 1 및 제 2 실시예보다 상대적으로 공정이 단순화되어 수율이 향상되는 장점이 있다.

위에서 설명한 바와 같은 구조 및 공정에 따른 본 발명의 전계발광소자 및 그를 구비한 전계발광 표시장치는 소자 및 패드부의 안정성을 확보함으로써 소기 목적을 달성할 수 있다.

이상 본 발명의 제 2 금속층이 소스 및 드레인과 연결된 금속 전극 중 어느 하나와 동일한 재료로 형성되거나, 하나 이상의 층으로 형성될 수 있는 것으로 설명하였으나, 본 발명은 이에 국한되지 않으며, 박막트랜지스터부의 소스, 드레인 및 게이트 전극의 위치 관계가 바뀔 수 있고, 소스와 드레인은 어느 하나 또는 둘 다 각각 하나의 전극으로 형성될 수 있다. 또한, 그에 따라 제 2 금속층은 소스 전극과 드레인 전극 및 게이트 전극 중 어느 하나 또는 하나 이상으로 형성될 수 있다.

이상 본 발명의 전계발광소자는 발광부에 유기물 또는 무기물을 모두 적용할 수 있는 전계발광소자의 범주로 이해되어야 한다.

이상 다양한 실시예를 들어 본 발명에 대하여 서술하였으나, 본 발명의 범위는 전술한 상세 설명보다는 후술하는 특허청구 범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고, 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

위에서 설명한 바와 같이, 본 발명은 전계발광소자 및 전계발광 표시장치의 개선된 구조와 제조 방법을 제공하여 소자 및 패드부의 안정성을 확보함으로써, 수율과 수명 및 신뢰도가 향상된 전계발광 표시장치를 구현 제공할 수 있다.

도면의 간단한 설명

도 1은 종래 전계발광소자의 구조 단면도.

도 2는 도 1 상의 전계발광소자가 구비된 전계발광 표시장치의 구조도.

도 3 및 도 4는 도 2 상의 패드부의 단면도.

도 5는 본 발명의 일실시예에 따른 전계발광소자의 구조 단면도.

도 6a 내지 6e는 도 5 상의 전계발광소자의 공정별 단면도.

도 7은 도 5 상의 전계발광소자가 구비된 전계발광 표시장치의 구조도.

도 8 내지 도 10은 도 7 상의 패드부의 단면도.

* 도면의 주요부호에 대한 설명 *

10 : 전계발광소자 12 : 기관

14 : 반도체층 16 : 소스

18 : 드레인 20 : 박막트랜지스터부

22 : 게이트 절연막 24 : 게이트 전극

26 : 층간 절연막A 28 : 제 1 금속 전극

30 : 제 2 금속 전극 32 : 애노드 전극

34 : 절연막B 36 : 발광부

38 : 정공 주입층 40 : 정공 전달층

42 : 발광층 44 : 전자 전달층

46 : 전자 주입층 48 : 캐소드 전극

52 : 제 1 절연막 54 : 제 1 금속층

56 : 제 2 절연막 58 : 제 2 금속층

60 : 전계발광소자 62 : 기관

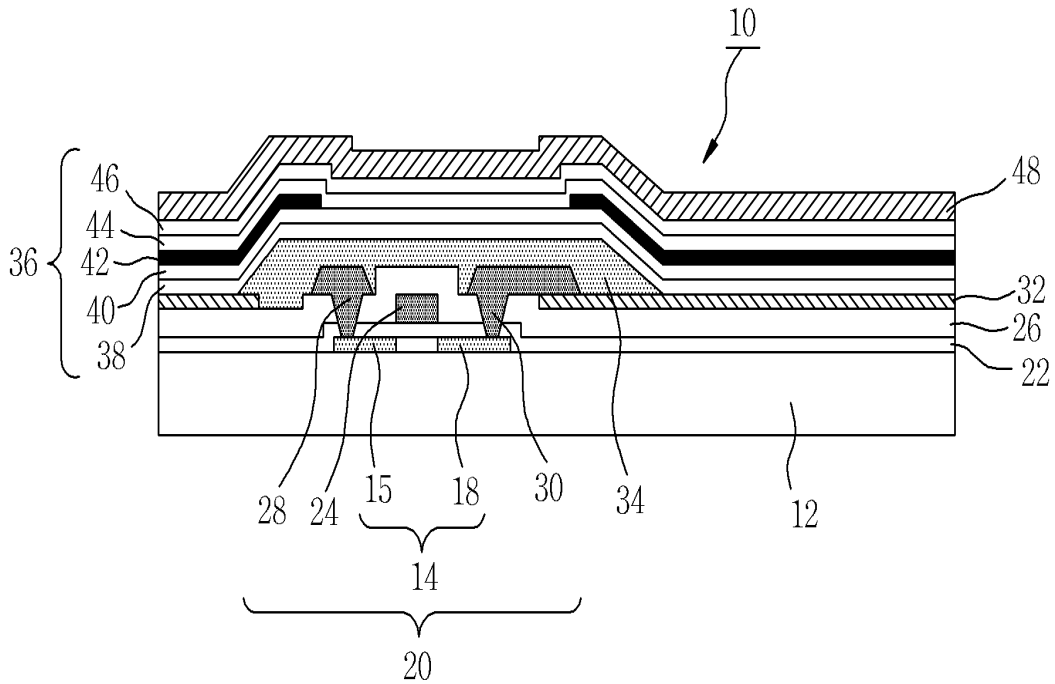
64 : 반도체층 66 : 소스

68 : 드레인 70 : 박막트랜지스터부

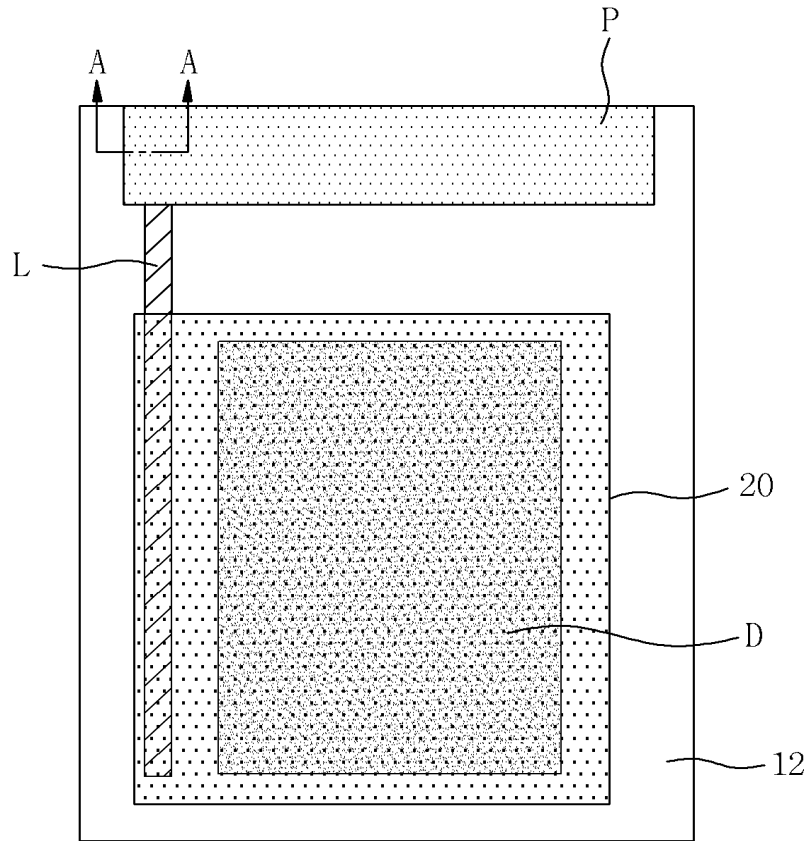
- 72 : 게이트 절연막 74 : 게이트 전극
- 76 : 층간 절연막A 78 : 제 1 금속 전극
- 80 : 제 2 금속 전극 82 : 애노드 전극
- 84 : 절연막B 86 : 발광부
- 88 : 정공 주입층 90 : 정공 전달층
- 92 : 발광층 94 : 전자 전달층
- 96 : 전자 주입층 98 : 캐소드 전극
- 102 : 제 1 절연막 104 : 제 1 금속층
- 106 : 제 2 절연막 108 : 도전층
- 110 : 제 2 금속층 112 : 제 3 금속층
- D : 픽셀 회로부 H : 컨택홀(Contact Hole)
- L : 배선부 P : 패드부(Pad)

도면

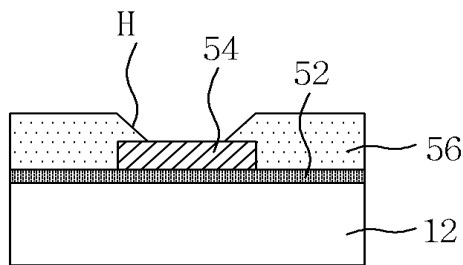
도면1



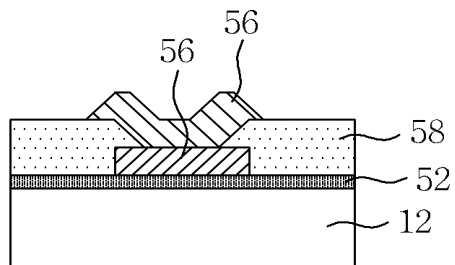
도면2



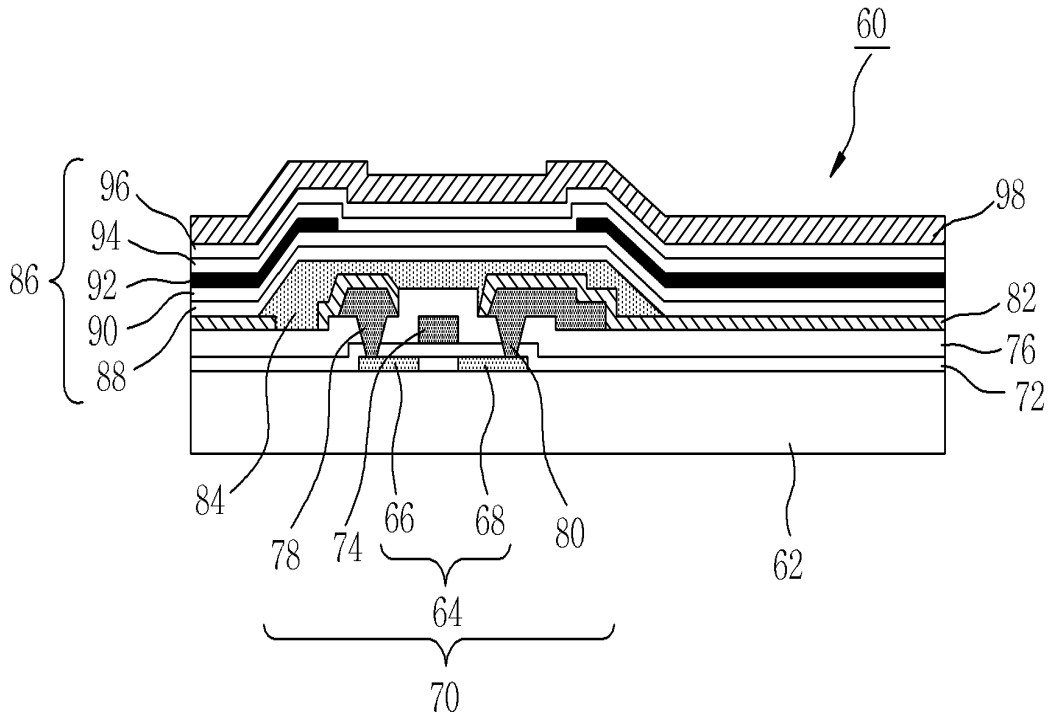
도면3



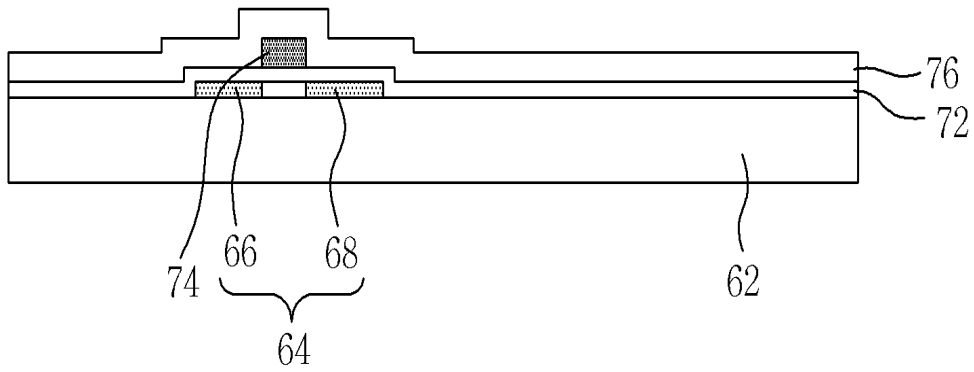
도면4



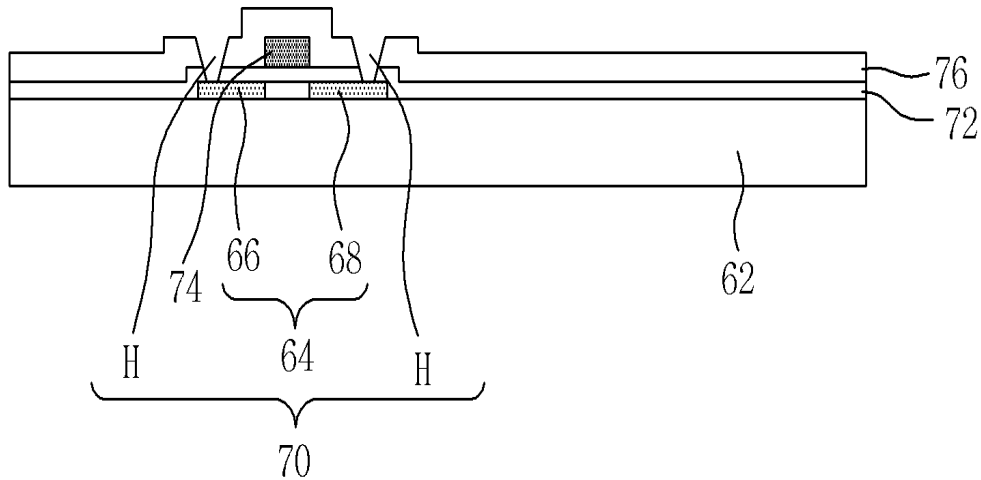
도면5



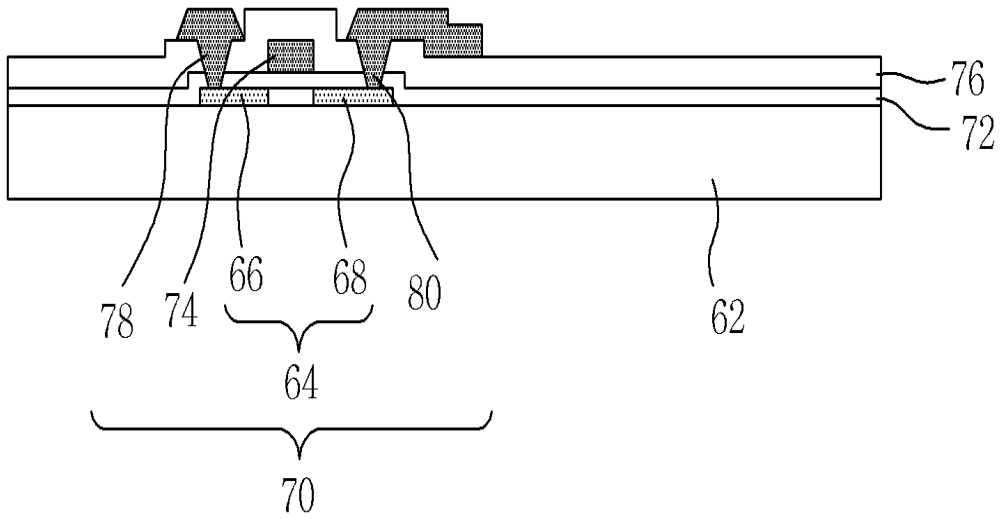
도면6a



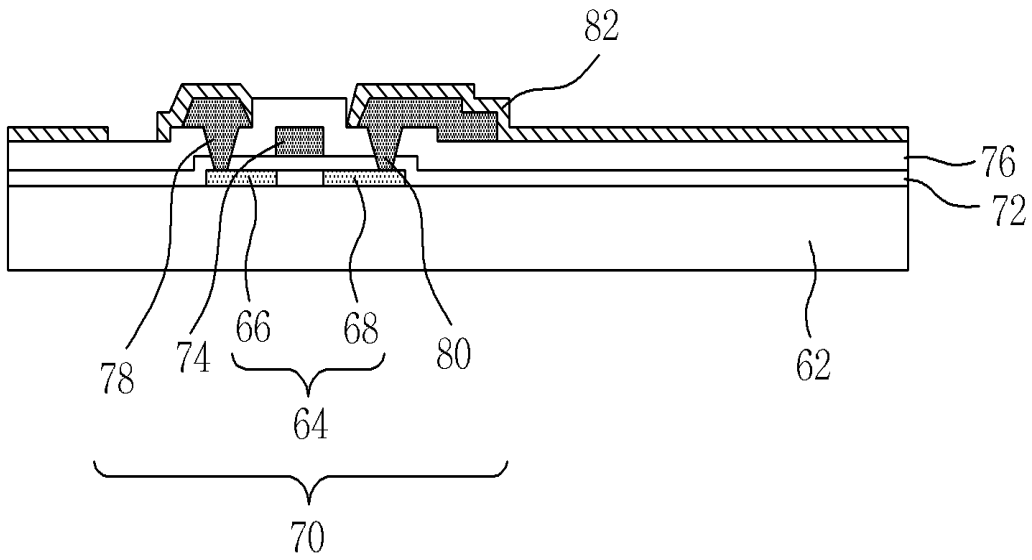
도면6b



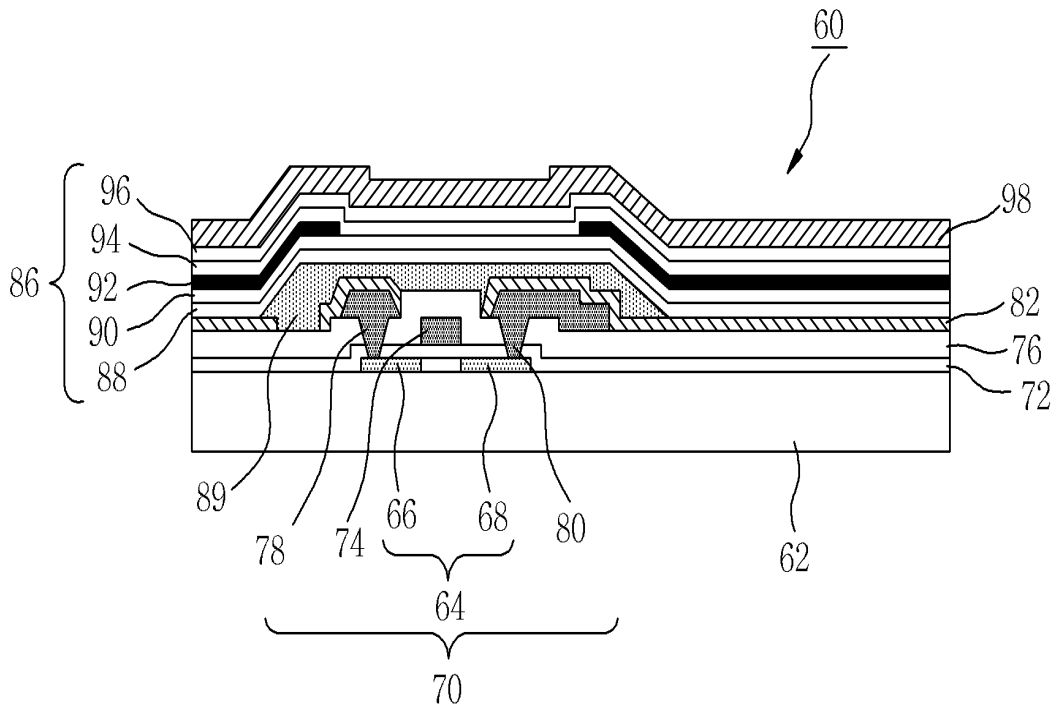
도면6c



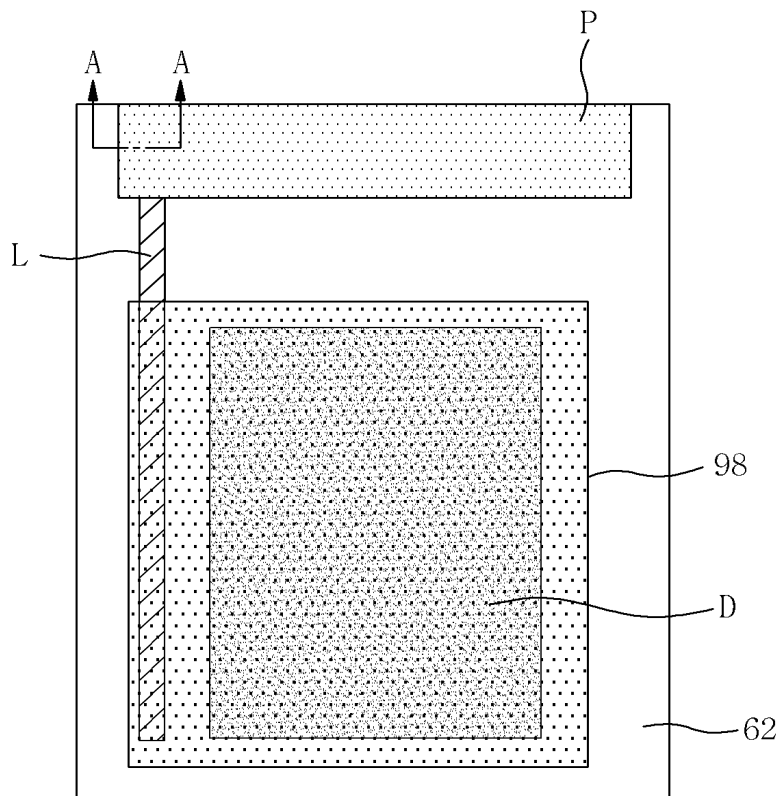
도면6d



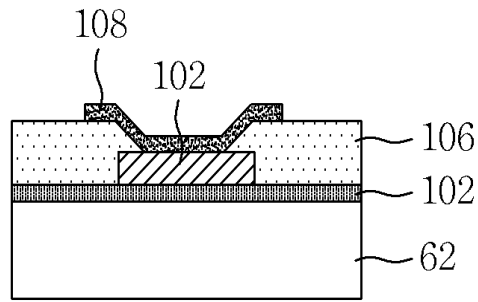
도면6e



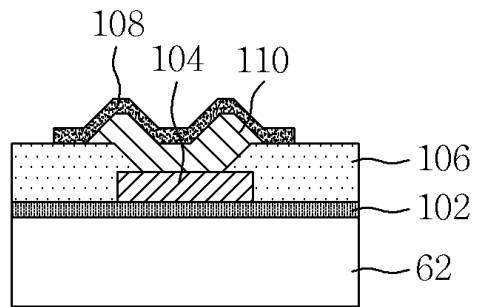
도면7



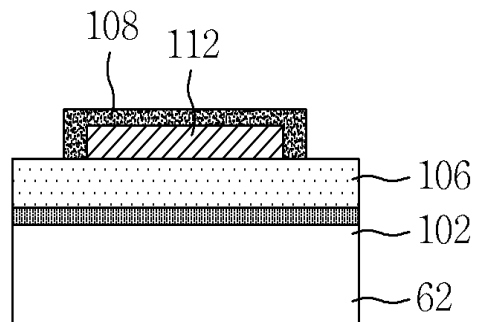
도면8



도면9



도면10



专利名称(译)	电致发光显示器及其制造方法		
公开(公告)号	KR1020070072124A	公开(公告)日	2007-07-04
申请号	KR1020050136109	申请日	2005-12-30
申请(专利权)人(译)	LG电子公司		
当前申请(专利权)人(译)	LG电子公司		
[标]发明人	KIM HONG GYU		
发明人	KIM,HONG GYU		
IPC分类号	H05B33/26 H05B33/10		
CPC分类号	H01L27/3244 H01L27/3262 H01L51/5237 H01L51/56 H05B33/10 H05B33/26		
代理人(译)	李, SOO WOONG		
其他公开文献	KR100761121B1		
外部链接	Espacenet		

摘要(译)

公开了一种电致发光显示器及其制造方法。电致发光显示器包括用于驱动形成的发光单元的TFT部分，并且发光单元在配备在基板上的两个电极之间与发光单元电连接。并且形成在驱动器的非显示区域中的焊盘部分包括电极中的导线部分授权信号，以及导电层并用于驱动像素电路部分。并且包括导线部分电连接的基板边缘。形成导电层是为了在美国曝光中将金属层和这种金属层暴露在键拉丝锁定金属层外面。电致发光器件，电致发光显示器和焊盘部分。

