

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁸*H05B 33/00* (2006.01)*H05B 33/10* (2006.01)

(11) 공개번호 10-2006-0014778

(43) 공개일자 2006년02월16일

(21) 출원번호 10-2004-0063470

(22) 출원일자 2004년08월12일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 정재훈
경기도 수원시 영통구 망포동 쌍용아파트 102동 504호
김남덕
경기도 용인시 수지읍 풍덕천리 삼성5차아파트 517동 1703호
이정수
서울특별시 관악구 봉천6동 1687-18번지 104호
최범락
서울특별시 강남구 대치1동 삼성아파트 112동 508호
임종선
서울특별시 영등포구 신길6동 우성2차아파트 202동 209호
정창오
경기도 수원시 영통구 망포동 동수원엘지빌리지 2차 201동 203호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 박막 트랜지스터 표시판 및 그의 제조 방법

요약

본 발명의 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에서는 절연 기판의 상부에 비정질 규소 또는 다결정 규소로 이루어진 제1 및 제2 반도체층을 형성하고, 제1 게이트 전극을 가지는 게이트선 및 제2 게이트 전극을 형성한다. 이어, 게이트선 및 제2 게이트 전극과 제1 및 제2 반도체층 사이에 게이트 절연막을 형성한 다음, 게이트 절연막 상부에 제1 및 제2 소스 전극, 데이터선, 제1 및 제2 드레인 전극, 전원 전압용 전극을 형성한다. 이어, 제1 및 제2 소스 전극, 데이터선, 제1 및 제2 드레인 전극, 전원 전압용 전극을 덮는 층간 절연막을 형성한 다음, 몰리브덴, ITO 또는 IZO의 제1 도전막과 반사도를 가지는 도전 물질의 제2 도전막을 적층하고 함께 패터닝하여 층간 절연막 상부에 제2 드레인 전극과 연결되는 응력 완충막과 화소 전극을 형성한다. 이어, 화소 전극을 드러내는 개구부를 격벽과 격벽에 의하여 구획된 화소 전극 위의 소정 영역에 유기 발광층을 형성하고, 유기 발광층과 접하는 공통 전극을 형성한다.

대표도

도 2

색인어

유기발광층, 격벽, 응력, 반사막

명세서

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,
 도 2 및 도 3은 도 1의 박막 트랜지스터 표시판을 II-II' 선 및 III-III' 선을 따라 잘라 도시한 단면도이고,
 도 4, 도 6, 도 8, 도 10, 도 12, 도 14, 도 16, 도 18은 도 1 내지 도 3의 박막 트랜지스터 표시판의 제조 방법에서 중간 단계를 도시한 배치도이고,
 도 5a 및 도 5b는 도 4에서 Va-Va' 선 및 Vb-Vb' 선을 따라 잘라 도시한 단면도이고,
 도 7a 및 도 7b는 도 6에서 VIIa-VIIa' 선 및 VIIb-VIIb' 선을 따라 잘라 도시한 단면도이고,
 도 9a 및 도 9b는 도 8에서 IXa-IXa' 선 및 IXb-IXb' 선을 따라 잘라 도시한 단면도이고,
 도 11a 및 도 11b는 도 10에서 XIa-XIa' 선 및 XIb-XIb' 선을 따라 잘라 도시한 단면도이고,
 도 13a 및 도 13b는 도 12에서 XIIIa-XIIIa' 선 및 XIIIb-XIIIb' 선을 따라 잘라 도시한 단면도이고,
 도 15a 및 도 15b는 도 14에서 XVa-XVa' 선 및 XVb-XVb' 선을 따라 잘라 도시한 단면도이고,
 도 17a 및 도 17b는 도 16에서 XVIIa-XVIIa' 선 및 XVIIb-XVIIb' 선을 따라 잘라 도시한 단면도이고,
 도 19a 및 도 19b는 도 18에서 XIXa-XIXa' 선 및 XIXb-XIXb' 선을 따라 잘라 도시한 단면도이고,
 도 20은 본 발명의 한 실시예에 따른 유기 발광 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,
 도 21 및 도 22는 도 20의 박막 트랜지스터 표시판을 XXI-XXI' 선 및 XXII-XXII' 선을 따라 잘라 도시한 단면도이고,
 도 23, 도 25, 도 27, 도 29, 도 31, 도 33은 도 20 내지 도 22의 박막 트랜지스터 표시판의 제조 방법에서 중간 단계를 도시한 배치도이고,
 도 24a 및 도 24b는 도 23에서 XXIVa-XXIVa' 선 및 XXIVb-XXIVb' 선을 따라 잘라 도시한 단면도이고,
 도 26a 및 도 26b는 도 25에서 XXVIa-XXVIa' 선 및 XXVIb-XXVIb' 선을 따라 잘라 도시한 단면도이고,
 도 28a 및 도 28b는 도 27에서 XXVIIIa-XXVIIIa' 선 및 XXVIIIb-XXVIIIb' 선을 따라 잘라 도시한 단면도이고,
 도 30a 및 도 30b는 도 29에서 XXXa-XXXa' 선 및 XXXb-XXXb' 선을 따라 잘라 도시한 단면도이고,
 도 32a 및 도 32b는 도 31에서 XXXIIa-XXXIIa' 선 및 XXXIIb-XXXIIb' 선을 따라 잘라 도시한 단면도이고,
 도 34a 및 도 34b는 도 33에서 XXXIVa-XXXIVa' 선 및 XXXIVb-XXXIVb' 선을 따라 잘라 도시한 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

이 발명은 박막 트랜지스터 표시판 및 그의 제조 방법에 관한 것으로 더욱 상세하게는 유기 발광 표시 장치의 한 기관으로 사용하는 박막 트랜지스터 표시판 및 그의 제조 방법에 관한 것이다.

일반적으로 유기 발광(organic electro-luminescence) 표시 장치는 형광성 유기 물질을 전기적으로 여기 발광시켜 화상을 표시하는 표시 장치로서, 정공 주입 전극(애노드)과 전자주입 전극(캐소드)과 이들 사이에 형성되어 있는 유기 발광층을 포함하고, 유기 발광층에 전하를 주입하면, 전자와 정공이 쌍을 이룬 후 소멸하면서 빛을 내는 자기발광형 표시 장치이다. 이때, 유기 발광층의 발광 효율을 향상시키기 위해 전자 수송층(ETL:Electron Transport Layer) 및 정공 수송층(HTL:Hole Transport Layer) 등을 포함하며, 전자 주입층(EIL:Electron Injecting Layer)과 정공 주입층(HIL:Hole Injecting Layer) 등을 더 포함할 수 있으며, 매트릭스 형태로 배열되어 있는 유기 발광 셀을 구동하는 방법으로 단순 매트릭스 방식과 박막 트랜지스터를 이용한 능동 매트릭스 방식으로 분류된다.

단순 매트릭스(passive matrix) 방식이 애노드 라인과 캐소드 라인을 서로 교차하도록 배치하여 특정 화소에 대응하는 라인을 선택 구동하는 반면, 능동 매트릭스(active matrix) 방식은 각 유기 발광 셀의 애노드 전극에 구동 박막 트랜지스터와 콘덴서를 접속하여 콘덴서 용량에 의해 전압을 유지하도록 하는 구동 방식이다. 이때, 유기 발광 셀에 발광을 위한 전류를 공급하는 구동 박막 트랜지스터의 전류량은 스위칭 트랜지스터를 통해 인가되는 데이터 전압에 의해 제어되며, 스위칭 트랜지스터의 게이트와 소스는 각각 서로 교차하여 배치되어 있는 게이트 신호선(또는 스캔 라인)과 데이터 신호선에 연결된다. 따라서 게이트 신호선을 통하여 전달된 신호에 의해 스위칭 트랜지스터가 온(on)되면, 데이터 라인을 통해 데이터 전압이 구동 박막 트랜지스터의 게이트 전압으로 인가되고, 이를 통하여 구동 박막 트랜지스터를 통하여 유기 발광 셀에 전류가 흘러 발광이 이루어진다. 여기서, 각각의 셀에 배치되어 있는 구동 박막 트랜지스터의 소스는 전원 전극에 공통으로 연결되어 소스에는 전원 전압이 전달되는데, 구동 박막 트랜지스터를 통하여 흐르는 전류량은 전원 전압과 데이터 전압 차에 의해 결정된다. 따라서, 계조에 따른 데이터 전압을 인가함으로써 구동 박막 트랜지스터의 전류량을 다양하게 조절하여, 계조를 결정할 수 있으며, 이러한 유기 발광 셀은 R, G, B 화소별로 구비되어 칼라 화면을 구현한다.

이러한 유기 발광 표시 장치는 화상을 표시하는 방향에 따라 전면 방출(Top Emission) 방식과 후면 방출(Bottom Emission) 방식으로 구분되는데, 전면 방출 방식은 캐소드 전극을 ITO 또는 IZO 등과 같은 투명한 전극 물질로 형성하고 애노드 전극은 불투명한 도전 물질로 형성하며, 배면 방출 방식에서는 이와 반대로 전극을 배치한다. 또한 필요에 따라서는 애노드 전극을 위쪽으로 배치하면서도 전면 방출 방식을 채택할 수도 있다.

이러한 전면 방출 방식의 유기 발광 표시 장치용 박막 트랜지스터 표시판의 제조 방법에서는, 애노드 전극을 형성하기 전에 그 하부에 형성되어 있는 박막 트랜지스터와 배선에 의한 단차를 최소화하기 위해 평탄화 특성이 우수한 절연 물질을 이용하여 절연막을 형성한 다음 반사도를 가지는 물질을 적층하여 애노드 전극을 형성한다.

하지만, 절연막과 애노드 전극을 이루는 반사막의 열팽창 계수가 달라 제조 공정시에 반사막의 표면에는 강한 응력(stress)이 가해지며, 이로 인하여 반사막의 일부를 갈라지게 되어 틈(crack)이 발생하거나, 심지어는 평탄화 절연막까지 틈이 전달되어, 박막 트랜지스터 표시판의 공정 수율을 저하시키는 원인으로 작용한다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 공정 수율을 향상시킬 수 있는 유기 발광 표시 장치용 박막 트랜지스터 표시판 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

이러한 과제를 해결하기 위한 본 발명의 실시예에 따른 박막 트랜지스터 표시판 및 그 제조 방법에서는 유기 절연 물질로 이루어진 평탄화 절연막과 반사막 사이에 응력 완충막을 형성한다. 이때, 응력 완충막은 반사막과 동일한 모양을 가진다.

더욱 상세하게, 본 발명의 실시예에 따른 박막 트랜지스터 표시판에는, 절연 기관의 상부에 다결정 규소 또는 비정질 규소로 이루어져 있는 제1 및 제2 채널부를 각각 가지는 제1 및 제2 반도체가 형성되어 있고, 그 상부에는 제1 채널부와 중첩하는 제1 게이트 전극을 가지는 게이트선과 제2 채널부와 중첩하는 제2 게이트 전극이 형성되어 있다. 제1 및 제2 반도체와 제1 및 제2 게이트 전극 사이에는 게이트 절연막이 형성되어 있고, 그 상부에는 제1 반도체 일부와 접하고 있는 제1 소스 전극을 가지는 데이터선, 제1 채널부를 중심으로 제1 소스 전극과 마주하여 제1 채널부와 접하며, 제2 게이트 전극과 연결되어 있는 제1 드레인 전극, 제2 채널부의 일부와 접하는 제2 소스 전극을 가지는 전원 전압용 전극 및 제2 채널부를 중심으로 제2 소스 전극과 마주하는 제2 드레인 전극이 형성되어 있다. 데이터선, 제1 및 제2 드레인 전극 및 전원 전압용

전극 상부에는 층간 절연막이 형성되어 있고, 그 상부에는 제2 드레인 전극과 연결되어 있으며, 게이트선과 데이터선으로 둘러싸인 화소 영역에 배치되어 있는 화소 전극이 형성되어 있으며, 화소 전극과 층간 절연막 사이에는 화소 전극과 동일한 모양을 가지는 응력 완충막이 형성되어 있다. 화소 영역의 화소 전극을 드러내는 개구부를 가지는 격벽이 형성되어 있고, 화소 전극 상부의 개구부에는 유기 발광층이 형성되어 있고, 그 상부에는 유기 발광층을 덮고 있는 공통 전극이 형성되어 있다.

이때, 화소 전극은 반사도를 가지는 도전 물질로 이루어지고, 공통 전극은 투명한 도전 물질로 이루어진 것이 바람직하다.

제1 드레인 전극과 제2 게이트 전극을 연결하는 연결 부재를 더 포함하는 것이 바람직하며, 응력 완충막은 ITO, IZO 또는 몰리브덴을 포함하는 것이 바람직하다.

더욱 상세하게, 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에서는, 절연 기판의 상부에 비정질 규소 또는 다결정 규소로 이루어진 제1 및 제2 반도체층을 형성하고, 제1 게이트 전극을 가지는 게이트선 및 제2 게이트 전극을 형성한다. 게이트선 및 제2 게이트 전극과 제1 및 제2 반도체층 사이에 게이트 절연막을 형성하고, 게이트 절연막 상부에 제1 및 제2 소스 전극, 데이터선, 제1 및 제2 드레인 전극, 전원 전압용 전극을 형성하고, 유기 절연 물질을 도포하여 제1 및 제2 소스 전극, 데이터선, 제1 및 제2 드레인 전극, 전원 전압용 전극을 덮는 층간 절연막을 형성한다. 층간 절연막 상부에 제2 드레인 전극과 연결되는 화소 전극을 형성하고, 층간 절연막과 화소 전극 사이에 응력 완충막을 형성하고, 화소 전극을 드러내는 개구부를 격벽을 형성하고, 격벽에 의하여 구획된 화소 전극 위의 소정 영역에 유기 발광층을 형성하고, 유기 발광층과 접하는 공통 전극을 형성한다.

화소 전극은 반사도를 가지는 도전 물질로 형성하고, 응력 완충막은 ITO, IZO, 또는 몰리브덴으로 형성하고, 공통 전극은 투명한 도전 물질로 형성하는 것이 바람직하고, 화소 전극을 형성하기 전후에 층간 절연막을 경화하는 단계를 더 포함할 수 있다.

화소 전극과 응력 완충막은 하나의 식각 공정으로 동일한 패턴으로 형성하며, 화소 전극과 동일한 층에 제1 드레인 전극과 제2 게이트 전극을 연결하는 연결 부재를 형성할 수 있다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 실시예에 따른 유기 발광 표시 장치용 박막 트랜지스터 표시판 및 그의 제조 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.

우선, 도 1 내지 도 3을 참조하여 완성된 유기 발광 표시 장치용 박막 트랜지스터 표시판의 구조에 대하여 설명하기로 한다.

절연 기판(110) 위에는 산화 규소 또는 질화 규소 등으로 이루어진 차단층(111)이 형성되어 있고, 차단층(111) 위에 제1 및 제2 다결정 규소층(150a, 150b)이 형성되어 있고, 제2 다결정 규소층(150b)에는 축전기용 다결정 규소층(157)이 연결되어 있다. 제1 다결정 규소층(150a)은 제1 트랜지스터부(153a, 154a, 155a)를 포함하고 있으며, 제2 다결정 규소층(150b)은 제2 트랜지스터부(153b, 154b, 155b)를 포함한다. 제1 트랜지스터부(153a, 154a, 155a)의 소스 영역(제1 소스 영역, 153a)과 드레인 영역(제1 드레인 영역, 155a)은 n형 불순물로 도핑되어 있고, 제2 트랜지스터부(153b, 154b, 155b)의 소스 영역(제2 소스 영역, 153b)과 드레인 영역(제2 드레인 영역, 155b)은 p형 불순물로 도핑되어 있다. 이 때, 구동 조건에 따라서는 제1 소스 영역(153a) 및 드레인 영역(155a)이 p형 불순물로 도핑되고 제2 소스 영역(153b) 및 드레인 영역(155b)이 n형 불순물로 도핑될 수도 있다. 여기서, 제1 트랜지스터부(153a, 154a, 155a)는 스위칭 박막 트랜지스터의 반도체이며, 제2 트랜지스터부(153b, 154b, 155b)는 구동 박막 트랜지스터의 반도체이다.

다결정 규소층(150a, 150b, 157) 위에는 산화 규소 또는 질화 규소로 이루어진 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140) 위에는 알루미늄 또는 알루미늄 합금 등과 같이 저저항의 도전 물질로 이루어진 도전막을 포함하는 게

이트선(121)과 제1 및 제2 게이트 전극(124a, 124b) 및 유지 전극(133)이 형성되어 있다. 제1 게이트 전극(124a)은 게이트선(121)에 연결되어 가지 모양으로 형성되어 있고 제1 트랜지스터의 채널부(154a)와 중첩하고 있으며, 제2 게이트 전극(124b)은 게이트선(121)과는 분리되어 있고 제2 트랜지스터의 채널부(154b)와 중첩하고 있다. 유지 전극(133)은 제2 게이트 전극(124b)과 연결되어 있고, 다결정 규소층의 유지 전극부(157)와 중첩되어 있다.

게이트선(121)과 제1 및 제2 게이트 전극(124a, 124b) 및 유지 전극(133)의 위에는 제1 층간 절연막(801)이 형성되어 있고, 제1 층간 절연막(801) 위에는 데이터 신호를 전달하는 데이터선(171), 전원 전압을 공급하는 선형의 전원 전압용 전극(172), 제1 및 제2 소스 전극(173a, 173b) 및 제1 및 제2 드레인 전극(175a, 175b)이 형성되어 있다. 제1 소스 전극(173a)은 데이터선(171)의 일부이며 분지의 형태를 취하고 있으며 제1 층간 절연막(801)과 게이트 절연막(140)을 관통하고 있는 접촉구(181)를 통하여 제1 소스 영역(153a)과 연결되어 있고, 제2 소스 전극(173b)은 전원 전압용 전극(172)의 일부로 분지의 형태를 취하고 있으며 제1 층간 절연막(801)과 게이트 절연막(140)을 관통하고 있는 접촉구(184)를 통하여 제2 소스 영역(153b)과 연결되어 있다. 제1 드레인 전극(175a)은 제1 층간 절연막(801)과 게이트 절연막(140)을 관통하고 있는 접촉구(182, 183)를 통하여 제1 드레인 영역(155a) 및 제2 게이트 전극(124b)과 접촉하여 이들을 서로 전기적으로 연결하고 있다. 제2 드레인 전극(175b)은 제1 층간 절연막(801)과 게이트 절연막(140)을 관통하고 있는 접촉구(186)를 통하여 제2 드레인 영역(155b)과 연결되어 있으며, 데이터선(171)과 동일한 물질로 이루어져 있다.

데이터선(171), 전원 전압용 전극(172) 및 제1 및 제2 드레인 전극(175a, 175b) 위에는 평탄화 특성이 우수한 유기 절연 물질 등으로 이루어진 제2 층간 절연막(802)이 형성되어 있으며, 제2 층간 절연막(802)은 제2 드레인 전극(175b)을 드러내는 접촉구(185)를 가진다. 이때, 제2 층간 절연막(802)은 1.0-10.0 μm 범위의 두께를 가지며, 폴리 이미드(poly imide) 또는 폴리 아크릴(poly achryl) 등을 포함한다.

제2 층간 절연막(802) 상부에는 접촉구(185)를 통하여 제2 드레인 전극(175b)과 연결되어 있는 응력 완충막(195)과 화소 전극(190)이 차례로 형성되어 있다. 이때, 응력 완충막(195)은 화소 전극(190)과 동일한 모양을 가지며, ITO(indium tin oxide) 또는 IZO(indium zinc oxide)등의 투명한 도전 물질 또는 몰리브덴 또는 이를 포함하는 합금으로 이루어지며, 50-500 nm의 두께를 가진다. 화소 전극(190)은 크롬 또는 알루미늄 또는 은 합금 등의 반사성이 우수한 물질로 형성하는 것이 바람직하며, 10-500 nm 범위의 두께를 가진다. 그러나, 필요에 따라서는 화소 전극(190)을 ITO (Indium Tin Oxide) 또는 IZO(Indium zinc Oxide) 등의 투명한 도전 물질로 형성할 수도 있다. 투명한 도전 물질로 이루어진 화소 전극(190)은 표시판의 아래 방향으로 화상을 표시하는 배면 방출 (bottom emission) 방식의 유기 발광에 적용한다. 본 실시예와 같이 불투명한 도전 물질로 이루어진 화소 전극(190)은 표시판의 상부 방향으로 화상을 표시하는 전면 방출(top emission) 방식의 유기 발광에 적용한다.

제2 층간 절연막(802) 상부에는 유기 절연 물질 및 무기 절연 물질로 이루어져 있으며, 유기 발광 셀을 분리시키기 위한 격벽(803)이 형성되어 있다. 격벽(803)은 화소 전극(190) 가장자리 주변을 둘러싸서 유기 발광층(70)이 채워질 영역을 한정하고 있다.

격벽(803)에 둘러싸인 화소 전극(190) 위의 영역에는 유기 발광층(70)이 형성되어 있다. 유기 발광층(70)은 적색, 녹색, 청색 중 어느 하나의 빛을 내는 유기 물질로 이루어지며, 적색, 녹색 및 청색 유기 발광층(70)이 순서대로 반복적으로 배치되어 있다.

격벽(803) 및 유기 발광층(70) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있다. 만약 화소 전극(190)이 ITO 또는 IZO 등의 투명한 도전 물질로 이루어지는 경우에는 공통 전극(270)은 알루미늄 등의 저저항 금속으로 이루어질 수 있다.

이러한 유기 발광 표시판의 구동에 대하여 간단히 설명한다.

게이트선(121)에 온(on) 펄스가 인가되면 제1 트랜지스터가 온되어 데이터선(171)을 통하여 인가되는 화상 신호 전압 또는 데이터 전압이 제2 게이트 전극(124b)으로 전달된다. 제2 게이트 전극(124b)에 화상 신호 전압이 인가되면 제2 트랜지스터가 온되어 데이터 전압에 의한 전류가 화소 전극(190)과 유기 발광층(70)으로 흐르게 되며, 유기 발광층(70)은 특정 파장대의 빛을 방출한다. 이때, 제2 박막 트랜지스터를 통하여 흐르는 전류의 양에 따라 유기 발광층(70)이 방출하는 빛의 양이 달라져 휘도가 변하게 된다. 이 때, 제2 트랜지스터가 전류를 흘릴 수 있는 양은 제1 트랜지스터를 통하여 전달되는 화상 신호 전압과 전원 전압용 전극(172)을 통하여 전달되는 전원 전압과 차이의 크기에 의하여 결정된다.

그러면, 이러한 유기 발광 표시 장치용 박막 트랜지스터 표시판을 제조하는 방법을 도 4 내지 도 19b와 앞서의 도 1 내지 3을 참고로 하여 설명한다.

도 4, 도 6, 도 8, 도 10, 도 12, 도 14, 도 16, 도 18은 도 1 내지 도 3의 박막 트랜지스터 표시판의 제조 방법에서 중간 단계를 도시한 배치도이고, 도 5a 및 도 5b는 도 4에서 Va-Va' 선 및 Vb-Vb' 선을 따라 잘라 도시한 단면도이고, 도 7a 및 도 7b는 도 6에서 VIIa-VIIa' 선 및 VIIb-VIIb' 선을 따라 잘라 도시한 단면도이고, 도 9a 및 도 9b는 도 8에서 IXa-IXa' 선 및 IXb-IXb' 선을 따라 잘라 도시한 단면도이고, 도 11a 및 도 11b는 도 10에서 XIa-XIa' 선 및 XIb-XIb' 선을 따라 잘라 도시한 단면도이고, 도 13a 및 도 13b는 도 12에서 XIIIa-XIIIa' 선 및 XIIIb-XIIIb' 선을 따라 잘라 도시한 단면도이고, 도 15a 및 도 15b는 도 14에서 XVa-XVa' 선 및 XVb-XVb' 선을 따라 잘라 도시한 단면도이고, 도 17a 및 도 17b는 도 16에서 XVIIa-XVIIa' 선 및 XVIIb-XVIIb' 선을 따라 잘라 도시한 단면도이고, 도 19a 및 도 19b는 도 18에서 XIXa-XIXa' 선 및 XIXb-XIXb' 선을 따라 잘라 도시한 단면도이다.

먼저, 도 4 내지 도 5b에서 보는 바와 같이 기판(110)의 상부에 산화 규소 등을 증착하여 차단층(111)을 형성하고, 차단층(111) 위에 비정질 규소층을 증착한다. 비정질 규소층의 증착은 LPCVD(low temperature chemical vapor deposition), PECVE(plasma enhanced chemical vapor deposition) 또는 스퍼터링(sputtering)으로 진행할 수 있다. 이어서, 비정질 규소층에 레이저빔을 조사하여 다결정 규소로 결정화한다. 다음, 다결정 규소층을 사진 식각하여 제1 및 제2 트랜지스터부(150a, 150b)와 유지 전극부(157)를 형성한다.

다음, 도 6 내지 도 7b에 나타난 바와 같이, 다결정 규소층(150a, 150b, 157) 위에 게이트 절연막(140)을 증착한다. 이어서, 게이트용 금속층(120)을 증착하고 감광막을 도포하고 노광 및 현상하여 제1 감광막 패턴(PR1)을 형성한다. 제1 감광막 패턴(PR1)을 마스크로 하여 게이트 금속층(120)을 식각함으로써 제2 게이트 전극(124b)과 유지 전극(133)을 형성하고, 노출되어 있는 제2 트랜지스터부(150b) 다결정 규소층에 p형 불순물 이온을 주입하여 채널 영역(154b)을 정의하고 제2 소스 영역(153b)과 제2 드레인 영역(155b)을 형성한다. 이 때, 제2 트랜지스터부(150a) 다결정 규소층은 제1 감광막 패턴(PR1) 및 게이트 금속층(120)에 덮여 보호된다.

다음, 도 8 내지 도 9b에 나타난 바와 같이, 제1 감광막 패턴(PR1)을 제거하고, 감광막을 새로 도포하고 노광 및 현상하여 제2 감광막 패턴(PR2)을 형성한다. 제2 감광막 패턴(PR2)을 마스크로 하여 게이트 금속층(120)을 식각함으로써 제1 게이트 전극(124a) 및 게이트선(121)을 형성하고, 노출되어 있는 제1 트랜지스터부(150a) 다결정 규소층에 n형 불순물 이온을 주입하여 채널 영역(154a)을 정의하고 제1 소스 영역(153a)과 제1 드레인 영역(155a)을 형성한다. 이 때, 제2 트랜지스터부(150a) 및 유지 전극부(157)는 제2 감광막 패턴(PR2)에 덮여 보호된다.

다음, 도 10 내지 도 11b에 나타난 바와 같이, 게이트선(121, 124b), 제2 게이트 전극(124b) 및 유지 전극(133) 위에 제1 층간 절연막(801)을 적층하고 게이트 절연막(140)과 함께 사진 식각하여 제1 소스 영역(153a), 제1 드레인 영역(155a), 제2 소스 영역(153b) 및 제2 드레인 영역(155b)을 각각 노출시키는 접촉구(181, 182, 184, 186)와 제2 게이트 전극(124b)의 일단부를 노출시키는 접촉구(183)를 형성한다.

다음, 도 12 내지 도 13b에 나타난 바와 같이, 데이터 금속층을 적층하고 사진 식각하여 데이터선(171), 전원 전압용 전극(172) 및 제1 및 제2 드레인 전극(175a, 175b)을 형성한다. 이 때, 이후에 형성하는 화소 전극(190)을 함께 형성할 수도 있으며, 화소 전극(190)을 ITO 또는 IZO 등의 투명한 도전 물질로 형성하는 경우에는 별개의 사진 식각 공정을 통하여 형성한다.

다음, 도 14 내지 도 15b에서 보는 바와 같이, 기판(110) 상부에 폴리 이미드(poly imide) 아크릴(achryl)계의 유기 물질을 스핀 코팅(spin coating), 롤 코팅(roll coating) 또는 캡 코팅(cap coating) 등의 방법으로 제2 층간 절연막(802)을 1-10.0 μ m 범위의 두께 범위로 형성하고, 마스크를 이용한 사진 공정으로 패터닝하여 제2 드레인 전극(175b)을 드러내는 접촉구(185)를 형성한다. 이때, 200-300 $^{\circ}$ C 범위의 온도로 열 처리하는 공정을 추가하는 것이 바람직하고, 이러한 공정은 이후에 화소 전극(190)을 형성한 다음 실시할 수도 있다.

이어, 도 16 내지 도 17b에서 보는 바와 같이, ITO, IZO 또는 몰리브덴을 50-500 nm 범위의 두께로 적층하여 제1 도전막을 형성하고, 반사도를 가지는 알루미늄, 은 또는 크롬을 포함하는 금속 물질을 10-500 nm 범위의 두께로 적층하여 제2 도전막을 형성한 다음, 마스크를 이용한 사진 식각 공정으로 제1 및 제2 도전막을 패터닝하여 응력 완충막(195)과 화소 전극(190)을 형성한다. 응력 완충막(195)과 화소 전극(190)은 하나의 식각 조건으로 패터닝하는 것이 바람직하다.

다음, 도 18 내지 도 19b에 나타난 바와 같이, 화소 전극(190)이 형성되어 있는 제2 층간 절연막(802) 위에 유기 절연 물질 또는 무기 절연 물질의 절연막을 적층하고 마스크를 이용한 사진 식각 공정으로 패터닝하여 격벽(803)을 형성한다.

이어, 도 1 내지 도 3에 도시한 바와 같이, 각각의 화소 영역에 위치하는 화소 전극(190)의 상부에 유기 발광층(70)을 형성한다. 이 때, 유기 발광층(70)은 다층 구조로 이루어지는 것이 보통이다. 유기 발광층(70)은 마스크(masking) 후 증착, 잉크젯 프린팅 등의 방법을 통하여 형성한다. 다음, 유기 발광층(70) 위에 ITO 또는 IZO를 증착하여 공통 전극(270)을 형성한다. 여기서, 전도성 유기 물질을 도포하여 공통 전극(270)의 하부에 버퍼층을 추가로 형성할 수 있다.

이러한 본 발명의 실시예에 따른 유기 발광 표시 장치용 박막 트랜지스터 표시판 및 그 제조 방법에서는 화소 전극(190)의 하부에 응력 완충막(195)을 형성함으로써 200-300℃ 범위의 경화 공정을 진행하더라도 화소 전극(190) 또는 제2 층간 절연막(802)에서는 박리 현상이 발생하는 것을 방지할 수 있다. 실질적으로 화소 전극(190)인 반사막은 크롬으로 형성하고 응력 완충막(195)을 IZO로 형성하고, 제2 층간 절연막(802)은 유기 물질(상품명 PC455R1)로 형성하여 실험을 실시하였다. 이때, 응력 완충막(195)을 90-360 nm 범위에서 두께를 변화시키면서, 제2 층간 절연막(802)을 경화시키기 위해 230℃ 정도에서 열처리 공정을 실시한 결과 박리 현상을 발생하지 않았으며, 응력 완충막(195)을 몰리브덴으로 형성하고, 100-350 nm 범위에서 두께를 변화시키면서, 박리 현상의 여부를 측정하였으나 대부분의 실험에서 박막 현상은 발생하지 않았다. 이때, 유기 물질인 PC455R1과 크롬(Cr)의 열 팽창 계수는 각각 $2.0-2.3 \times 10^6 / ^\circ\text{C}$ 와 $4.9 \times 10^6 / ^\circ\text{C}$ 이고, 몰리브덴(Mo)의 열 팽창 계수는 $4.8 \times 10^6 / ^\circ\text{C}$ 이다. 따라서, 응력 완충막(195)은 제2 층간 절연막(802)과 화소 전극(190) 사이의 열 팽창 계수를 가지는 물질로 형성할 수 있으며, 이를 통하여 박리 현상이 발생하는 것을 방지할 수 있다. 화소 전극(190)이 크롬일 때, 응력 완충막(195)은 규소(Si), 텅스텐(W), 몰리브덴(Mo) 등으로 형성할 수 있으며, 화소 전극(190)이 은일 때, 응력 완충막(195)은 규소(Si), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 게르마늄(Ge), 니오븀(Nb), 티타늄(Ti), 백금(Pt), 니켈(Ni), 금(Au), 구리(Cu) 등으로 형성할 수 있으며, 화소 전극(190)이 알루미늄일 때는 앞에서 언급한 물질과 망간(Mn)을 더 포함할 수 있다.

한편, 이렇게 응력 완충막을 형성하는 방법은 단순 매트릭스 방식의 유기 발광 표시 장치를 제조하는 공정에도 동일하게 적용할 수 있으며, 반도체층을 비정질 규소로 이용하는 유기 발광 표시 장치용 박막 트랜지스터 표시판 및 그 제조 방법에도 동일하게 적용할 수 있으며, 도면을 참조하여 설명하기로 한다.

도 20은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고, 도 21 및 도 22는 도 20의 박막 트랜지스터 표시판을 XXI-XXI' 선 및 XXII-XXII' 선을 따라 잘라 도시한 단면도이다.

절연 기판(110) 위에 게이트 신호를 전달하는 복수의 게이트선(gate line)(121)이 형성되어 있다. 게이트선(121)은 주로 가로 방향으로 뻗어 있으며, 각 게이트선(121)의 일부는 돌출되어 복수의 제1 게이트 전극(gate electrode)(124b)을 이룬다. 또한 게이트선(121)과 동일한 층에는 제2 게이트 전극(124b)이 형성되어 있으며, 제2 게이트 전극(124b)에는 세로 방향으로 뻗은 유지 전극(133)이 연결되어 있다.

게이트선(121), 제2 게이트 전극(124b) 및 유지 전극(133)은 물리적 성질이 다른 두 개의 막을 포함할 수 있다. 하나의 도전막은 게이트 신호의 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열의 금속으로 이루어지는 것이 바람직하다. 이와는 달리, 다른 도전막은 다른 물질, 특히 IZO(indium zinc oxide) 또는 ITO(indium tin oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴(Mo), 몰리브덴 합금[보기: 몰리브덴-텅스텐(MoW) 합금], 크롬(Cr) 등으로 이루어지는 것이 바람직하다. 조합의 예로는 크롬/알루미늄-네오디뮴(Nd) 합금을 들 수 있다.

게이트선(121) 위에는 질화 규소(SiNx) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

게이트 절연막(140) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 등으로 이루어진 복수의 선형의 제1 반도체(151)와 섬형의 제2 반도체(154b)가 형성되어 있다. 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며 이로부터 복수의 돌출부(extension)(154a)가 제1 게이트 전극(124a)을 향하여 뻗어 나와 제1 게이트 전극(124a)과 중첩하는 제1 채널부를 포함하고 있다. 또한 선형 반도체(151)는 게이트선(121)과 만나는 지점 부근에서 폭이 커져서 게이트선(121)의 넓은 면적을 덮고 있다. 섬형의 제2 반도체(154b)는 제2 게이트 전극(124b)과 교차하는 제2 채널부를 포함하고, 유지 전극(133)과 중첩하는 유지 전극부(157)를 가진다.

제1 반도체(151) 및 제2 반도체(154b)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 선형 및 섬형 저항성 접촉 부재(ohmic contact)(161, 165a, 163b,

165b)가 형성되어 있다. 선형 접촉 부재(161)는 복수의 돌출부(163a)를 가지고 있으며, 이 돌출부(163a)와 섬형 접촉 부재(165a)는 쌍을 이루어 제1 반도체(151)의 돌출부(154a) 위에 위치한다. 또한, 섬형의 접촉 부재(163b, 165b)는 제2 게이트 전극(124b)을 중심으로 마주하여 쌍을 이루며 제2 반도체(154b) 상부에 위치한다.

반도체(151, 154b)와 저항성 접촉 부재(161, 165a, 163b, 165b)의 측면 역시 경사져 있으며 경사각은 30-80°이다.

저항성 접촉 부재(161, 165a, 163b, 165b) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171)과 복수의 제1 드레인 전극(drain electrode)(175a), 복수의 전원 전압 전극(172) 및 제2 드레인 전극(175b)이 형성되어 있다.

데이터선(171) 및 전원 전압 전극(172)은 주로 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터 전압(data voltage)과 전원 전압을 각각 전달한다. 각 데이터선(171)에서 제1 드레인 전극(175a)을 향하여 뻗은 복수의 가지가 제1 소스 전극(source electrode)(173a)을 이루며 각 전원 전압 전극(172)에서 제2 드레인 전극(175b)을 향하여 뻗은 복수의 가지가 제2 소스 전극(173b)을 이룬다. 한 쌍의 제1 및 제2 소스 전극(173a, 173b)과 제1 및 제2 드레인 전극(175a, 175b)은 서로 분리되어 있으며 각각 제1 및 제2 게이트 전극(124a, 124b)에 대하여 서로 반대쪽에 위치한다. 제1 게이트 전극(124a), 제1 소스 전극(173a) 및 제1 드레인 전극(175a)은 제1 반도체(151)의 돌출부(154a)와 함께 스위칭 박막 트랜지스터(switching thin film transistor)를 이루며, 제2 게이트 전극(124b), 제2 소스 전극(173b) 및 제2 드레인 전극(175b)은 제2 반도체(154b)와 함께 구동 박막 트랜지스터(driving thin film transistor)를 이룬다. 이때, 전원 전압 전극(172)은 제2 반도체(154b)의 유지 전극부(157)와 중첩한다.

데이터선(171), 제1 및 제2 드레인 전극(175a, 175b) 및 전원 전압 전극(172)은 몰리브덴(Mo), 몰리브덴 합금을 포함하는데, 이중막 또는 삼중막의 구조인 경우에 알루미늄 계열의 도전막을 포함할 수 있다. 이중막일 때 알루미늄 계열의 도전막은 몰리브덴 계열의 도전막 하부에 위치하는 것이 바람직하며, 삼중막일 때에는 중간층으로 위치하는 것이 바람직하다.

데이터선(171), 제1 및 제2 드레인 전극(175a, 175b) 및 전원 전압 전극(172)도 게이트선(121)과 마찬가지로 그 측면이 약 30-80°의 각도로 각각 경사져 있다.

저항성 접촉 부재(161, 163b, 165a, 165b)는 그 하부의 제1 반도체(151) 및 제2 반도체(154b)와 그 상부의 데이터선(171), 제1 드레인 전극(175a, 175b), 전원 전압 전극(172) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다. 선형 반도체(151)는 제1 소스 전극(173a)과 제1 드레인 전극(175a) 사이를 비롯하여 데이터선(171) 및 제1 드레인 전극(175a)에 가리지 않고 노출된 부분을 가지고 있으며, 대부분의 곳에서는 선형 반도체(151)의 폭이 데이터선(171)의 폭보다 작지만 앞서 설명했듯이 게이트선(121)과 만나는 부분에서 폭이 커져서 게이트선(121)과 데이터선(171) 사이의 절연을 강화한다.

데이터선(171), 제1 및 제2 드레인 전극(175a, 175b) 및 전원 전압용 전극(172)과 노출된 반도체(151, 154b) 부분의 위에는 평탄화 특성이 우수한 유기 물질 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진 보호막(passivation layer)(802)이 형성되어 있다. 보호막(802)은 감광성(photosensitivity)을 가질 수 있다.

반도체(151) 및 제2 반도체(154b)가 드러난 부분으로 보호막(802)의 유기 물질이 접하는 것을 방지하기 위해 보호막(802)은 유기막의 하부에 질화 규소 또는 산화 규소로 이루어진 절연막이 추가될 수 있다.

보호막(802)에는 제1 드레인 전극(175a), 제2 게이트 전극(124b), 제2 드레인 전극(175b)을 각각 드러내는 복수의 접촉 구멍(contact hole)(185, 183, 182)이 형성되어 있다.

한편, 보호막(802)이 데이터선(171), 전원 전압용 전극(172) 및 게이트선(121)의 끝 부분을 드러내는 접촉 구멍을 가지는 실시예는 외부의 데이터 구동 회로 출력단을 이방성 도전막을 이용하여 연결하기 위해 접촉부를 가지는 구조이며, 기판(110)의 상부에 게이트 구동 회로를 직접 형성하는 실시예에서는 데이터선(171), 전원 전압용 전극(172), 게이트선(121)의 끝 부분은 게이트 구동 회로의 출력단에 직접 연결된다.

접촉 구멍(185, 183, 182)은 제1 및 제2 드레인 전극(175a, 175b) 및 제2 게이트 전극(124b)을 드러내는데, 접촉 구멍(185, 183, 182)에서는 이후에 형성되는 도전막과 접촉 특성을 확보하기 위해 알루미늄 계열의 도전막이 드러나지 않는 것이 바람직하며, 드러나는 경우에는 전면 식각을 통하여 제거하는 것이 바람직하다.

보호막(180) 위에는 앞의 실시예와 같이 ITO, IZO, 몰리브덴 등으로 이루어진 응력 완충막(195)과 크롬, 알루미늄 또는 은 합금 등의 반사성이 우수한 물질로 이루어진 복수의 화소 전극(pixel electrode)(190) 및 복수의 연결 부재(connection assistant)(192)가 형성되어 있다.

화소 전극(190) 및 응력 완충막(195)은 접촉 구멍(185)을 통하여 제2 드레인 전극(175b)과 각각 물리적·전기적으로 연결되어 있으며, 연결 부재(192) 및 응력 완충막(195)은 제1 드레인 전극(175a)과 제2 게이트 전극(124b)을 연결한다.

이후의 적층 구조는 제1 실시예와 동일하다.

그러면, 도 20 내지 도 22에 도시한 유기 발광 표시 장치용 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법에 대하여 도 23 내지 도 34b 및 도 20 내지 도 22를 참고로 하여 상세히 설명한다.

도 23, 도 25, 도 27, 도 29, 도 31, 도 33은 도 20 내지 도 22의 박막 트랜지스터 표시판의 제조 방법에서 중간 단계를 도시한 배치도이고, 도 24a 및 도 24b는 도 23에서 XXIVa-XXIVa' 선 및 XXIVb-XXIVb' 선을 따라 잘라 도시한 단면도이고, 도 26a 및 도 26b는 도 25에서 XXVIa-XXVIa' 선 및 XXVIb-XXVIb' 선을 따라 잘라 도시한 단면도이고, 도 28a 및 도 28b는 도 27에서 XXVIIIa-XXVIIIa' 선 및 XXVIIIb-XXVIIIb' 선을 따라 잘라 도시한 단면도이고, 도 30a 및 도 30b는 도 29에서 XXXa-XXXa' 선 및 XXXb-XXXb' 선을 따라 잘라 도시한 단면도이고, 도 32a 및 도 32b는 도 31에서 XXXIIa-XXXIIa' 선 및 XXXIIb-XXXIIb' 선을 따라 잘라 도시한 단면도이고, 도 34a 및 도 34b는 도 33에서 XXXIVa-XXXIVa' 선 및 XXXIVb-XXXIVb' 선을 따라 잘라 도시한 단면도이다.

먼저, 도 23 내지 도 24b에서 보는 바와 같이, 투명한 유리 따위로 만들어진 절연 기판(110) 위에 게이트용 도전 물질을 적층하고 감광막 패턴을 이용한 사진 식각 공정으로 패터닝하여 복수의 제1 게이트 전극(124a)을 포함하는 게이트선(121)과 제2 게이트 전극(124b) 및 유지 전극(133)을 형성한다.

다음, 도 25 내지 도 26b에 도시한 바와 같이, 게이트 절연막(140), 진성 비정질 규소층(intrinsic amorphous silicon), 불순물 비정질 규소층(extrinsic amorphous silicon)의 삼층막을 연속하여 적층하고, 불순물 비정질 규소층과 진성 비정질 규소층을 사진식각하여 복수의 선형 불순물 반도체(164)와 복수의 돌출부(154)를 각각 포함하는 제1 반도체(151) 및 제2 반도체(154b)를 형성한다. 게이트 절연막(140)의 재료로는 질화규소가 좋으며 적층 온도는 250~500℃, 두께는 2,000~5,000Å 정도인 것이 바람직하다.

다음, 도 27 내지 도 28b에 도시한 바와 같이, 알루미늄 또는 알루미늄 합금 또는 크롬 또는 몰리브덴 또는 몰리브덴 합금을 포함하는 도전막을 단일막 또는 다층막으로 적층하고 그 상부에 감광막을 형성하고 이를 식각 마스크로 도전막을 패터닝하여 복수의 제1 소스 전극(173a)을 각각 포함하는 복수의 데이터선(171), 복수의 제1 및 제2 드레인 전극(175a, 175b) 및 복수의 제2 소스 전극(173b)을 가지는 전원 전압용 전극(172)을 형성한다.

이어, 데이터선(171), 전원 전압용 전극(172) 및 제1 및 제2 드레인 전극(175a, 175b) 상부의 감광막을 제거하거나 그대로 둔 상태에서, 노출된 불순물 반도체(164) 부분을 제거함으로써 복수의 돌출부(163a)를 각각 포함하는 복수의 선형 저항성 접촉 부재(161)와 복수의 섬형 저항성 접촉 부재(165a, 165b, 163b)를 완성하는 한편, 그 아래의 제1 진성 반도체(151) 및 제2 진성 반도체(154b) 일부분을 노출시킨다.

이어, 진성 반도체(151) 부분의 표면을 안정화시키기 위하여 산소 플라즈마를 뒤이어 실시하는 것이 바람직하다.

다음으로, 도 29 내지 도 30b에서 보는 바와 같이, 유기 절연 물질 또는 무기 절연 물질을 도포하여 보호막(802)을 형성하고, 사진 공정으로 건식 식각하여 복수의 접촉 구멍(185, 183, 182)을 형성한다. 접촉 구멍(182, 185, 183)은 제1 및 제2 드레인 전극(175a, 175b) 및 제2 게이트 전극(124b) 일부를 드러낸다.

다음, 도 31 내지 도 32b에 도시한 바와 같이, 앞의 실시예와 동일하게 ITO, IZO 또는 몰리브덴을 포함하는 제1 도전막을 형성하고, 그 상부에 크롬 또는 알루미늄 또는 은을 포함하는 도전 물질의 제2 도전막을 스퍼터링으로 적층한 다음, 제1 및 제2 도전막을 감광막 패턴을 이용한 사진 식각 공정으로 차례로 패터닝하여 복수의 응력 완충막(195) 및 화소 전극(190)과 복수의 연결 부재(192)를 형성한다.

이어, 도 33 내지 도 34b에 도시한 바와 같이, 제1 실시예와 동일하게 격벽(803)을 형성하고, 도 20 내지 도 22에 도시한 바와 같이 유기 발광층(70)과 공통 전극(270)을 형성한다.

발명의 효과

이처럼, 본 발명의 실시예에 따른 제조 방법에서는 격벽과 보조 전극을 하나의 마스크를 이용하는 사진 식각 공정으로 함께 형성함으로써 제조 공정을 단순화할 수 있으며, 이를 통하여 제조 비용을 절감할 수 있다. 또한, 이러한 공정을 통하여 대형화에 따른 유기 발광 표시 장치를 용이하게 제조할 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리 범위에 속하는 것이다.

(57) 청구의 범위

청구항 1.

절연 기판의 상부에 다결정 규소 또는 비정질 규소로 이루어져 있는 제1 및 제2 채널부를 각각 가지는 제1 및 제2 반도체,

상기 제1 채널부와 중첩하는 제1 게이트 전극을 가지는 게이트선,

상기 제2 채널부와 중첩하는 제2 게이트 전극,

상기 제1 및 제2 반도체와 상기 제1 및 제2 게이트 전극 사이에 형성되어 있는 게이트 절연막,

상기 제1 반도체 일부와 접하고 있는 제1 소스 전극을 가지는 데이터선,

상기 제1 채널부를 중심으로 상기 제1 소스 전극과 마주하여 상기 제1 채널부와 접하며, 상기 제2 게이트 전극과 연결되어 있는 제1 드레인 전극,

상기 제2 채널부의 일부와 접하는 제2 소스 전극을 가지는 전원 전압용 전극,

상기 제2 채널부를 중심으로 상기 제2 소스 전극과 마주하는 제2 드레인 전극,

상기 데이터선, 제1 및 제2 드레인 전극 및 전원 전압용 전극 상부에 형성되어 있는 층간 절연막,

상기 층간 절연막 상부에 형성되어 상기 제2 드레인 전극과 연결되어 있으며, 상기 게이트선과 상기 데이터선으로 둘러싸인 화소 영역에 배치되어 있는 화소 전극,

상기 화소 전극과 상기 층간 절연막 사이에 형성되어 있으며, 상기 화소 전극과 동일한 모양을 가지는 응력 완충막,

상기 화소 영역의 상기 화소 전극을 드러내는 개구부를 가지는 격벽,

상기 화소 전극 상부의 상기 개구부 형성되어 있는 유기 발광층,

상기 유기 발광층을 덮고 있는 공통 전극

을 포함하는 박막 트랜지스터 표시판.

청구항 2.

제1항에서,

상기 화소 전극은 반사도를 가지는 도전 물질로 이루어진 박막 트랜지스터 표시판.

청구항 3.

제1항에서,

상기 공통 전극은 투명한 도전 물질로 이루어진 박막 트랜지스터 표시판.

청구항 4.

제1항에서,

상기 제1 드레인 전극과 상기 제2 게이트 전극을 연결하는 연결 부재를 더 포함하는 박막 트랜지스터 표시판.

청구항 5.

제4항에서,

상기 응력 완충막은 ITO, IZO 또는 몰리브덴을 포함하는 박막 트랜지스터 표시판.

청구항 6.

제1항에서,

상기 응력 완충막은 상기 화소 전극과 상기 층간 절연막 사이의 열 팽창 계수를 가지는 물질로 이루어진 박막 트랜지스터 표시판.

청구항 7.

절연 기판의 상부에 비정질 규소 또는 다결정 규소로 이루어진 제1 및 제2 반도체층을 형성하는 단계,

상기 제1 게이트 전극을 가지는 게이트선 및 제2 게이트 전극을 형성하는 단계,

상기 게이트선 및 제2 게이트 전극과 상기 제1 및 제2 반도체층 사이에 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 상부에 제1 및 제2 소스 전극, 데이터선, 제1 및 제2 드레인 전극, 전원 전압용 전극을 형성하는 단계,

유기 절연 물질을 도포하여 상기 제1 및 제2 소스 전극, 데이터선, 제1 및 제2 드레인 전극, 전원 전압용 전극을 덮는 층간 절연막을 형성하는 단계,

상기 층간 절연막 상부에 상기 제2 드레인 전극과 연결되는 화소 전극을 형성하는 단계,

상기 층간 절연막과 상기 화소 전극 사이에 응력 완충막을 형성하는 단계,

상기 화소 전극을 드러내는 개구부를 격벽을 형성하는 단계,

상기 격벽에 의하여 구획된 상기 화소 전극 위의 소정 영역에 유기 발광층을 형성하는 단계,

상기 유기 발광층과 접하는 공통 전극을 형성하는 단계
를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 8.

제7항에서,

상기 화소 전극은 반사도를 가지는 도전 물질로 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 9.

제7항에서,

상기 응력 완충막은 ITO, IZO, 또는 폴리브덴으로 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 10.

제7항에서,

상기 공통 전극은 투명한 도전 물질로 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 11.

제7항에서,

상기 층간 절연막을 경화하는 단계를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 12.

제7항에서,

상기 화소 전극과 상기 응력 완충막은 하나의 식각 공정으로 동일한 패턴으로 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 13.

제7항에서,

상기 화소 전극과 동일한 층에 상기 제1 드레인 전극과 상기 제2 게이트 전극을 연결하는 연결 부재를 형성하는 박막 트랜지스터 표시판의 제조 방법.

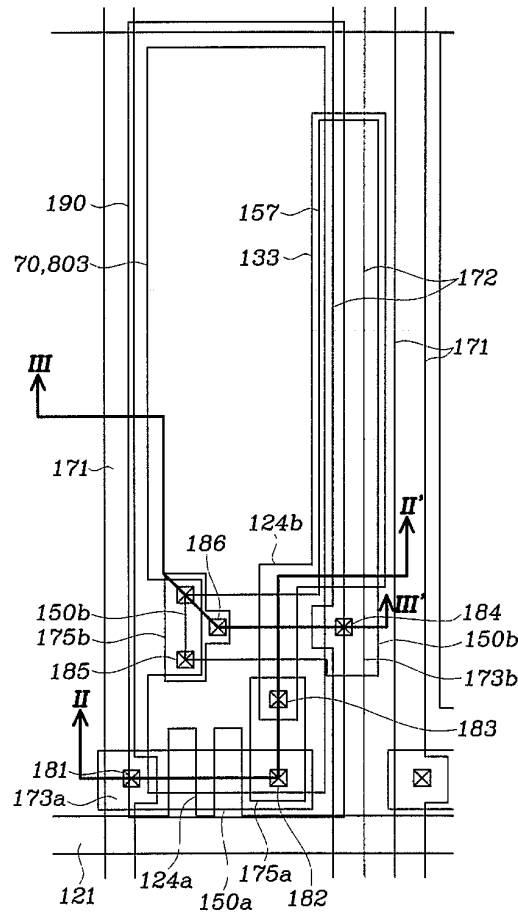
청구항 14.

제7항에서,

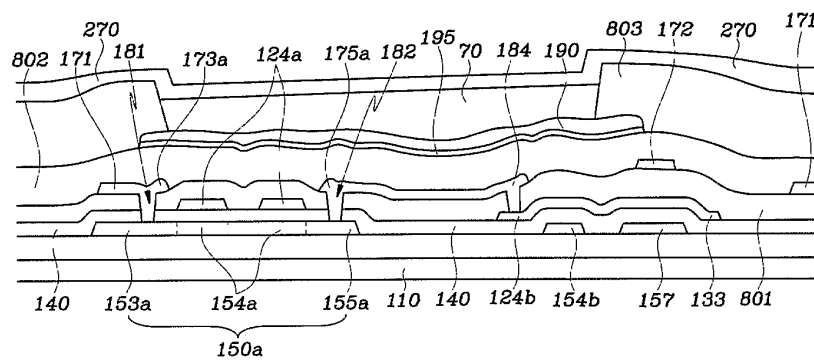
상기 응력 완충막은 상기 층간 절연막과 상기 화소 전극 사이의 열팽창 계수를 가지는 물질로 형성하는 박막 트랜지스터 표시판의 제조 방법.

도면

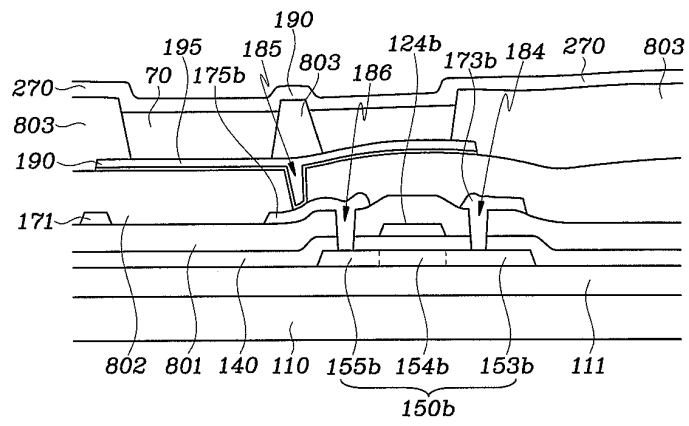
도면1



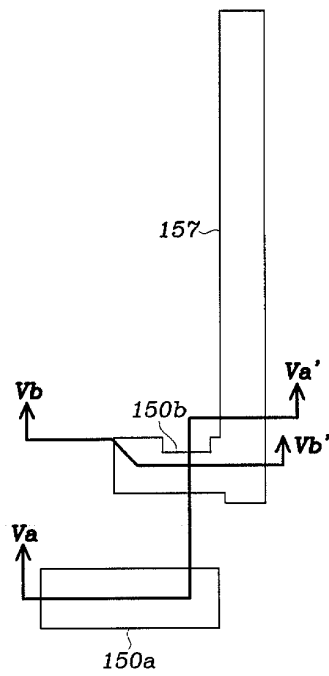
도면2



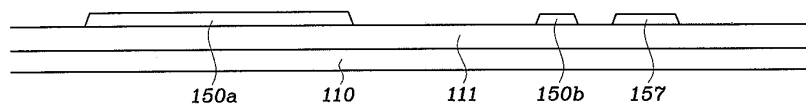
도면3



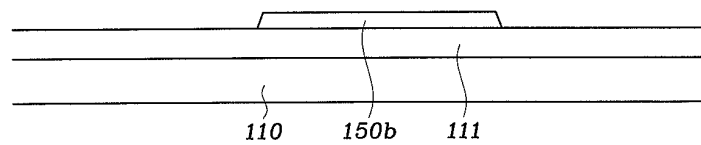
도면4



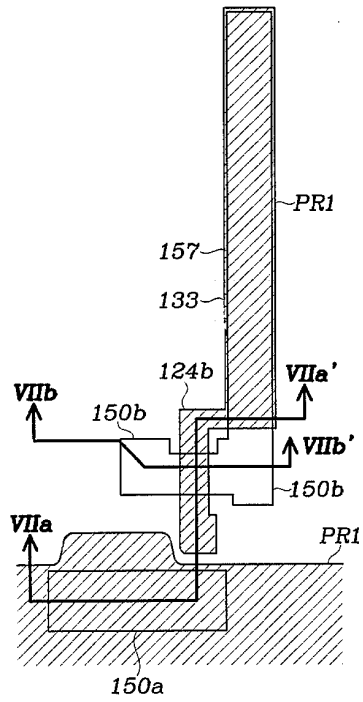
도면5a



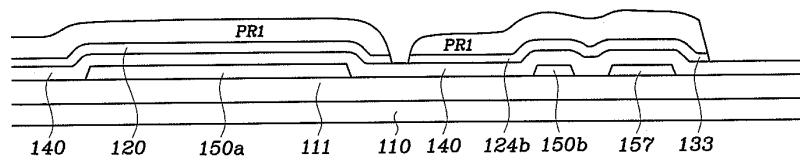
도면5b



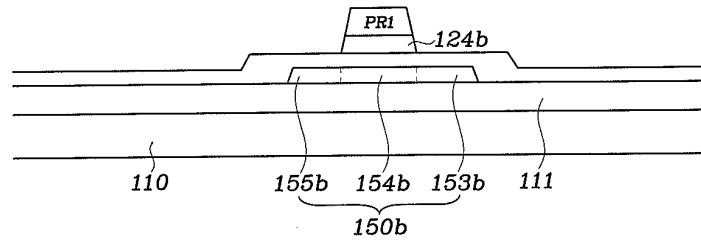
도면6



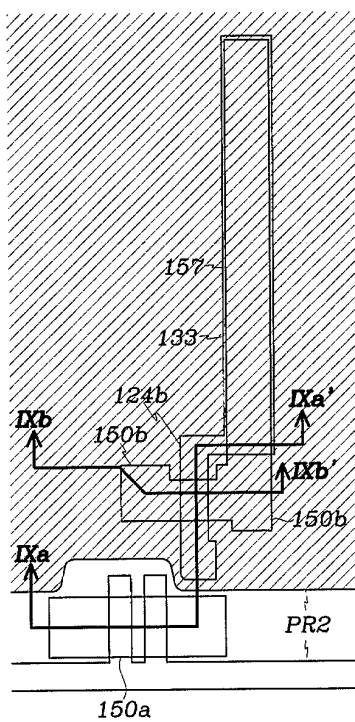
도면7a



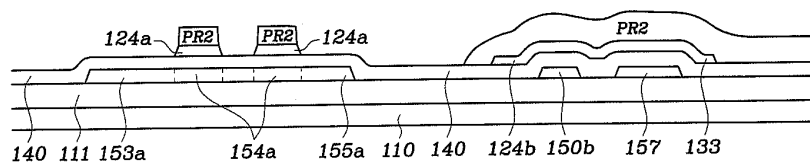
도면7b



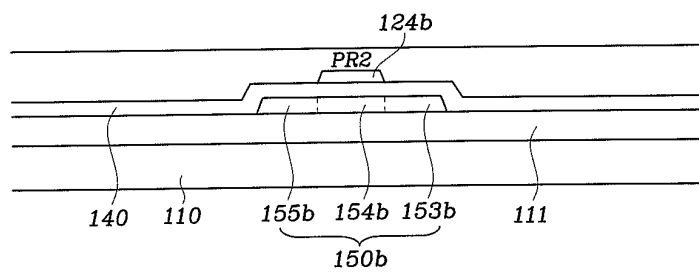
도면8



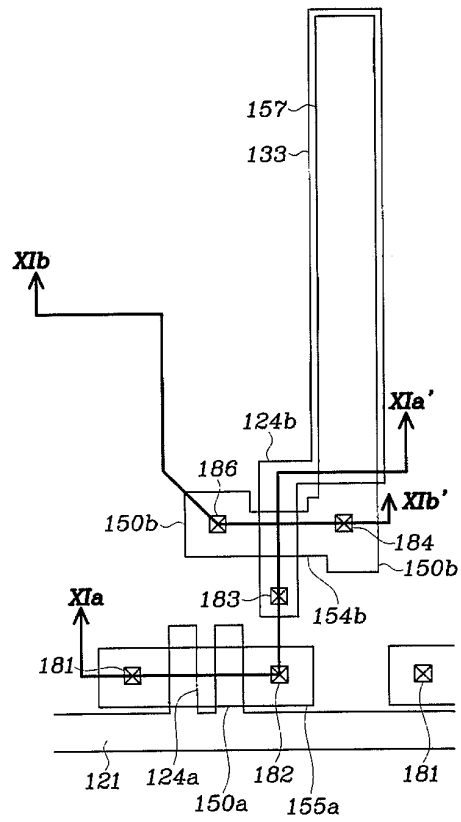
도면9a



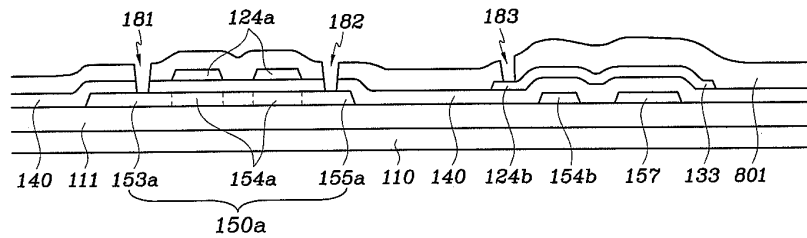
도면9b



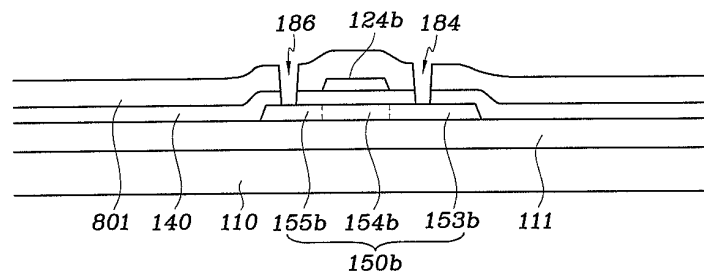
도면10



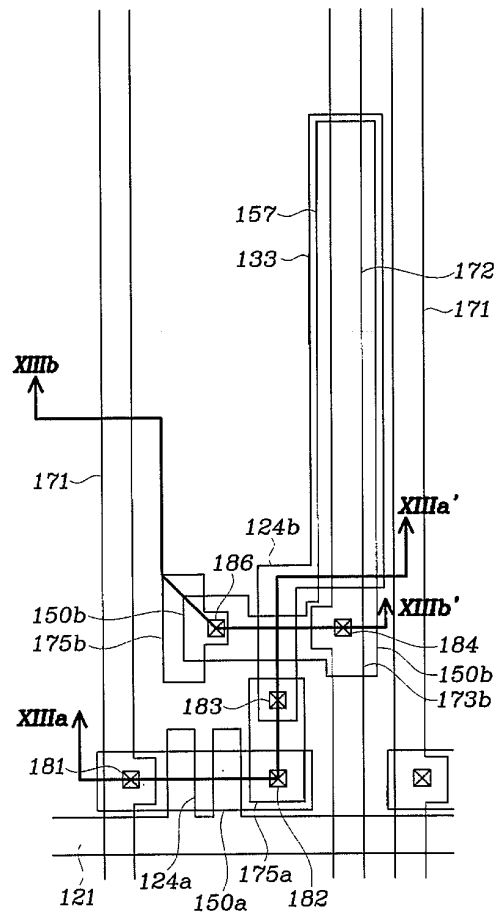
도면11a



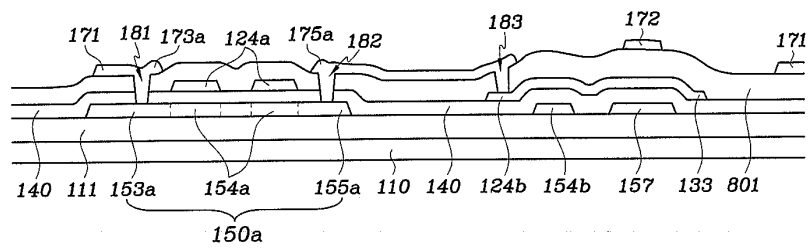
도면11b



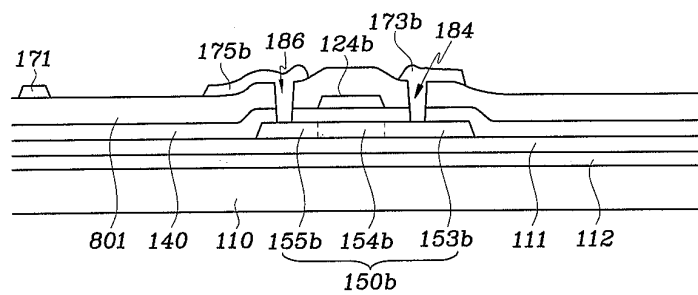
도면12



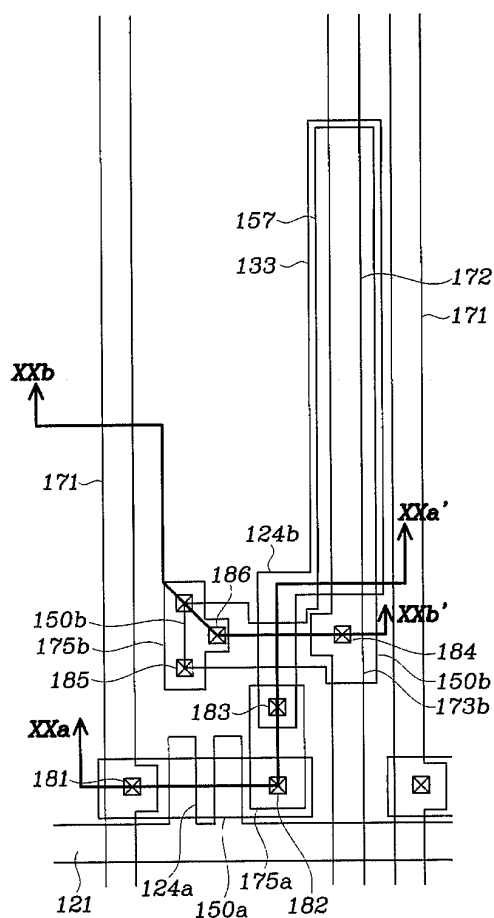
도면 13a



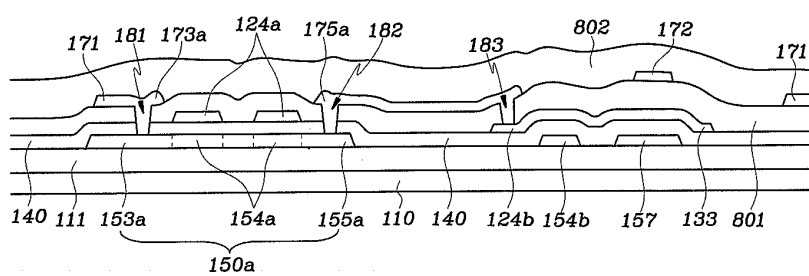
도면 13b



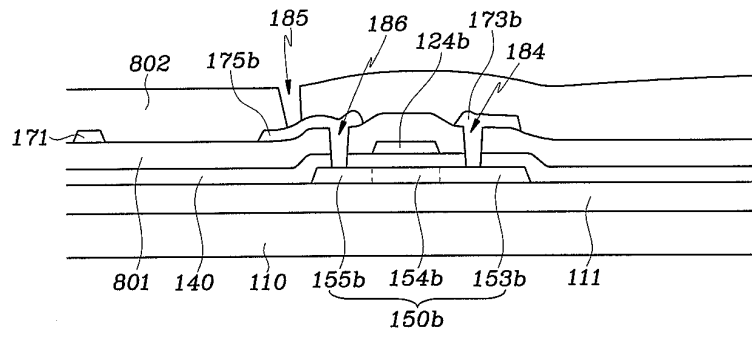
도면14



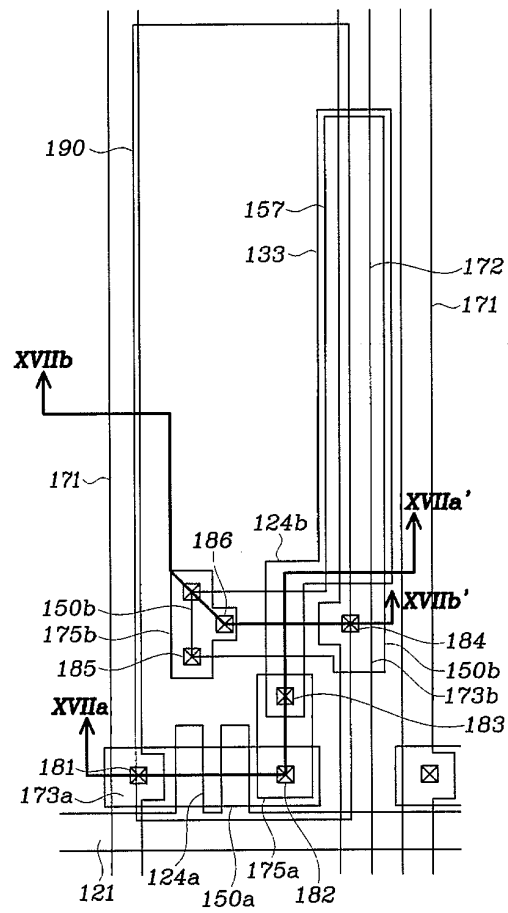
도면 15a



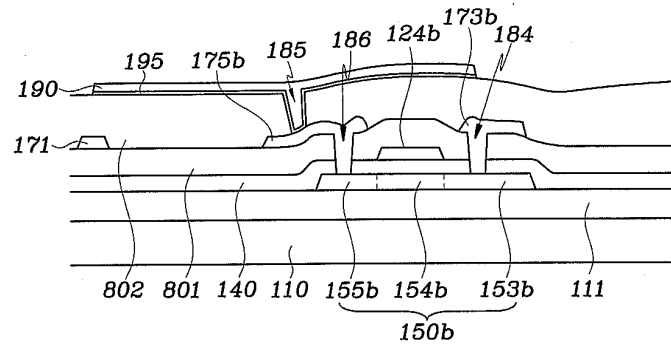
도면15b



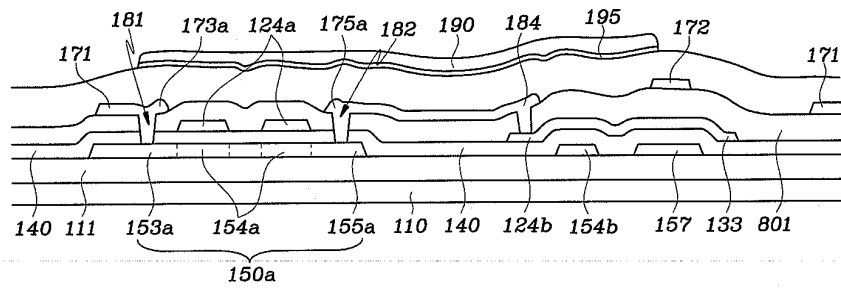
도면16



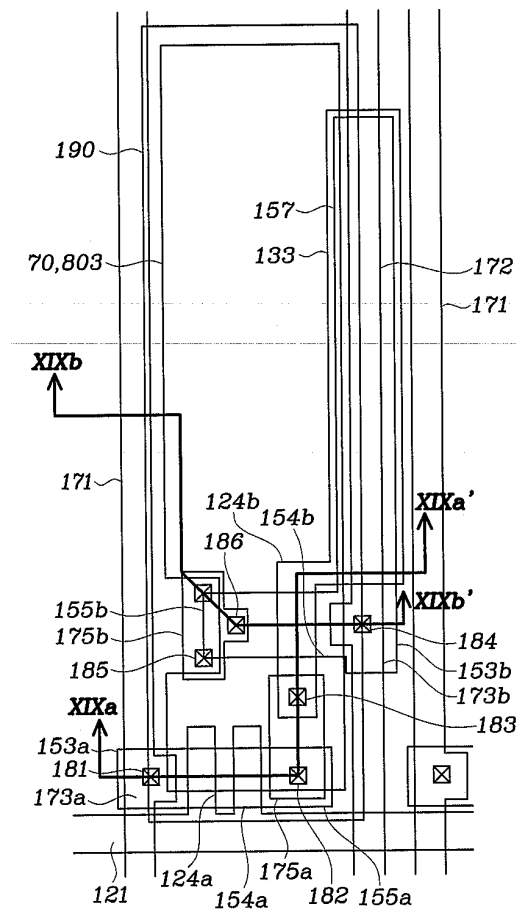
도면17a



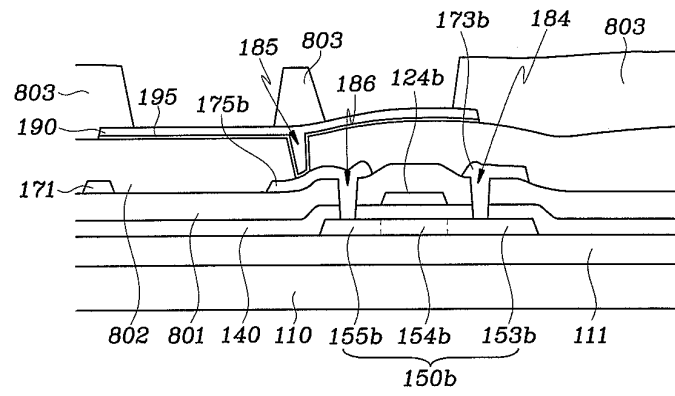
도면17b



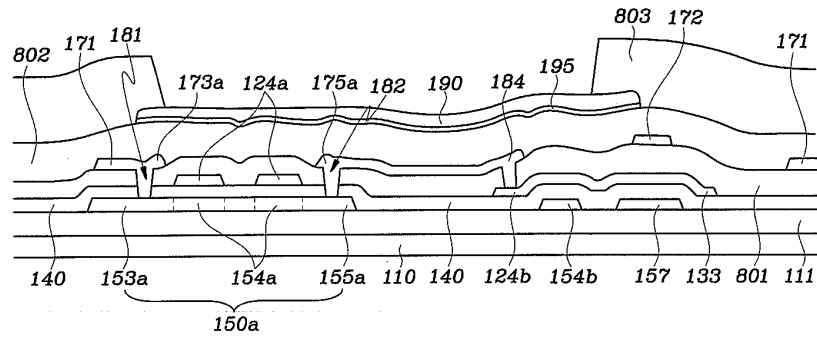
도면18



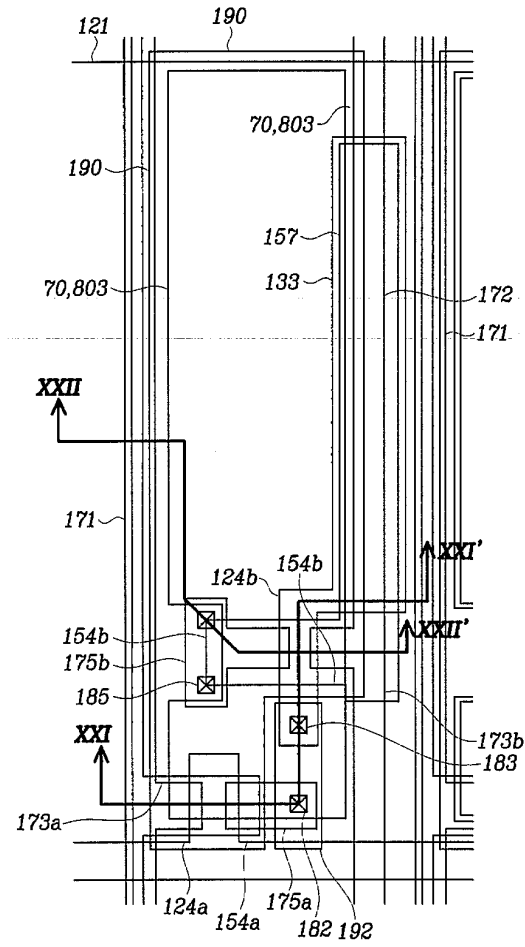
도면19a



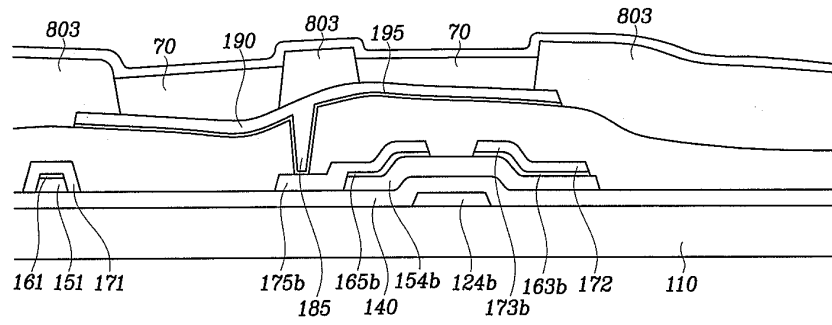
도면19b



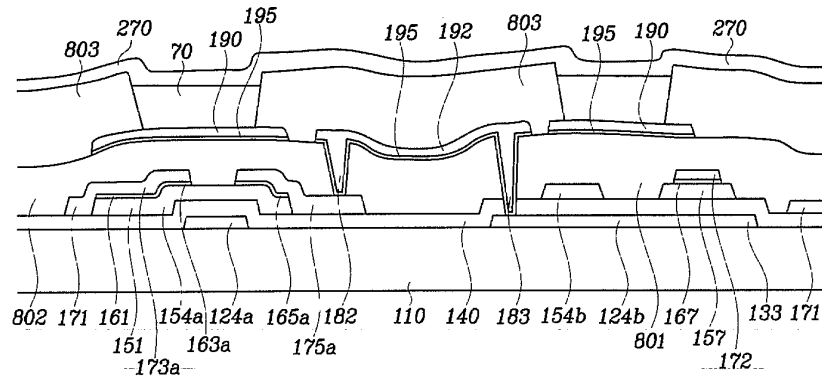
도면20



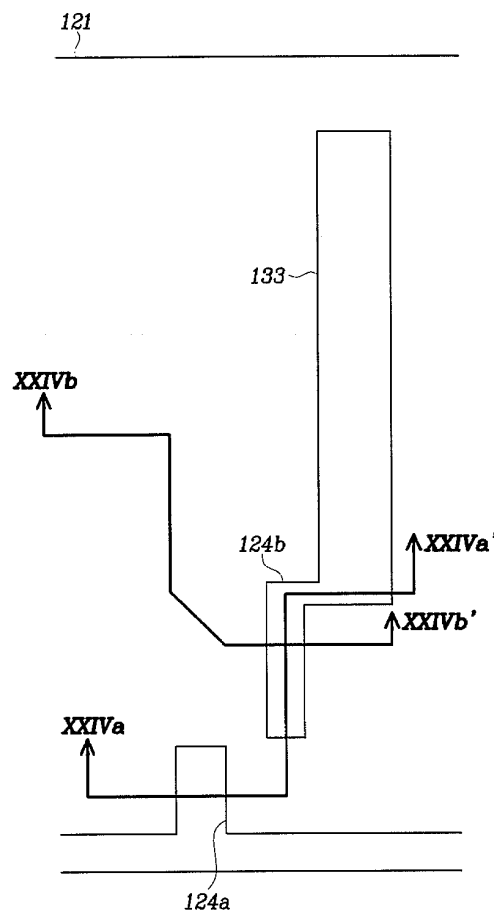
도면21



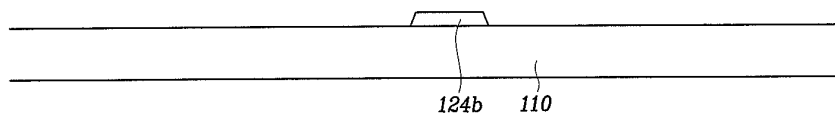
도면22



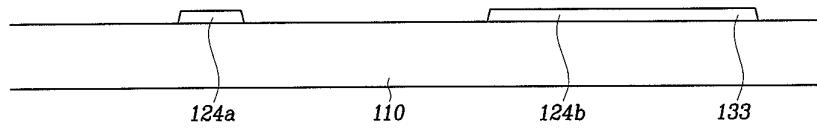
도면23



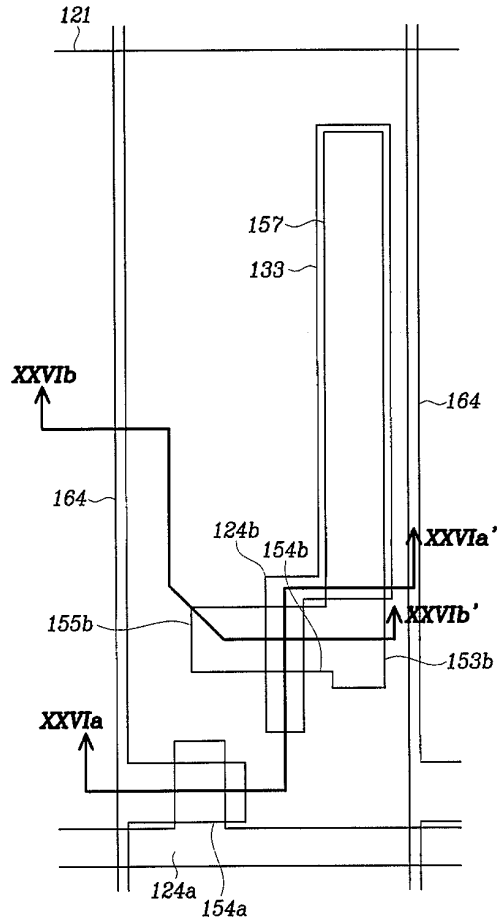
도면24a



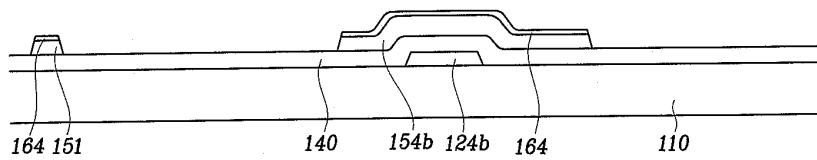
도면24b



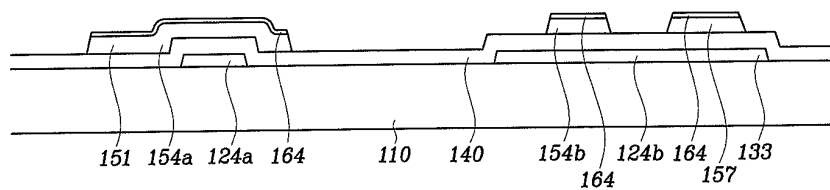
도면25



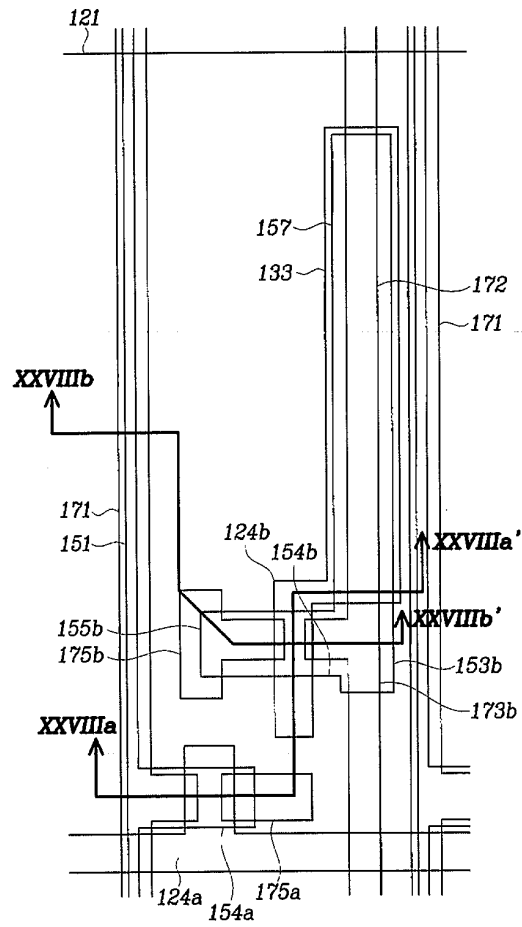
도면26a



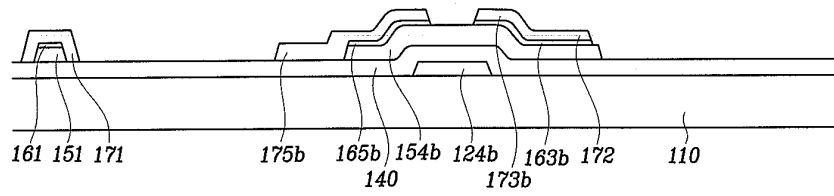
도면26b



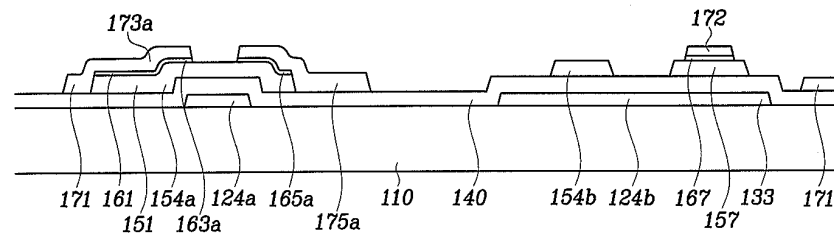
도면27



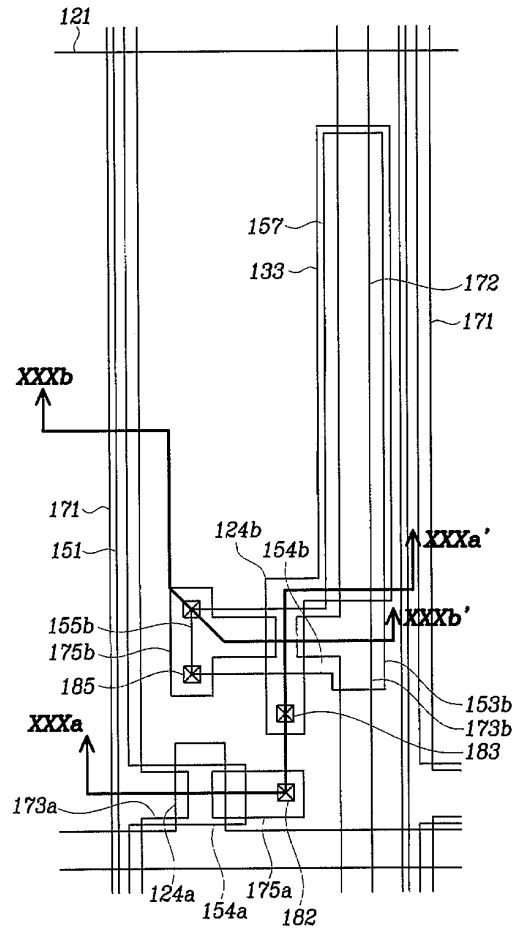
도면28a



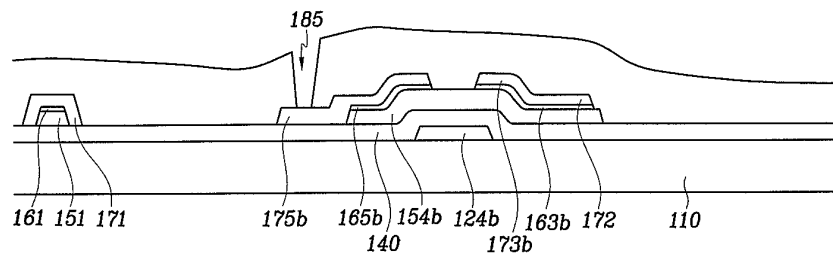
도면28b



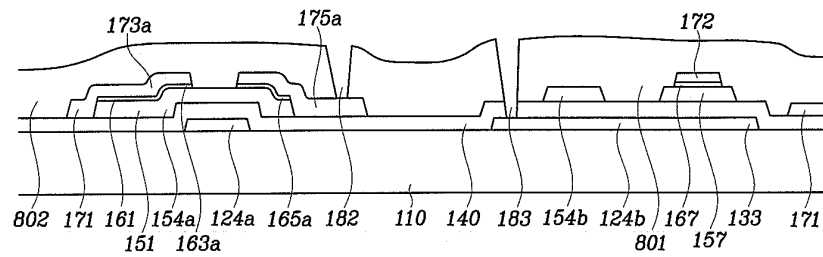
도면29



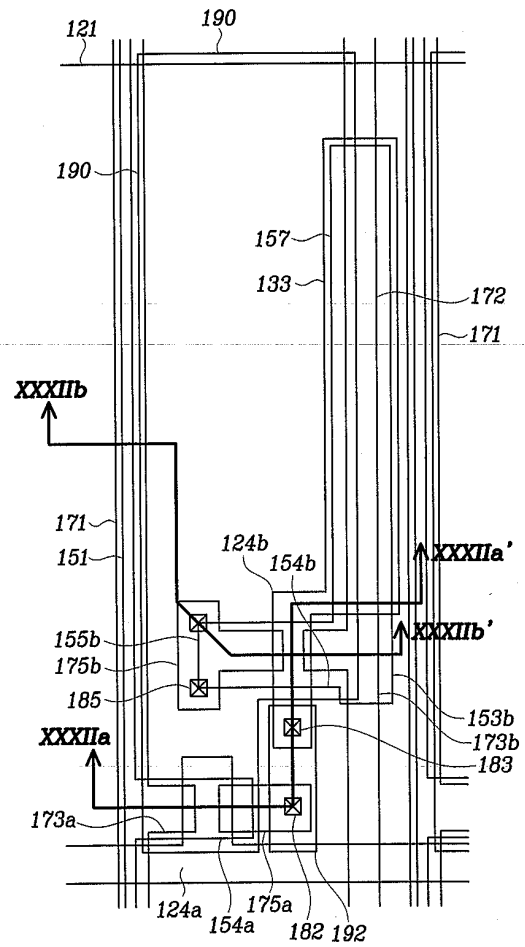
도면30a



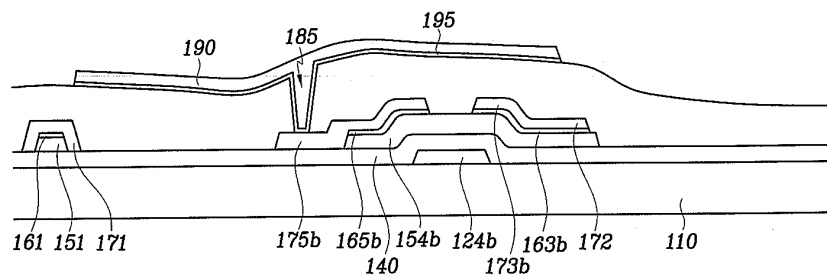
도면30b



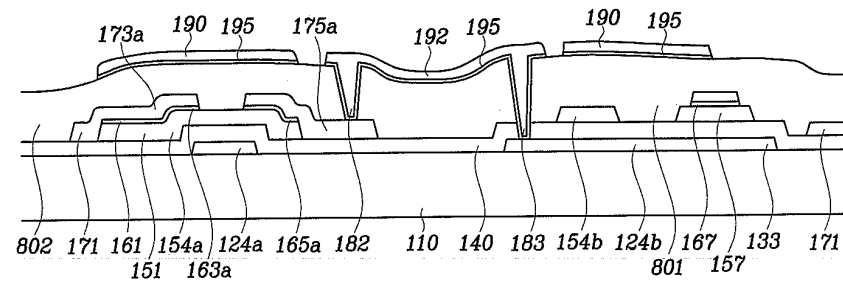
도면31



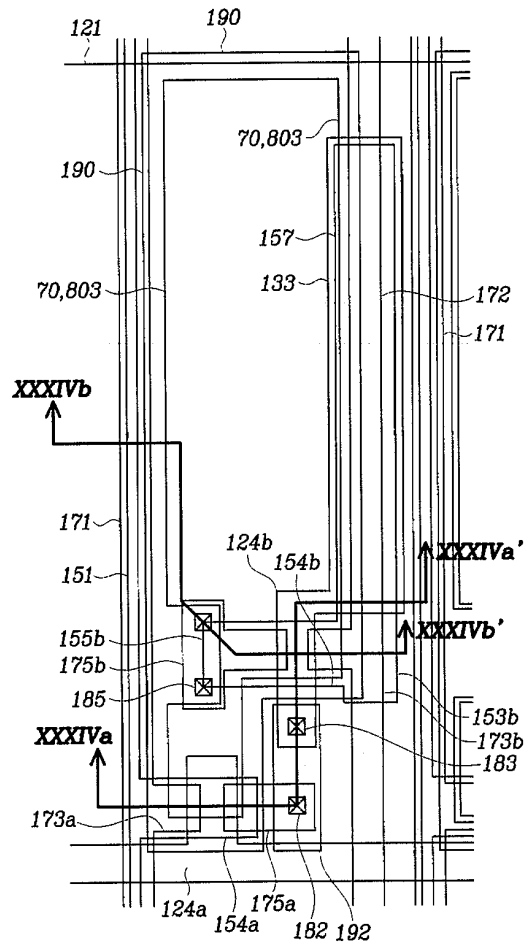
도면32a



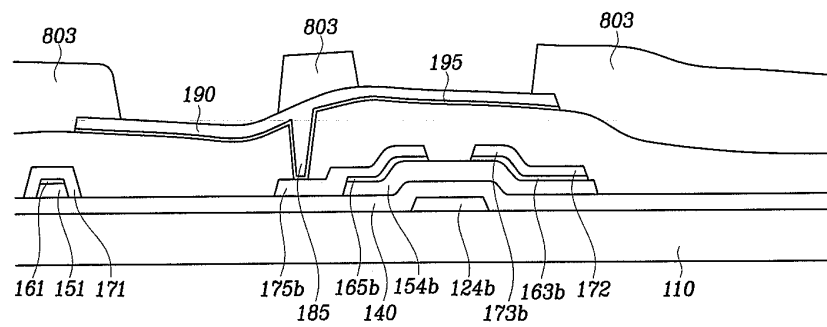
도면32b



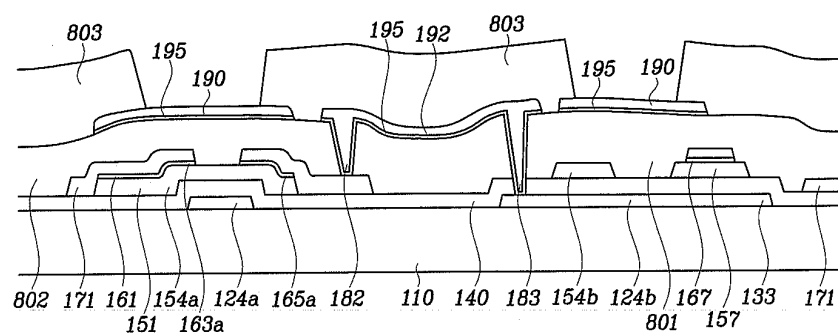
도면33



도면34a



도면34b



专利名称(译)	薄膜晶体管显示面板及其制造方法		
公开(公告)号	KR1020060014778A	公开(公告)日	2006-02-16
申请号	KR1020040063470	申请日	2004-08-12
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	CHUNG JAEHOON 정재훈 KIM NAMDEOG 김남덕 RHEE JUNGSOO 이정수 CHOI BEOHMROCK 최범락 LIM JONGSUN 임종선 JEONG CHANGO 정창오		
发明人	정재훈 김남덕 이정수 최범락 임종선 정창오		
IPC分类号	H05B33/00 H05B33/10		
CPC分类号	H01L27/3244 H01L51/5221 H01L51/5206 H01L27/12 H01L27/3246 H01L51/5218 H01L2227/323		
其他公开文献	KR101080354B1		
外部链接	Espacenet		

摘要(译)

在根据本发明优选实施例的薄膜晶体管基板制造方法中，在绝缘基板或多晶硅栅极线的上部中的非晶硅和具有第一栅电极的第二栅电极构成的第一和第二半导体层形成的形式。随后，在栅极线，第二栅极和第一和第二半导体层第一和第二源极，数据线，第一和第二漏极之间形成栅极绝缘层之后，形成用于电源电压的电极。栅极绝缘层的上部。随后，导电材料的第二导电膜具有钼，并且第一导电材料ITO或IZO的导电膜和反射率覆盖第一和第二源电极，数据线，第一和第二漏电极的层间绝缘膜，形成用于电源电压的电极，并将其图案化在一起和电流缓冲器形成薄膜和与第二漏电极连接的像素电极到层间绝缘膜的上部。随后，在分隔壁上方的固定区域和由分隔壁分割的像素电极上形成显示像素电极的开口部分，该有机发光层形成有机发光层。形成与有机发光层接触的公共电极。有机发光层，分隔壁，张力，反射电影。

