

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
H05B 33/00

(11) 공개번호 10-2005-0082959
(43) 공개일자 2005년08월24일

(21) 출원번호 10-2004-0011581
(22) 출원일자 2004년02월20일

(71) 출원인 엘지전자 주식회사
서울특별시 영등포구 여의도동 20번지

(72) 발명자 김우찬
제주도제주시오라1동2448-20번지

(74) 대리인 김영호

심사청구 : 있음

(54) 일렉트로-루미네센스 표시 패널의 박막 트랜지스터 어레이 및 그 제조 방법

요약

본 발명은 박막 트랜지스터의 불균일한 특성으로 인한 휘도 편차를 최소화할 수 있는 EL 표시 패널의 박막 트랜지스터 어레이 및 그 제조 방법을 제공하는 것이다.

본 발명의 박막 트랜지스터 어레이의 제조 방법은 상기 스위치 박막 트랜지스터의 제1 액티브층과, 상기 구동 박막 트랜지스터의 제2 액티브층을 형성하는 단계가, 기판 상에 비정질-실리콘 박막을 증착하여 레이저로 폴리-실리콘 박막으로 결정화하는 단계와; 상기 폴리-실리콘 박막을 패터닝하여 상기 제1 액티브층을 형성함과 동시에 상기 제2 액티브층을 상기 레이저의 스캔 방향을 따라 길게 형성하는 단계를 포함한다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 통상의 유기 EL 표시 패널을 개략적으로 도시한 도면.

도 2는 도 1에 도시된 하나의 서브 화소를 등가적으로 도시한 도면.

도 3은 도 2에 도시된 서브 화소의 박막 트랜지스터 어레이를 도시한 평면도.

도 4는 도 3에 도시된 서브 화소의 박막 트랜지스터 어레이를 I-I'선을 따라 절단하여 도시한 단면도.

도 5는 본 발명의 제1 실시 예에 따른 유기 EL 표시 패널에서 한 서브 화소에 포함되는 박막 트랜지스터 어레이를 도시한 평면도.

도 6는 도 5에 도시된 박막 트랜지스터 어레이를 II-II' 따라 절단하여 도시한 단면도.

도 7은 본 발명의 제2 실시 예에 따른 유기 EL 표시 패널에서 한 서브 화소에 포함되는 박막 트랜지스터 어레이를 도시한 평면도.

도 8은 도 7에 도시된 박막 트랜지스터 어레이를 III-III'선을 따라 절단하여 도시한 단면도.

<도면의 주요 부분에 대한 부호의 간단한 설명>

20 : 화소 매트릭스 22 : 게이트 드라이버

24 : 데이터 드라이버 28 : 서브 화소

27 : 셀 구동부 32 : 전원

40, 140, 240 : 게이트 라인 42, 142, 242 : 데이터 라인

44, 144, 244 : 전원 라인 44A, 144A : 스토리지 상부 전극

46, 56, 146, 156, 246, 256 : 게이트 전극

48, 58, 148, 158, 248, 258 : 소스 전극

50, 60, 150, 160, 250, 260 : 드레인 전극

52, 54, 62, 152, 154, 162, 252, 254, 262 : 액티브층

64, 164, 264 : 화소 전극 66, 166 : 컨택 전극

47, 49, 53, 57, 59, 63, 65, 147, 149, 153, 157, 159, 163, 165, 247, 249, 253, 255, 257, 259 : 컨택홀

70, 170, 270 : 기판 72, 172, 272 : 버퍼층

74, 174, 274 : 게이트 절연막 76, 176, 276 : 층간 절연막

78, 178, 278 : 보호막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일렉트로-루미네센스 표시 패널에 관한 것으로, 특히 구동 박막 트랜지스터의 특성 차이를 최소화할 수 있는 EL 표시 패널의 박막 트랜지스터 어레이 및 그 제조 방법에 관한 것이다.

음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시 장치들이 대두되고 있다. 이러한 평판 표시 장치로는 액정 표시 장치(Liquid Crystal Display), 전계 방출 표시 장치(Field Emission Display), 플라즈마 표시 패널(Plasma Display Panel) 및 일렉트로-루미네센스(Electro-Luminescence : 이하, EL이라 함) 표시 패널 등이 있다.

이들 중 EL 표시 패널은 전자와 정공의 재결합으로 형광체를 발광시키는 자발광 소자로, 그 형광체로 무기 화합물을 사용하는 무기 EL과 유기 화합물을 사용하는 유기 EL로 대별된다. 이러한 EL 표시 패널은 저전압 구동, 자기발광, 박막형, 넓은 시야각, 빠른 응답속도, 높은 콘트라스트 등의 많은 장점을 가지고 있어 차세대 표시 장치로 기대되고 있다.

유기 EL 소자는 통상 음극과 양극 사이에 적층된 전자 주입층, 전자 수송층, 발광층, 정공 수송층, 정공 주입층으로 구성된다. 이러한 유기 EL 소자에서는 양극과 음극 사이에 소정의 전압을 인가하는 경우 음극으로부터 발생된 전자가 전자 주입층 및 전자 수송층을 통해 발광층 쪽으로 이동하고, 양극으로부터 발생된 정공이 정공 주입층 및 정공 수송층을 통해 발광층 쪽으로 이동한다. 이에 따라, 발광층에서는 전자 수송층과 정공 수송층으로부터 공급되어진 전자와 정공이 재결합함에 의해 빛을 방출하게 된다.

이러한 유기 EL 소자를 이용하는 액티브 매트릭스 EL 표시 패널은 도 1에 도시된 바와 같이 게이트 라인(GL)과 데이터 라인(DL)의 교차로 정의된 영역에 각각 배열되어진 서브 화소들(28)을 구비하는 화소 매트릭스(20)와, 화소 매트릭스(20)의 게이트 라인들(GL)을 구동하는 게이트 드라이버(22)와, 화소 매트릭스(20)의 데이터 라인들(DL)을 구동하는 데이터 드라이버(24)와, 화소 매트릭스(20)와 접속된 전원(32) 및 기저 전원(GND)를 구비한다.

게이트 드라이버(22)는 스캔 펄스를 공급하여 게이트 라인들(GL)을 순차적으로 구동한다.

데이터 드라이버(24)는 스캔 펄스가 공급될 때마다 R, G, B 데이터 신호(RD, GD, BD)를 각각의 데이터 라인(DL)에 공급한다. 이때, 데이터 드라이버(24)는 외부로부터 입력된 디지털 데이터를 아날로그 데이터 신호로 변환하여 공급한다. 예를 들면, 데이터 드라이버(24)는 외부로부터 입력된 감마 기준 전압을 다수의 감마 전압 레벨로 분압하고, 입력된 디지털 데이터에 해당되는 감마 전압 레벨을 선택하여 아날로그 데이터 신호로 공급한다.

R, G, B 서브 화소들(28) 각각은 게이트 라인(GL)에 스캔 펄스가 공급되면 데이터 라인(DL)으로부터 데이터 신호를 공급받아 그 데이터 신호에 상응하는 빛을 발생하게 된다. R, G, B 서브 화소(28) 조합으로 한 화소의 칼라가 구현된다.

R, G, B 서브 화소(28) 각각은 도 2에 도시된 바와 같이 기저 전원(GND)에 음극이 접속된 EL 셀(OEL)과, 게이트 라인(GL) 및 데이터 라인(DL)과 전원 라인(PL)에 접속되고 EL 셀(OEL)의 양극에 접속되어 그 EL 셀(OEL)을 구동하기 위한 셀 구동부(30)를 구비한다.

셀 구동부(30)는 게이트 라인(GL)에 게이트 단자가, 데이터 라인(DL)에 소스 단자가, 노드(N1)에 드레인 단자가 접속된 스위치 박막 트랜지스터(T1)와, 노드(N1)에 게이트 단자가, 전원 라인(PL)에 소스 단자가, 그리고 EL 셀(OEL)에 드레인 단자가 접속된 구동 박막 트랜지스터(T2)와, 전원 라인(PL)과 노드(N1) 사이에 접속된 스토리지 캐패시터(C)를 구비한다.

스위치 박막 트랜지스터(T1)는 게이트 라인(GL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 노드(N1)를 통해 구동 박막 트랜지스터(T2)의 게이트 단자로 공급한다. 이때, 스토리지 캐패시터(C)는 전원 라인(PL)을 통해 공급된 구동 전압(VDD)과, 노드(N1)에 공급된 데이터 신호와의 차전압을 충전한다. 구동 박막 트랜지스터(T2)는 노드(N1)에 공급된 전압에 응답하여 전원 라인(PL)으로부터 EL 셀(OEL)로 공급되는 전류량(I)을 제어함으로써 EL 셀(OEL)의 발광량을 조절하게 된다. 그리고, 스위치 박막 트랜지스터(T1)가 턴-오프된 경우 스토리지 캐패시터(C)에 충전된 전압에 의해 구동 박막 트랜지스터(T2)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류(I)를 공급하여 EL 셀(OEL)이 발광을 유지하게 한다.

이와 같이, 셀 구동부(30)의 구동 박막 트랜지스터(T2)는 입력된 전압에 따라 전류량을 조절하여 EL 셀(OEL)의 발광량을 조절하는 중요한 역할을 한다. 다시 말하여, 구동 박막 트랜지스터(T2)를 통해 공급되는 전류(Ids)는 다음 수학적 식 1에 의해 결정된다.

수학적 식 1

$$I_{ds} = \frac{1}{2} * \frac{W}{L} * \mu C_{ox} (V_{gs} - V_{th})^2$$

여기서, W 및 L은 구동 박막 트랜지스터(T2)의 채널 폭 및 길이를, V_{gs} 는 구동 박막 트랜지스터(T2)의 게이트 및 소스 단자에 걸리는 전압(V_{gs})을, V_{th} 는 문턱 전압을, μ 는 이동도를 의미한다. 상기 수학적 식 1을 참조하면, 구동 박막 트랜지스터(T2)를 통해 공급되는 전류(I_{ds})는 그의 게이트 단자로 공급된 데이터 전압 뿐만 아니라 그의 특성을 결정하는 문턱 전압(V_{th}) 및 이동도(μ)에 의해서도 결정됨을 알 수 있다. 그런데, 구동 박막 트랜지스터(T2)는 아모퍼스-실리콘

(Amorphous-Si)을 폴리-실리콘(Poly-Si)으로 결정화하는 레이저 결정화 공정의 영향으로 위치에 따라 불균일한 특성(즉, 문턱 전압, 이동도 등)을 갖는 문제점이 있다. 이하, 구동 박막 트랜지스터(T2)가 불균일한 특성을 갖게 되는 문제점을 EL 표시 패널의 제조 방법을 참조하여 상세히 살펴보기로 한다.

도 3은 도 2에 도시된 서브 화소(28)에 포함되는 박막 트랜지스터 어레이를 도시한 평면도이고, 도 4는 도 3에 도시된 셀 구동부를 I-I'선을 따라 절단하여 도시한 단면도이다.

도 3 및 도 4에 도시된 박막 트랜지스터 어레이의 게이트 라인(40)은 데이터 라인(42) 및 전원 라인(44)과 교차하는 구조로 형성되어 화소 영역을 정의한다. 정의된 화소 영역에는 스위치 박막 트랜지스터(T1) 및 구동 박막 트랜지스터(T2), 스토리지 캐패시터(C)를 포함하는 셀 구동부(30)와, 구동 박막 트랜지스터(T2)와 접속되어 EL 셀(OEL)의 제1 전극(즉, 양극) 역할을 하는 화소 전극(64)이 형성된다.

스위치 박막 트랜지스터(T1)는 게이트 라인(40)으로부터 돌출된 제1 게이트 전극(54), 게이트 절연막(74)을 사이에 두고 제1 게이트 전극(46)과 교차하는 제1 액티브층(52), 데이터 라인(42)으로부터 돌출되어 층간 절연막(76) 및 게이트 절연막(74)을 관통하는 제1 콘택홀(47)을 통해 제1 액티브층(52)의 소스 영역(52S)과 접속된 제1 소스 전극(48), 제1 소스 전극(48)과 제1 게이트 전극(46)을 사이에 두고 마주하여 층간 절연막(76) 및 게이트 절연막(74)을 관통하는 제2 콘택홀(49)을 통해 제1 액티브층(52)의 드레인 영역(52D)과 접속된 제1 드레인 전극(50)을 구비한다.

구동 박막 트랜지스터(T2)는 층간 절연막(76)을 관통하는 제3 콘택홀(55)을 통해 상기 제1 드레인 전극(50)과 접속된 제2 게이트 전극(56), 게이트 절연막(74)을 사이에 두고 제2 게이트 전극(56)과 교차하는 제2 액티브층(62), 층간 절연막(76) 및 게이트 절연막(74)을 관통하는 제4 콘택홀(57)을 통해 제2 액티브층(62)의 소스 영역(62S)과 접속된 제2 소스 전극(58), 제2 소스 전극(58)과 제2 게이트 전극(56)을 사이에 두고 마주하여 층간 절연막(76) 및 게이트 절연막(74)을 관통하는 제5 콘택홀(59)을 통해 제2 액티브층(62)의 드레인 영역(62D)과 접속된 제2 드레인 전극(60)을 구비한다.

여기서, 구동 박막 트랜지스터(T2)의 제2 소스 전극(58)은 층간 절연막(76)을 관통하는 제6 콘택홀(53)을 통해 전원 라인(44)으로부터 돌출된 스토리지 상부 전극(44A)과 접속되고, 제2 드레인 전극(60)은 보호막(78)을 관통하는 제7 콘택홀(61)을 통해 화소 전극(64)과 접속된다.

스토리지 캐패시터(C)는 전원 라인(44)으로부터 돌출된 스토리지 상부 전극(44A)과, 그 스토리지 상부 전극(44A)과 게이트 절연막(74)을 사이에 두고 중첩되어 스토리지 하부 전극 역할을 하는 제3 액티브층(54)으로 구성된다. 제3 액티브층(54)은 제1 액티브층(52)과 접속된다.

전원 라인(44)은 동일 금속층으로 형성된 게이트 라인(40)과의 절연을 위하여 교차부에서 분리되고, 분리된 전원 라인(44)은 연결 전극(66)을 통해 접속된다. 연결 전극(66)은 층간 절연막(76)을 사이에 두고 게이트 라인(40)과 교차하도록 형성되며, 층간 절연막(76)을 관통하는 제8 및 제9 콘택홀(63, 65)을 통해 분리된 전원 라인(44)과 접속된다.

이러한 박막 트랜지스터 어레이를 포함하는 유기 EL 표시 패널의 제조 방법을 간단히 살펴보면 다음과 같다.

기판(70) 위에 버퍼층(72)이 형성되고, 그 위에 제1 내지 제3 액티브층(52, 62, 54)이 형성된다. 제1 내지 제3 액티브층(52, 62, 54)은 버퍼층(72) 위에 아모퍼스-실리콘 박막을 증착하여 폴리-실리콘 박막으로 결정화시킨 후, 결정화된 폴리-실리콘 박막을 패터닝함으로써 형성된다.

이러한 제1 내지 제3 액티브층(52, 62, 54)이 형성된 버퍼층(72) 위에 게이트 절연막(74)이 형성되고, 그 위에 제1 금속층이 형성되어 패터닝됨으로써 게이트 라인(40), 제1 및 제2 게이트 전극(46, 56)과 함께 전원 라인(44) 및 스토리지 상부 전극(44A)이 형성된다.

이어서, 층간 절연막(76)이 형성되고 패터닝됨으로써 층간 절연막(76) 및 게이트 절연막(74)을 관통하는 제1, 제2, 제4, 제5, 제6 콘택홀(47, 49, 57, 59, 53)과, 층간 절연막(76)을 관통하는 제3, 제8, 제9 콘택홀(55, 63, 65)이 형성된다.

이러한 층간 절연막(76) 위에 제2 금속층이 형성되고 패터닝됨으로써 데이터 라인(42)과, 제1 소스 전극 및 드레인 전극(48, 50)과, 제2 소스 전극 및 드레인 전극(58, 60), 연결 전극(66)이 형성된다.

그 다음, 보호막(78)이 형성되고 패터닝됨으로써 보호막(78)을 관통하는 제7 콘택홀(61)이 형성된다.

그리고, 보호막(78) 위에 투명 도전층이 형성되고 패터닝됨으로써 제7 컨택홀(61)을 통해 제2 드레인 전극(60)과 접속되는 화소 전극(64)이 형성된다.

이러한 EL 표시 패널의 박막 트랜지스터 어레이 제조 공정에서 액티브층(52, 62, 54)을 형성하는 공정은 아모퍼스-실리콘 박막을 폴리-실리콘 박막으로 결정화시키는 레이저 결정화 공정을 포함한다. 예를 들면, 아모퍼스-실리콘 박막은 엑시머 레이저(Excimer Laser)를 사용한 라인 빔(Line beam)을 수직 방향으로 스캔하는 레이저 결정화 공정으로 결정화되어 폴리-실리콘 박막이 된다. 이때, 아모퍼스-실리콘 박막은 매우 짧고 높은 에너지로 조사되는 레이저 빔에 의해 용해(Melting) 및 응고(Solidification)를 반복하면서 재결정화(Recrystallization) 됨으로써 폴리-실리콘 박막이 된다. 이러한 레이저 결정화 공정은 넓은 기판 상에 폴리-실리콘 박막을 형성할 수 있는 장점이 있으나, 레이저 조사 시점마다 발생하는 에너지 편차에 따라 폴리-실리콘 박막의 결정립의 크기 및 이동도 등과 같은 특성이 가변하는 단점이 있다. 이에 따라, 폴리-실리콘 박막의 특성이 레이저의 스캔 방향, 즉 수직 방향을 따라 불균일해지게 된다. 이러한 폴리-실리콘 박막을 구동 박막 트랜지스터(T2)의 액티브층(62)으로 사용하는 경우 그 구동 박막 트랜지스터(T2)가 수직 방향으로 문턱 전압 및 이동도 등이 불균일한 특성을 갖게 되므로 동일 휘도에 대한 휘도 편차가 발생하게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 박막 트랜지스터의 불균일한 특성으로 인한 휘도 편차를 최소화할 수 있는 EL 표시 패널의 박막 트랜지스터 어레이 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 EL 표시 패널의 박막 트랜지스터 어레이에서 셀 구동부는, 게이트 라인과 접속된 제1 게이트 전극, 그 제1 게이트 전극과 게이트 절연막을 사이에 두고 교차하는 제1 액티브층, 데이터 라인 및 상기 제1 액티브층의 일측과 접속된 제1 소스 전극, 상기 제1 게이트 전극을 사이에 두고 상기 제1 소스 전극과 대향하면서 상기 제1 액티브층의 타측과 접속된 제1 드레인 전극을 포함하는 스위치 박막 트랜지스터와; 상기 제1 드레인 전극과 접속된 제2 게이트 전극, 그 제2 게이트 전극과 게이트 절연막을 사이에 두고 자신의 결정화를 위한 레이저 스캔 방향을 따라 길게 형성된 제2 액티브층, 전원 라인 및 상기 제2 액티브층의 일측과 접속된 제2 소스 전극, 상기 제2 게이트 전극을 사이에 두고 상기 제2 소스 전극과 대향하면서 상기 제2 액티브층의 타측과 접속된 제2 드레인 전극을 포함하는 구동 박막 트랜지스터와; 상기 전원 라인과 접속된 스토리지 상부 전극과, 그 스토리지 상부 전극과 층간 절연막을 사이에 두고 형성되며 상기 제1 액티브층과 접속된 제3 액티브층을 포함하는 스토리지 캐패시터와; 상기 구동 박막 트랜지스터의 제2 드레인 전극과 접속되어 상기 EL 셀의 제1 전극 역할을 하는 화소 전극을 구비한다.

상기 제2 액티브층은 상기 화소 전극 측면의 수직 방향을 따라 길게 형성된다.

상기 전원 라인은 상기 게이트 라인과 교차하도록 형성된다.

상기 전원 라인은 상기 게이트 라인과 동일 금속층으로 형성되어, 상기 게이트 라인과 교차부에서 분리되며, 본 발명은 상기 층간 절연막을 관통하는 컨택홀들을 통해 상기 분리된 전원 라인과 접속된 연결 전극을 추가로 구비한다.

상기 스토리지 상부 전극은 상기 전원 라인으로부터 상기 제2 액티브층을 따라 돌출되어 형성된다.

상기 전원 라인은 상기 게이트 라인과 나란하게 형성된다.

상기 스토리지 상부 전극은 상기 제3 액티브층과 중첩된 상기 전원 라인의 일부분으로 포함된다.

상기 제1 드레인 전극은 상기 제2 액티브층의 측면을 따라 신장되어 상기 층간 절연막을 관통하는 컨택홀을 통해 상기 제2 게이트 전극과 접속된다.

본 발명에 따른 EL 표시 패널의 박막 트랜지스터 어레이의 제조 방법은 상기 스위치 박막 트랜지스터의 제1 액티브층과, 상기 구동 박막 트랜지스터의 제2 액티브층을 형성하는 단계가, 기판 상에 비정질-실리콘 박막을 증착하여 레이저로 폴리-실리콘 박막으로 결정화하는 단계와; 상기 폴리-실리콘 박막을 패터닝하여 상기 제1 액티브층을 형성함과 동시에 상기 제2 액티브층을 상기 레이저의 스캔 방향을 따라 길게 형성하는 단계를 포함한다.

상기 제1 및 제2 액티브층을 형성하는 단계는 상기 스토리지 캐패시터의 하부 전극인 제3 액티브층을 상기 제1 액티브층과 접촉되게 형성하는 단계를 추가로 포함한다.

그리고, 본 발명의 제조 방법은 상기 기판과 제1 및 제2 액티브층 사이에 버퍼층을 형성하는 단계와; 상기 제1 및 제2 액티브층이 형성된 버퍼층 상에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 상에 제1 금속층을 형성하고 패터닝하여 전원 라인 및 상기 게이트 라인, 상기 게이트 라인과 접속된 상기 스위치 박막 트랜지스터의 제1 게이트 전극, 상기 구동 박막 트랜지스터의 제2 게이트 전극, 상기 전원 라인과 접속된 상기 스토리지 캐패시터의 상부 전극을 형성하는 단계와; 그 위에 층간 절연막을 형성하고 패터닝하여 다수의 콘택홀들을 형성하는 단계와; 상기 층간 절연막 상에 상기 데이터 라인, 상기 제1 액티브층과 접속된 상기 스위치 박막 트랜지스터의 제1 소스 전극, 상기 제1 액티브층 및 상기 제2 게이트 전극과 접속된 상기 스위치 박막 트랜지스터의 제1 드레인 전극, 상기 제2 액티브층 및 상기 스토리지 상부 전극과 접속된 상기 구동 박막 트랜지스터의 제2 소스 전극, 상기 제2 액티브층과 접속된 상기 구동 박막 트랜지스터의 제2 드레인 전극을 형성하는 단계와; 그 위에 보호막을 형성하고 패터닝하여 상기 제2 드레인 전극의 일부를 노출시키는 다른 콘택홀을 형성하는 단계와; 상기 보호막 상에 투명 도전층을 형성하고 패터닝하여 상기 다른 콘택홀을 통해 상기 제2 드레인 전극과 접속된 화소 전극을 형성하는 단계를 더 포함한다.

상기 다수의 콘택홀들을 형성하는 단계는 제1 액티브층을 상기 제1 소스 전극 및 제1 드레인 전극과 접속시키기 위한 제1 및 제2 콘택홀, 상기 제2 게이트 전극을 상기 제1 드레인 전극과 접속시키기 위한 제3 콘택홀, 제2 액티브층을 상기 제2 소스 전극 및 제2 드레인 전극과 접속시키기 위한 제4 및 제5 콘택홀, 상기 스토리지 상부 전극을 상기 제2 소스 전극과 접속시키기 위한 제6 콘택홀을 형성하는 단계를 포함한다.

상기 제2 액티브층은 상기 화소 전극 측면의 수직 방향을 따라 길게 형성된다.

상기 전원 라인은 상기 게이트 라인과 교차하도록 형성된다.

상기 전원 라인은 상기 게이트 라인과의 교차부에서 분리되고, 본 발명의 제조 방법은 상기 층간 절연막을 관통하여 상기 분리된 전원 라인의 일부를 노출시키는 또 다른 콘택홀을 형성하는 단계와; 상기 층간 절연막 상에 상기 또 다른 콘택홀을 통해 상기 분리된 전원 라인에 접속된 연결 전극을 형성하는 단계를 추가로 포함한다.

상기 스토리지 상부 전극은 상기 전원 라인으로부터 상기 제3 액티브층을 따라 돌출되어 형성된다.

상기 전원 라인은 상기 게이트 라인에 나란하게 형성된다.

상기 스토리지 상부 전극은 상기 제3 액티브층과 중첩된 상기 전원 라인의 일부분으로 포함되도록 형성된다.

상기 제1 드레인 전극은 상기 제2 액티브층의 측면을 따라 신장되어 상기 제3 콘택홀을 통해 상기 제2 게이트 전극과 접속된다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예들을 도 5 내지 도 8을 참조하여 상세히 설명하기로 한다.

도 5는 본 발명의 제1 실시 예에 따른 EL 표시 패널의 한 서브 화소에 포함되는 박막 트랜지스터 어레이를 도시한 평면도이고, 도 6은 도 5에 도시된 셀 구동부를 II-II'선을 따라 절단하여 도시한 단면도이다.

도 5 및 도 6에 도시된 박막 트랜지스터 어레이의 게이트 라인(140)은 데이터 라인(142) 및 전원 라인(144)과 교차하는 구조로 형성되어 화소 영역을 정의한다. 정의된 화소 영역에는 스위치 박막 트랜지스터(T1) 및 구동 박막 트랜지스터(T2), 스토리지 캐패시터(C)와, 구동 박막 트랜지스터(T2)와 접속되어 EL 셀의 제1 전극(즉, 양극) 역할을 하는 화소 전극(164)이 형성된다.

스위치 박막 트랜지스터(T1)는 게이트 라인(140)으로부터 돌출된 제1 게이트 전극(154), 게이트 절연막(174)을 사이에 두고 제1 게이트 전극(146)과 교차하는 제1 액티브층(152), 데이터 라인(142)으로부터 돌출되어 층간 절연막(176) 및 게

이트 절연막(174)을 관통하는 제1 컨택홀(147)을 통해 제1 액티브층(152)의 소스 영역(152S)과 접속된 제1 소스 전극(148), 제1 소스 전극(148)과 제1 게이트 전극(146)을 사이에 두고 마주하여 층간 절연막(176) 및 게이트 절연막(174)을 관통하는 제2 컨택홀(149)을 통해 제1 액티브층(152)의 드레인 영역(152D)과 접속된 제1 드레인 전극(150)을 구비한다.

구동 박막 트랜지스터(T2)는 층간 절연막(176)을 관통하는 제3 컨택홀(155)을 통해 상기 제1 드레인 전극(150)과 접속된 제2 게이트 전극(156), 게이트 절연막(174)을 사이에 두고 제2 게이트 전극(156)과 교차하는 제2 액티브층(162), 층간 절연막(176) 및 게이트 절연막(174)을 관통하는 제4 컨택홀(157)을 통해 제2 액티브층(162)의 소스 영역(162S)과 접속된 제2 소스 전극(158), 제2 소스 전극(158)과 제2 게이트 전극(156)을 사이에 두고 마주하여 층간 절연막(176) 및 게이트 절연막(174)을 관통하는 제5 컨택홀(159)을 통해 제2 액티브층(162)의 드레인 영역(162D)과 접속된 제2 드레인 전극(160)을 구비한다.

여기서, 구동 박막 트랜지스터(T2)의 제2 소스 전극(158)은 층간 절연막(176)을 관통하는 제6 컨택홀(153)을 통해 전원 라인(144)으로부터 돌출된 스토리지 상부 전극(144A)과 접속되고, 제2 드레인 전극(160)은 보호막(178)을 관통하는 제7 컨택홀(161)을 통해 화소 전극(164)과 접속된다. 그리고, 제1 드레인 전극(150)은 제2 액티브층(162)을 따라 수직 방향으로 신장되어 그 제2 액티브층(162)과 교차하는 제2 게이트 전극(156)과 제3 컨택홀(155)을 통해 접속된다.

스토리지 캐패시터(C)는 전원 라인(144)으로부터 돌출된 스토리지 상부 전극(144A)과, 그 스토리지 상부 전극(144A)과 게이트 절연막(174)을 사이에 두고 중첩되어 스토리지 하부 전극 역할을 하는 제3 액티브층(154)으로 구성된다. 제3 액티브층(154)은 제1 액티브층(152)과 접속된다.

전원 라인(144)은 동일 금속층으로 형성된 게이트 라인(140)과의 절연을 위하여 교차부에서 분리되고, 분리된 전원 라인(144)은 연결 전극(166)을 통해 접속된다. 연결 전극(166)은 층간 절연막(176)을 사이에 두고 게이트 라인(140)과 교차하도록 형성되며, 층간 절연막(176)을 관통하는 제8 및 제9 컨택홀(163, 165)을 통해 분리된 전원 라인(144)과 접속된다.

여기서, 구동 박막 트랜지스터(T2)에 포함되는 제2 액티브층(162)은 서브 화소의 수직 방향으로 길게 형성된다. 다시 말하여, 제2 액티브층(162)은 아모퍼스-실리콘 박막을 폴리-실리콘 박막으로 결정화시키기 위해 조사되는 레이저 빔의 스캔 방향, 즉 수직 방향을 따라 길게 형성된다. 이에 따라, 제2 액티브층(162)에 대한 레이저 빔의 스캔 길이가 상대적으로 길어짐에 따라 레이저 빔의 불안정한 출력 에너지에 따른 제2 액티브층(162)의 특성 편차가 감소하게 된다. 이는 제2 액티브층(162)의 문턱 전압, 이동도 등을 결정하는 결정립 크기는 레이저 빔의 스캔 방향, 즉 제2 액티브층(162)의 길이를 따라 대소 관계를 반복하게 되는데, 레이저 스캔 길이가 길어질 수록 결정립 크기의 대소 관계 반복 횟수가 증가함으로써 결정립 크기의 평균치 편차가 줄어들기 때문이다.

이러한 특성을 갖는 유기 EL 표시 패널의 박막 트랜지스터 어레이의 제조 방법은 다음과 같다.

기판(170) 위에 버퍼층(172)이 형성되고, 그 위에 제1 내지 제3 액티브층(152, 162, 154)이 형성된다. 제1 내지 제3 액티브층(152, 162, 154)은 버퍼층(172) 위에 아모퍼스-실리콘 박막을 증착하여 폴리-실리콘 박막으로 결정화시킨 후, 결정화된 폴리-실리콘 박막을 패터닝함으로써 형성된다. 이때, 제1 및 제3 액티브층(152, 162)은 서로 연결된 구조를 갖고, 제2 액티브층(162)은 레이저 스캔 방향을 따라 길게 형성된다.

이러한 제1 내지 제3 액티브층(152, 162, 154)이 형성된 버퍼층(172) 위에 게이트 절연막(174)이 형성되고, 그 위에 제1 금속층이 형성되어 패터닝됨으로써 게이트 라인(140), 제1 및 제2 게이트 전극(146, 156)과 함께 전원 라인(144) 및 스토리지 상부 전극(144A)이 형성된다.

이어서, 층간 절연막(176)이 형성되고 패터닝됨으로써 층간 절연막(176) 및 게이트 절연막(174)을 관통하는 제1, 제2, 제4, 제5, 제6 컨택홀(147, 149, 157, 159, 153)과, 층간 절연막(176)을 관통하는 제3, 제8, 제9 컨택홀(155, 163, 165)이 형성된다.

이러한 층간 절연막(176) 위에 제2 금속층이 형성되고 패터닝됨으로써 데이터 라인(142)과, 제1 소스 전극 및 드레인 전극(148, 150)과, 제2 소스 전극 및 드레인 전극(158, 160), 연결 전극(166)이 형성된다.

그 다음, 보호막(178)이 형성되고 패터닝됨으로써 보호막(178)을 관통하는 제7 컨택홀(161)이 형성된다.

그리고, 보호막(178) 위에 투명 도전층이 형성되고 패터닝됨으로써 제7 컨택홀(161)을 통해 제2 드레인 전극(160)과 접속되는 화소 전극(164)이 형성된다.

도 7은 본 발명의 제2 실시 예에 따른 EL 표시 패널의 한 서브 화소에 포함되는 박막 트랜지스터 어레이를 도시한 평면도이고, 도 8은 도 7에 도시된 셀 구동부를 III-III'선을 따라 절단하여 도시한 단면도이다.

도 7 및 도 8에 도시된 박막 트랜지스터 어레이에서 데이터 라인(242)은 게이트 라인(240) 및 전원 라인(244)과 교차하는 구조로 형성되어 화소 영역을 정의한다. 정의된 화소 영역에는 스위치 박막 트랜지스터(T1) 및 구동 박막 트랜지스터(T2), 스토리지 캐패시터(C)와, 구동 박막 트랜지스터(T2)와 접속되어 EL 셀의 제1 전극(즉, 양극) 역할을 하는 화소 전극(264)이 형성된다.

스위치 박막 트랜지스터(T1)는 게이트 라인(240)으로부터 돌출된 제1 게이트 전극(254), 게이트 절연막(274)을 사이에 두고 제1 게이트 전극(246)과 교차하는 제1 액티브층(252), 데이터 라인(242)으로부터 돌출되어 층간 절연막(276) 및 게이트 절연막(274)을 관통하는 제1 컨택홀(247)을 통해 제1 액티브층(252)의 소스 영역(252S)과 접속된 제1 소스 전극(248), 제1 소스 전극(248)과 제1 게이트 전극(246)을 사이에 두고 마주하여 층간 절연막(276) 및 게이트 절연막(274)을 관통하는 제2 컨택홀(249)을 통해 제1 액티브층(252)의 드레인 영역(252D)과 접속된 제1 드레인 전극(250)을 구비한다.

구동 박막 트랜지스터(T2)는 층간 절연막(276)을 관통하는 제3 컨택홀(255)을 통해 상기 제1 드레인 전극(250)과 접속된 제2 게이트 전극(256), 게이트 절연막(274)을 사이에 두고 제2 게이트 전극(256)과 교차하는 제2 액티브층(262), 층간 절연막(276) 및 게이트 절연막(274)을 관통하는 제4 컨택홀(257)을 통해 제2 액티브층(262)의 소스 영역(262S)과 접속된 제2 소스 전극(258), 제2 소스 전극(258)과 제2 게이트 전극(256)을 사이에 두고 마주하여 층간 절연막(276) 및 게이트 절연막(274)을 관통하는 제5 컨택홀(259)을 통해 제2 액티브층(262)의 드레인 영역(262D)과 접속된 제2 드레인 전극(260)을 구비한다.

여기서, 구동 박막 트랜지스터(T2)의 제2 소스 전극(258)은 층간 절연막(276)을 관통하는 제6 컨택홀(253)을 통해 전원 라인(244)과 접속되고, 제2 드레인 전극(260)은 보호막(278)을 관통하는 제7 컨택홀(261)을 통해 화소 전극(264)과 접속된다. 그리고, 제1 드레인 전극(250)은 제2 액티브층(262)을 따라 수직 방향으로 신장되어 그 제2 액티브층(262)과 교차하는 제2 게이트 전극(256)과 제3 컨택홀(255)을 통해 접속된다.

스토리지 캐패시터(C)는 스토리지 상부 전극 역할을 하는 전원 라인(244)의 일부분과, 그 전원 라인(244)의 일부분과 게이트 절연막(274)을 사이에 두고 중첩되어 스토리지 하부 전극 역할을 하는 제3 액티브층(254)으로 구성된다. 제3 액티브층(254)은 제1 액티브층(252)과 접속되고, 전원 라인(244)은 게이트 라인(240)과 동일 금속층으로 나란하게 형성된다.

여기서, 구동 박막 트랜지스터(T2)에 포함되는 제2 액티브층(262)은 서브 화소의 수직 방향으로 길게 형성된다. 다시 말하여, 제2 액티브층(262)은 아모퍼스-실리콘 박막을 폴리-실리콘 박막으로 결정화시키기 위해 조사되는 레이저 빔의 스캔 방향, 즉 수직 방향을 따라 길게 형성된다. 이에 따라, 제2 액티브층(262)에 대한 레이저 빔의 스캔 길이가 상대적으로 길어짐에 따라 레이저 빔의 불안정한 출력 에너지에 따른 제2 액티브층(262)의 특성 편차가 감소하게 된다. 이는 제3 액티브층(262)의 문턱 전압, 이동도 등을 결정하는 결정립 크기는 레이저 빔의 스캔 방향, 즉 제3 액티브층(262)의 길이를 따라 대소 관계를 반복하게 되는데, 레이저 스캔 길이가 길어질수록 결정립 크기의 대소 관계 반복 횟수가 증가함으로써 결정립 크기의 평균치 편차가 줄어들기 때문이다.

이러한 특성을 갖는 유기 EL 표시 패널의 박막 트랜지스터 어레이의 제조 방법은 다음과 같다.

기관(270) 위에 버퍼층(272)이 형성되고, 그 위에 제1 내지 제3 액티브층(252, 254, 262)이 형성된다. 제1 내지 제3 액티브층(252, 262, 254)은 버퍼층(272) 위에 아모퍼스-실리콘 박막을 증착하여 폴리-실리콘 박막으로 결정화시킨 후, 결정화된 폴리-실리콘 박막을 패터닝함으로써 형성된다. 이때, 제1 및 제3 액티브층(252, 254)는 서로 연결된 구조를 갖고, 제2 액티브층(262)은 레이저 스캔 방향을 따라 길게 형성된다.

이러한 제1 내지 제3 액티브층(252, 262, 254)이 형성된 버퍼층(272) 위에 게이트 절연막(274)이 형성되고, 그 위에 제1 금속층이 형성되어 패터닝됨으로써 게이트 라인(240), 제1 및 제2 게이트 전극(246, 256)과 함께 전원 라인(244)이 형성된다.

이어서, 층간 절연막(276)이 형성되고 패터닝됨으로써 층간 절연막(276) 및 게이트 절연막(274)을 관통하는 제1, 제2, 제4, 제5, 제6 컨택홀(247, 249, 257, 259, 253)과, 층간 절연막(276)을 관통하는 제3 컨택홀(255)이 형성된다.

이러한 층간 절연막(276) 위에 제2 금속층이 형성되고 패터닝됨으로써 데이터 라인(242)과, 제1 소스 전극 및 드레인 전극(248, 250)과, 제2 소스 전극 및 드레인 전극(258, 260)이 형성된다.

그 다음, 보호막(278)이 형성되고 패터닝됨으로써 제7 컨택홀(261)이 형성된다.

이러한 보호막(278) 위에 투명 도전층이 형성되고 패터닝됨으로써 제7 컨택홀(261)을 통해 제2 드레인 전극(260)과 접속되는 화소 전극(264)이 형성된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 EL 표시 패널의 박막 트랜지스터 어레이 및 그 제조 방법은 구동 박막 트랜지스터에 포함되는 액티브층을 레이저 스캔 방향을 따라 길게 형성함으로써 그 액티브층의 특성 편차를 최소화할 수 있게 된다. 이에 따라, 구동 박막 트랜지스터의 문턱 전압 및 이동도 등과 같은 특성 편차로 인한 동일 휘도 대비 휘도 편차를 최소화할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

게이트 라인과 데이터 라인의 교차로 정의된 화소 영역마다 형성된 EL 셀을 독립적으로 구동하는 셀 구동부를 포함하는 박막 트랜지스터 어레이에 있어서,

상기 셀 구동부는

게이트 라인과 접속된 제1 게이트 전극, 그 제1 게이트 전극과 게이트 절연막을 사이에 두고 교차하는 제1 액티브층, 데이터 라인 및 상기 제1 액티브층의 일측과 접속된 제1 소스 전극, 상기 제1 게이트 전극을 사이에 두고 상기 제1 소스 전극과 대향하면서 상기 제1 액티브층의 타측과 접속된 제1 드레인 전극을 포함하는 스위치 박막 트랜지스터와;

상기 제1 드레인 전극과 접속된 제2 게이트 전극, 그 게이트 전극과 게이트 절연막을 사이에 두고 자신의 결정화를 위한 레이저 스캔 방향을 따라 길게 형성된 제2 액티브층, 전원 라인 및 상기 제2 액티브층의 일측과 접속된 제2 소스 전극, 상기 제2 게이트 전극을 사이에 두고 상기 제2 소스 전극과 대향하면서 상기 제2 액티브층의 타측과 접속된 제2 드레인 전극을 포함하는 구동 박막 트랜지스터와;

상기 전원 라인과 접속된 스토리지 상부 전극과, 그 스토리지 상부 전극과 층간 절연막을 사이에 두고 형성되며 상기 제1 액티브층과 접속된 제3 액티브층을 포함하는 스토리지 캐패시터와;

상기 구동 박막 트랜지스터의 제2 드레인 전극과 접속되어 상기 EL 셀의 제1 전극 역할을 하는 화소 전극을 구비하는 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이.

청구항 2.

제 1 항에 있어서,

상기 제2 액티브층은 상기 화소 전극 측면의 수직 방향을 따라 길게 형성된 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이.

청구항 3.

제 1 항에 있어서,

상기 전원 라인은 상기 게이트 라인과 교차하도록 형성된 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이.

청구항 4.

제 3 항에 있어서,

상기 전원 라인은 상기 게이트 라인과 동일 금속층으로 형성되어, 상기 게이트 라인과 교차부에서 분리되며,

상기 층간 절연막을 관통하는 콘택홀들을 통해 상기 분리된 전원 라인과 접속된 연결 전극을 추가로 구비하는 것을 EL 표시 패널의 박막 트랜지스터 어레이.

청구항 5.

제 3 항에 있어서,

상기 스토리지 상부 전극은

상기 전원 라인으로부터 상기 제2 액티브층을 따라 돌출되어 형성된 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이.

청구항 6.

제 1 항에 있어서,

상기 전원 라인은 상기 게이트 라인과 나란하게 형성된 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이.

청구항 7.

제 6 항에 있어서,

상기 스토리지 상부 전극은 상기 제3 액티브층과 중첩된 상기 전원 라인의 일부분으로 포함된 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이.

청구항 8.

제 1 항에 있어서,

상기 제1 드레인 전극은

상기 제2 액티브층의 측면을 따라 신장되어 상기 층간 절연막을 관통하는 콘택홀을 통해 상기 제2 게이트 전극과 접속된 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이.

청구항 9.

게이트 라인과 데이터 라인의 교차로 정의된 화소 영역마다 형성된 EL 셀을 독립적으로 구동하기 위하여 스위치 박막 트랜지스터, 구동 박막 트랜지스터, 스토리지 캐패시터를 포함하는 셀 구동부를 포함하는 박막 트랜지스터 어레이의 제조 방법에 있어서,

상기 스위치 박막 트랜지스터의 제1 액티브층과, 상기 구동 박막 트랜지스터의 제2 액티브층을 형성하는 단계가,

기판 상에 비정질-실리콘 박막을 증착하여 레이저로 폴리-실리콘 박막으로 결정화하는 단계와;

상기 폴리-실리콘 박막을 패터닝하여 상기 제1 액티브층을 형성함과 동시에 상기 제2 액티브층을 상기 레이저의 스캔 방향을 따라 길게 형성하는 단계를 포함하는 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이 제조 방법.

청구항 10.

제 9 항에 있어서,

상기 제1 및 제2 액티브층을 형성하는 단계는

상기 스토리지 캐패시터의 하부 전극인 제3 액티브층을 상기 제1 액티브층과 접촉되게 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이 제조 방법.

청구항 11.

제 10 항에 있어서,

상기 기판과 제1 및 제2 액티브층 사이에 버퍼층을 형성하는 단계와;

상기 제1 및 제2 액티브층이 형성된 버퍼층 상에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상에 제1 금속층을 형성하고 패터닝하여 전원 라인 및 상기 게이트 라인, 상기 게이트 라인에 접속된 상기 스위치 박막 트랜지스터의 제1 게이트 전극, 상기 구동 박막 트랜지스터의 제2 게이트 전극, 상기 전원 라인에 접속된 상기 스토리지 캐패시터의 상부 전극을 형성하는 단계와;

그 위에 층간 절연막을 형성하고 패터닝하여 다수의 콘택홀들을 형성하는 단계와;

상기 층간 절연막 상에 상기 데이터 라인, 상기 제1 액티브층과 접속된 상기 스위치 박막 트랜지스터의 제1 소스 전극, 상기 제1 액티브층 및 상기 제2 게이트 전극과 접속된 상기 스위치 박막 트랜지스터의 제1 드레인 전극, 상기 제2 액티브층 및 상기 스토리지 상부 전극과 접속된 상기 구동 박막 트랜지스터의 제2 소스 전극, 상기 제2 액티브층과 접속된 상기 구동 박막 트랜지스터의 제2 드레인 전극을 형성하는 단계와.

그 위에 보호막을 형성하고 패터닝하여 상기 제2 드레인 전극의 일부를 노출시키는 다른 콘택홀을 형성하는 단계와;

상기 보호막 상에 투명 도전층을 형성하고 패터닝하여 상기 다른 콘택홀을 통해 상기 제2 드레인 전극과 접속된 화소 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이 제조 방법.

청구항 12.

제 11 항에 있어서,

상기 다수의 컨택홀들을 형성하는 단계는

제1 액티브층을 상기 제1 소스 전극 및 제1 드레인 전극과 접속시키기 위한 제1 및 제2 컨택홀, 상기 제2 게이트 전극을 상기 제1 드레인 전극과 접속시키기 위한 제3 컨택홀, 제2 액티브층을 상기 제2 소스 전극 및 제2 드레인 전극과 접속시키기 위한 제4 및 제5 컨택홀, 상기 스토리지 상부 전극을 상기 제2 소스 전극과 접속시키기 위한 제6 컨택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이 제조 방법.

청구항 13.

제 11 항에 있어서,

상기 제2 액티브층은 상기 화소 전극 측면의 수직 방향을 따라 길게 형성된 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이 제조 방법.

청구항 14.

제 11 항에 있어서,

상기 전원 라인은 상기 게이트 라인과 교차하도록 형성된 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이 제조 방법.

청구항 15.

제 14 항에 있어서,

상기 전원 라인은 상기 게이트 라인과의 교차부에서 분리되고,

상기 층간 절연막을 관통하여 상기 분리된 전원 라인의 일부를 노출시키는 또 다른 컨택홀을 형성하는 단계와;

상기 층간 절연막 상에 상기 또 다른 컨택홀을 통해 상기 분리된 전원 라인과 접속된 연결 전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이 제조 방법.

청구항 16.

제 14 항에 있어서,

상기 스토리지 상부 전극은 상기 전원 라인으로부터 상기 제3 액티브층을 따라 돌출되어 형성된 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이 제조 방법.

청구항 17.

제 11 항에 있어서,

상기 전원 라인은 상기 게이트 라인과 나란하게 형성된 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이의 제조 방법.

청구항 18.

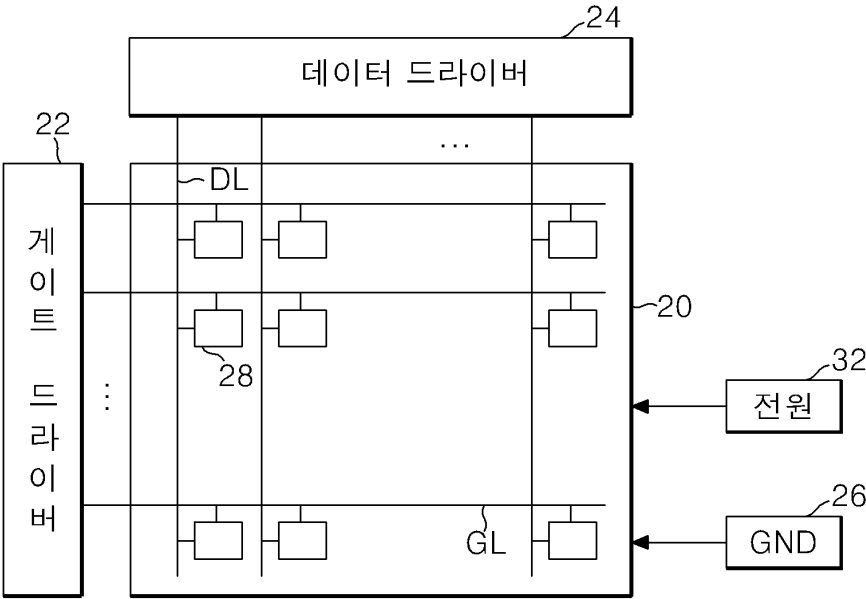
제 17 항에 있어서,
상기 스토리지 상부 전극은 상기 제3 액티브층과 중첩된 상기 전원 라인의 일부분으로 포함되도록 형성된 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이의 제조 방법.

청구항 19.

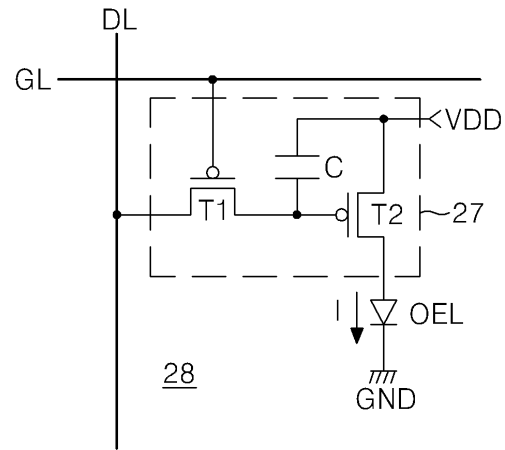
제 12 항에 있어서,
상기 제1 드레인 전극은
상기 제2 액티브층의 측면을 따라 신장되어 상기 제3 컨택홀을 통해 상기 제2 게이트 전극과 접속된 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이 제조 방법.

도면

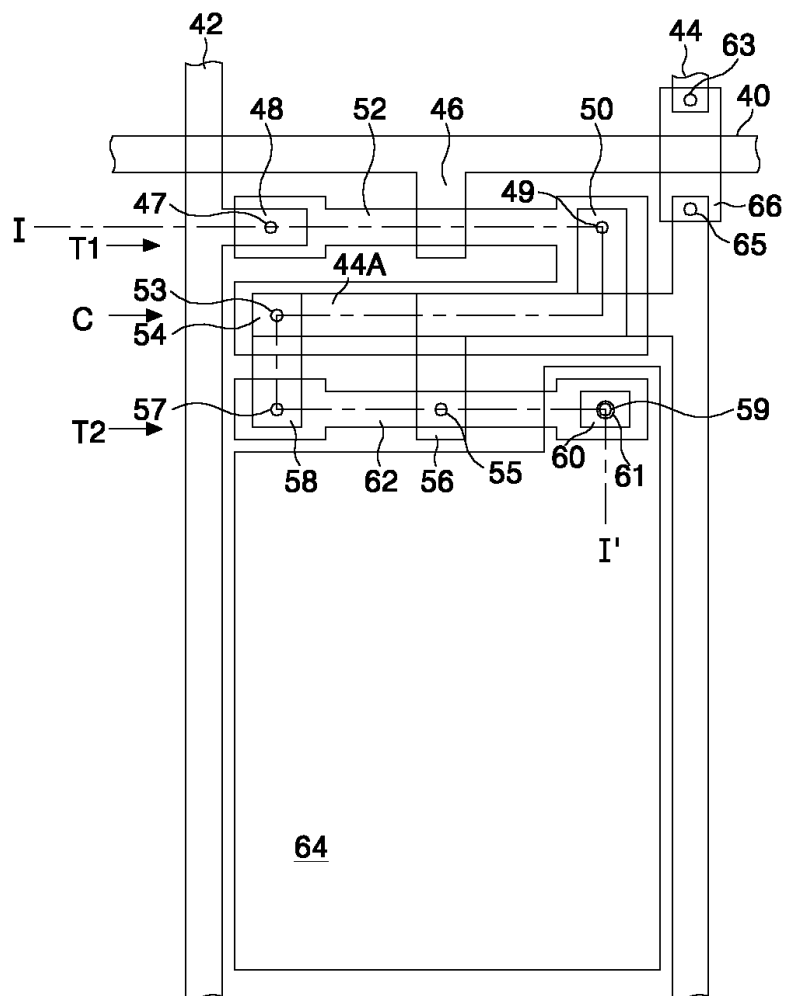
도면1



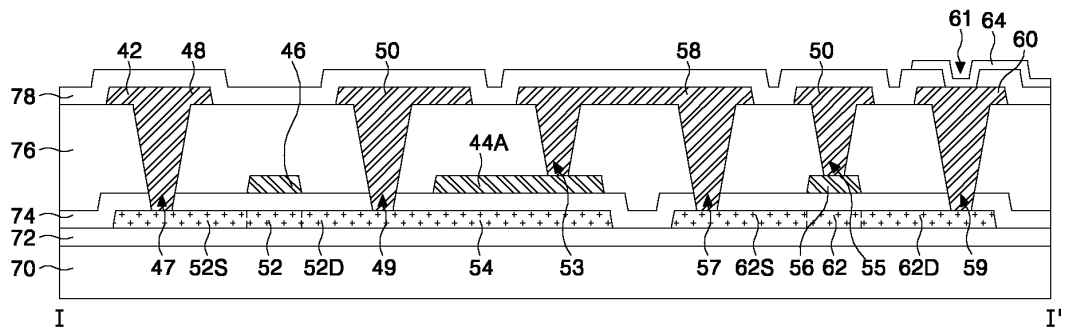
도면2



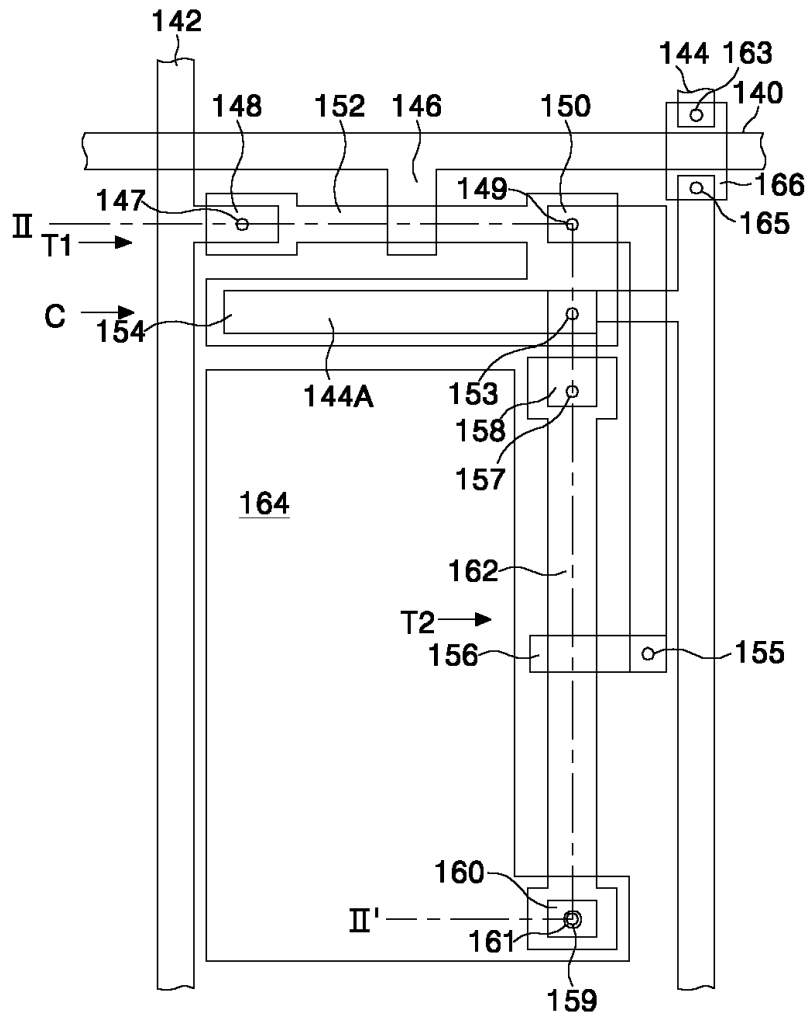
도면3



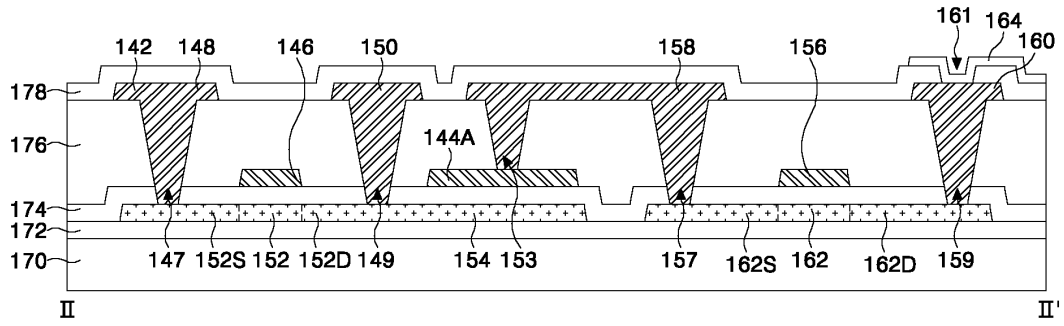
도면4



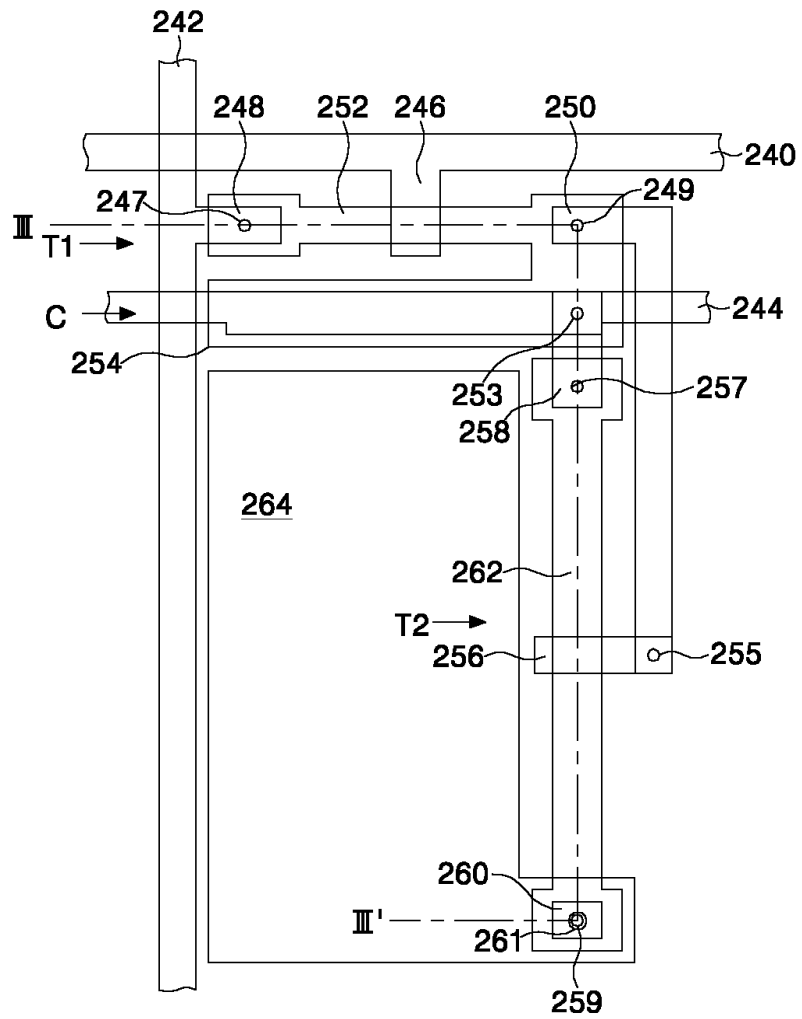
도면5



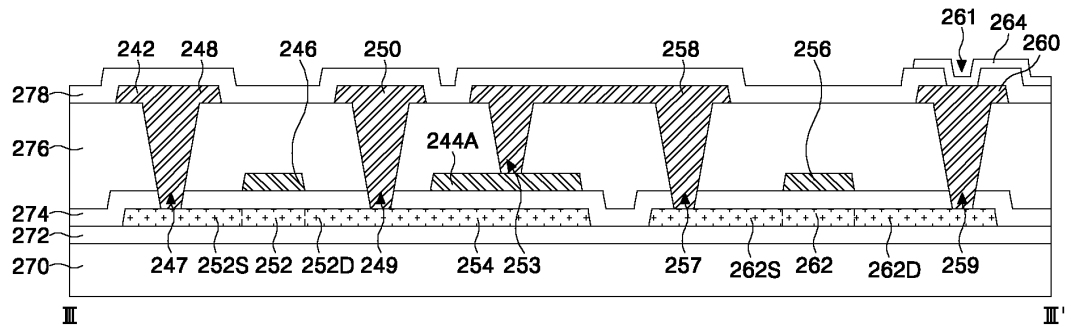
도면6



도면7



도면8



专利名称(译)	电致发光显示面板的薄膜晶体管阵列及其制造方法		
公开(公告)号	KR1020050082959A	公开(公告)日	2005-08-24
申请号	KR1020040011581	申请日	2004-02-20
申请(专利权)人(译)	LG电子公司		
当前申请(专利权)人(译)	LG电子公司		
[标]发明人	KIM WOCHAN		
发明人	KIM,WOCHAN		
IPC分类号	H05B33/00		
代理人(译)	李, SOO WOONG		
其他公开文献	KR100717333B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种EL显示面板的薄膜晶体管阵列及其制造方法，其可以使由于薄膜晶体管的不均匀特性引起的亮度变化最小化。形成开关薄膜晶体管的第一有源层和驱动薄膜晶体管的第二有源层包括在衬底上沉积非晶硅薄膜，结晶硅薄膜;图案化多晶硅薄膜以形成第一有源层并沿激光器的扫描方向形成成长的第二有源层。 五

