

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G09G 3/30

(11) 공개번호 10-2005-0078825
(43) 공개일자 2005년08월08일

(21) 출원번호 10-2004-0006881
(22) 출원일자 2004년02월03일

(71) 출원인 엘지전자 주식회사
서울특별시 영등포구 여의도동 20번지

(72) 발명자 정연식
부산광역시부산진구개금동554-49

(74) 대리인 김영호

심사청구 : 있음

(54) 일렉트로-루미네센스 표시 패널과 그 구동 방법

요약

본 발명은 박막 트랜지스터의 불균일한 특성으로 인한 휘도차를 보상할 수 있는 EL 표시 패널과 그 구동 방법을 제공하는 것이다.

이를 위하여, 본 발명의 EL 표시 패널은 게이트 라인과 데이터 라인의 교차로 정의된 화소 영역에 형성되며, 제1 전원 전극과 접속된 EL 셀과, 상기 게이트 라인 및 데이터 라인과 상기 EL 셀 사이에 접속되고 제2 전원 라인과 접속된 셀 구동부를 포함하는 서브 화소를 구비하고; 상기 셀 구동부는 상기 게이트 라인의 스캔 신호에 응답하여 제1 노드로 상기 데이터 라인의 데이터 신호를 공급하는 스위치 박막 트랜지스터와; 상기 제1 노드의 데이터 신호에 응답하여 상기 제2 전원 라인으로부터 상기 EL셀로 공급되는 전류를 제어하는 구동 박막 트랜지스터와; 감마 조정 라인을 통해 공급된 감마 조정 전압과 상기 제1 노드의 데이터 신호와의 차전압을 충전하여 상기 구동 박막 트랜지스터를 제어하는 스토리지 캐패시터를 구비한다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 통상의 유기 EL 표시 패널을 개략적으로 도시한 도면.

도 2는 도 1에 도시된 R, G, B 서브 화소를 등가적으로 도시한 도면.

도 3은 본 발명의 실시 예에 따른 유기 EL 표시 패널을 등가적으로 도시한 도면.

<도면의 주요 부분에 대한 부호의 간단한 설명>

20, 40 : 화소 매트릭스 22, 42 : 게이트 드라이버

24, 44 : 데이터 드라이버 28, 54 : 서브 화소

30, 56 : 셀 구동부 48 : R 감마 조정 전압 공급부

50 : G 감마 조정 전압 공급부 52 : B 감마 조정 전압 공급부

32, 46 : 전원

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일렉트로-루미네센스 표시 패널에 관한 것으로, 특히 박막 트랜지스터의 특성 차이를 감마 전압 조정으로 보상할 수 있는 EL 표시 패널과 그 구동 방법에 관한 것이다.

음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시 장치들이 대두되고 있다. 이러한 평판 표시 장치로는 액정 표시 장치(Liquid Crystal Display), 전계 방출 표시 장치(Field Emission Display), 플라스마 표시 패널(Plasma Display Panel) 및 일렉트로-루미네센스(Electro-Luminescence : 이하, EL이라 함) 표시 패널 등이 있다.

이들 중 EL 표시 패널은 전자와 정공의 재결합으로 형광체를 발광시키는 자발광 소자로, 그 형광체로 무기 화합물을 사용하는 무기 EL과 유기 화합물을 사용하는 유기 EL로 대별된다. 이러한 EL 표시 패널은 저전압 구동, 자기발광, 박막형, 넓은 시야각, 빠른 응답속도, 높은 콘트라스트 등의 많은 장점을 가지고 있어 차세대 표시 장치로 기대되고 있다.

유기 EL 소자는 통상 음극과 양극 사이에 적층된 전자 주입층, 전자 수송층, 발광층, 정공 수송층, 정공 주입층으로 구성된다. 이러한 유기 EL 소자에서는 양극과 음극 사이에 소정의 전압을 인가하는 경우 음극으로부터 발생된 전자가 전자 주입층 및 전자 수송층을 통해 발광층 쪽으로 이동하고, 양극으로부터 발생된 정공이 정공 주입층 및 정공 수송층을 통해 발광층 쪽으로 이동한다. 이에 따라, 발광층에서는 전자 수송층과 정공 수송층으로부터 공급되어진 전자와 정공이 재결합함에 의해 빛을 방출하게 된다.

이러한 유기 EL 소자를 이용하는 액티브 매트릭스 EL 표시 패널은 도 1에 도시된 바와 같이 게이트 라인(GL)과 데이터 라인(DL)의 교차로 정의된 영역에 각각 배열되어진 서브 화소들(28)을 구비하는 화소 매트릭스(20)와, 화소 매트릭스(20)의 게이트 라인들(GL)을 구동하는 게이트 드라이버(22)와, 화소 매트릭스(20)의 데이터 라인들(DL)을 구동하는 데이터 드라이버(24)와, 화소 매트릭스(20)와 접속된 전원(32) 및 기저 전원(GND)를 구비한다.

게이트 드라이버(22)는 스캔 펄스를 공급하여 게이트 라인들(GL)을 순차적으로 구동한다.

데이터 드라이버(24)는 스캔 펄스가 공급될 때마다 R, G, B 데이터 신호(RD, GD, BD)를 각각의 데이터 라인(DL)에 공급한다. 이때, 데이터 드라이버(24)는 외부로부터 입력된 디지털 데이터를 아날로그 데이터 신호로 변환하여 공급한다. 예를 들면, 데이터 드라이버(24)는 외부로부터 입력된 감마 기준 전압을 다수의 감마 전압 레벨로 분압하고, 입력된 디지털 데이터에 해당되는 감마 전압 레벨을 선택하여 아날로그 데이터 신호로 공급한다.

R, G, B 서브 화소들(28) 각각은 게이트 라인(GL)에 스캔 펄스가 공급되면 데이터 라인(DL)으로부터 데이터 신호를 공급받아 그 데이터 신호에 상응하는 빛을 발생하게 된다. R, G, B 서브 화소(28) 조합으로 한 화소의 칼라가 구현된다.

R, G, B 서브 화소(28) 각각은 도 2에 도시된 바와 같이 기저 전원(GND)에 음극이 접속된 EL 셀(OEL)과, 게이트 라인(GL) 및 데이터 라인(DL)과 전원 라인(PL)에 접속되고 EL 셀(OEL)의 양극에 접속되어 그 EL 셀(OEL)을 구동하기 위한 셀 구동부(30)를 구비한다.

셀 구동부(30)는 게이트 라인(GL)에 게이트 단자가, 데이터 라인(DL)에 소스 단자가, 노드(N1)에 드레인 단자가 접속된 스위치 박막 트랜지스터(T1)와, 노드(N1)에 게이트 단자가, 전원 라인(PL)에 소스 단자가, 그리고 EL셀(OEL)에 드레인 단자가 접속된 구동 박막 트랜지스터(T2)와, 전원 라인(PL)과 노드(N1) 사이에 접속된 스토리지 캐패시터(C)를 구비한다.

스위치 박막 트랜지스터(T1)는 게이트 라인(GL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 노드(N1)를 통해 구동 박막 트랜지스터(T2)의 게이트 단자로 공급한다. 이때, 스토리지 캐패시터(C)는 전원 라인(PL)을 통해 공급된 구동 전압(VDD)과, 노드(N1)에 공급된 데이터 신호와의 차전압을 충전한다. 구동 박막 트랜지스터(T2)는 노드(N1)에 공급된 전압에 응답하여 전원 라인(PL)으로부터 EL 셀(OEL)로 공급되는 전류량(I)을 제어함으로써 EL 셀(OEL)의 발광량을 조절하게 된다. 그리고, 스위치 박막 트랜지스터(T1)가 턴-오프된 경우 스토리지 캐패시터(C)에 충전된 전압에 의해 구동 박막 트랜지스터(T2)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류(I)를 공급하여 EL 셀(OEL)이 발광을 유지하게 한다.

이와 같이, 셀 구동부(30)의 구동 박막 트랜지스터(T2)는 입력된 전압에 따라 전류량을 조절하여 EL 셀(OEL)의 발광량을 조절하는 중요한 역할을 한다. 다시 말하여, 구동 박막 트랜지스터(T2)를 통해 공급되는 전류(I_{ds})는 다음 수학적 식 1에 의해 결정된다.

수학적 식 1

$$I_{ds} = \frac{1}{2} * \frac{W}{L} * \mu C_{ox} (V_{gs} - V_{th})^2$$

여기서, W 및 L은 구동 박막 트랜지스터(T2)의 채널 폭 및 길이를, V_{gs} 는 구동 박막 트랜지스터(T2)의 게이트 및 소스 단자에 걸리는 전압(V_{gs})을, V_{th} 는 문턱 전압을, μ 는 이동도를 의미한다. 상기 수학적 식 1을 참조하면, 구동 박막 트랜지스터(T2)를 통해 공급되는 전류(I_{ds})는 그의 게이트 단자로 공급된 데이터 전압 뿐만 아니라 그의 특성을 결정하는 문턱 전압(V_{th}) 및 이동도(μ)에 의해서도 결정됨을 알 수 있다. 그런데, 구동 박막 트랜지스터(T2)는 아모퍼스-실리콘(Amorphous-Si)을 폴리-실리콘(Poly-Si)으로 결정화하는 레이저 결정화 공정의 영향으로 위치에 따라 불균일한 특성(즉, 문턱 전압, 이동도 등)을 갖는 문제점이 있다.

구체적으로, 박막 트랜지스터의 제조 공정에서 아모퍼스-실리콘 박막은 엑시머 레이저(Excimer Laser)를 사용하여 라인 빔(Line beam)을 수평 또는 수직 방향으로 스캔하는 레이저 결정화 공정에 의해 폴리-실리콘으로 결정화된다. 아모퍼스-실리콘 박막이 폴리-실리콘 박막으로 결정화될 때, 폴리-실리콘 박막의 특성은 레이저 파워 출력에 민감하다. 그런데, 엑시머 레이저의 출력 파워가 시간에 따라 불안정함에 따라 결정화된 폴리-실리콘 박막의 특성이 스캔 방향을 따라 불균일해지게 된다. 이에 따라, 하나의 기판 상에 형성된 다수의 EL 표시 패널간에 박막 트랜지스터의 특성 차이로 인한 휘도 편차가 발생하게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 박막 트랜지스터의 불균일한 특성으로 인한 휘도차를 보상할 수 있는 EL 표시 패널과 그 구동 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 EL 표시 패널은 게이트 라인과 데이터 라인의 교차로 정의된 화소 영역에 형성되며, 제1 전원 전극과 접속된 EL 셀과, 상기 게이트 라인 및 데이터 라인과 상기 EL 셀 사이에 접속되고 제2 전원 라인과 접속된 셀 구동부를 포함하는 서브 화소를 구비하고; 상기 셀 구동부는 상기 게이트 라인의 스캔 신호에 응답하여 제1 노드로 상기 데이터 라인의 데이터 신호를 공급하는 스위치 박막 트랜지스터와; 상기 제1 노드의 데이터 신호에 응답하여 상기 제2 전원 라인으로부터 상기 EL 셀로 공급되는 전류를 제어하는 구동 박막 트랜지스터와; 감마 조정 라인을 통해 공급된 감마 조정 전압과 상기 제1 노드의 데이터 신호와의 차전압을 충전하여 상기 구동 박막 트랜지스터를 제어하는 스토리지 캐패시터를 구비한다.

상기 감마 조정 라인은 상기 구동 박막 트랜지스터의 문턱 전압 편차를 보상하기 위한 감마 조정 전압을 상기 스토리지 캐패시터로 공급한다.

상기 서브 화소는 적 EL셀을 포함하는 적 서브화소, 녹 EL셀을 포함하는 녹 서브화소, 청 EL셀을 포함하는 청 서브화소로 구분되고; 상기 감마 조정 라인은 상기 적, 녹, 청 서브 화소별로 분리되어 접속된 제1 내지 제3 감마 조정 라인을 포함한다.

상기 제1 내지 제3 감마 조정 라인은 상기 적, 녹, 청 EL셀의 발광 효율 편차를 보상할 수 있는 제1 내지 제3 감마 조정 전압을 각각 공급한다.

상기 제1 내지 제3 감마 조정 라인 각각은 해당색 서브 화소에 공통 접속된다.

상기 제1 내지 제3 감마 조정 전압은 제2>제1>제3 감마 조정 전압의 관계를 갖도록 설정된다.

상기 제1 내지 제3 감마 조정 전압 각각은 저항을 통해 독립적으로 가변된다.

그리고, 본 발명의 EL 표시 패널은 상기 제1 내지 제3 감마 조정 전압을 각각 공급하는 제1 내지 제3 감마 조정 전압 공급부를 추가로 구비한다.

본 발명에 따른 EL 표시 패널의 구동 방법은 상기 스위치 박막 트랜지스터가 상기 스캔 신호에 응답하여 상기 데이터 신호를 상기 제1 노드로 공급하는 단계와; 상기 스토리지 캐패시터가 상기 구동 박막 트랜지스터의 문턱 전압 편차를 보상하기 위한 감마 조정 전압과 상기 제1 노드의 데이터 신호와의 차전압을 충전하는 단계와; 상기 스토리지 캐패시터에 충전된 차전압에 따라 상기 제2 전원 라인으로부터 상기 EL 셀로 공급되는 전류를 제어하여 상기 EL 셀을 발광시키고, 다음 프레임의 데이터 신호가 공급될 때까지 유지시키는 단계를 포함한다.

상기 감마 조정 전압은 적, 녹, 청색 EL셀의 발광 효율 편차를 보상하기 위한 제1 내지 제3 감마 조정 전압을 포함하고, 상기 제1 내지 제3 감마 조정 전압은 해당 색별로 구분되어 공급된다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예들을 도 3을 참조하여 상세히 설명하기로 한다.

도 3은 본 발명의 실시 예에 따른 EL 표시 패널을 등가적으로 도시한 것이다.

도 3에 도시된 EL 표시 패널은 게이트 라인(GL)과 데이터 라인(DL)의 교차로 정의된 영역에 각각 배열된 서브 화소들(54)을 구비하는 화소 매트릭스(40)와, 화소 매트릭스(40)의 게이트 라인들(GL)을 구동하는 게이트 드라이버(42)와, 화소 매트릭스(40)의 데이터 라인들(DL)을 구동하는 데이터 드라이버(44)와, 화소 매트릭스(40)와 접속된 전원(46) 및 기저 전원(GND)을 구비한다. 그리고, 도 3에 도시된 EL 표시 패널은 화소 매트릭스(40)에 박막 트랜지스터의 특성 차이를 보상할 수 있는 감마 조정 전압을 공급하는 감마 조정 전압 공급부(48, 50, 52)를 더 구비한다.

화소 매트릭스(40)는 다수의 게이트 라인(GL)과 다수의 데이터 라인(DL)의 교차로 정의된 영역마다 형성된 R, G, B 서브 화소들(54)을 구비하고, R, G, B 3개 서브 화소(54)의 조합으로 한 화소의 칼라를 구현하게 된다. R, G, B 서브 화소(54) 각각은 게이트 라인(GL)에 스캔 펄스가 공급되면 데이터 라인(DL)으로부터 데이터 신호를 공급받아 그 데이터 신호에 상응하는 빛을 발생하게 된다. 이를 위하여, R, G, B 서브 화소들(54) 각각은 음극을 통해 기저 전원(GND)에 접속된 EL 셀(OEL)과, 게이트 라인(GL) 및 데이터 라인(DL)과 전원 라인(PL)에 접속되고 EL 셀(OEL)의 양극에 접속되어 그 EL 셀(OEL)을 구동하기 위한 셀 구동부(56)를 구비한다. 또한, 셀 구동부(56)는 감마 전압 조정 라인(GCL)과도 접속된다.

구체적으로, 셀 구동부(56)는 게이트 라인(GL)에 게이트 단자가, 데이터 라인(DL)에 소스 단자가, 그리고 노드(N1)에 드레인 단자가 접속된 스위치 박막 트랜지스터(T1)와, 노드(N1)에 게이트 단자가, 전원 라인(PL)에 소스 단자가, 그리고 EL 셀(OEL)에 드레인 단자가 접속된 구동 박막 트랜지스터(T2)와, 감마 전압 조정 라인(GCL)과 노드(N1) 사이에 접속된 스토리지 캐패시터(C)를 구비한다.

여기서, 스토리지 캐패시터(C)는 스위치 박막 트랜지스터가 턴-오프된 경우 구동 박막 트랜지스터(T2)가 일정한 전류를 EL 셀(OEL)에 공급할 수 있도록 제어한다. 이에 따라, 스토리지 캐패시터(C)에 충전된 전압에 따라 구동 박막 트랜지스터(T2)를 경유하여 EL 셀(OEL)에 공급되는 전류를 제어할 수 있음을 알 수 있다. 이를 이용하여, 스토리지 캐패시터(C)에 충전된 전압을 조절하여 구동 박막 트랜지스터(T2)의 특성, 예를 들면 문턱 전압(V_{th}) 차이를 보상한다. 이를 위하여, 스토리지 캐패시터(C)에 감마 조정 라인(GCL)을 통해 구동 박막 트랜지스터(T2)의 문턱 전압(V_{th}) 편차를 보상할 수 있는 감마 조정 전압(GCV)을 공급한다.

그리고, 감마 조정 전압(GCV)으로는 서로 다른 발광 효율을 갖는 R, G, B EL 셀(OEL_R, OEL_G, OEL_B)을 고려하여 R, G, B 서브 화소(54) 별로 서로 다른 감마 조정 전압(GCV_R, GCV_G, GCV_B)을 공급한다. 다시 말하여 스토리지 캐패시터(C)에 R, G, B 서브 화소(54) 별로 서로 다른 감마 조정 전압(GCV_R, GCV_G, GCV_B)을 공급하여 R, G, B의 발광 효율 편차도 보상하게 된다. 이를 위하여, R 서브 화소들(54)에는 제1 감마 조정 라인(GCL1)을 통해 공통으로 R 감마 조정 전압(GCV_R)을, G 서브 화소들(54)에는 제2 감마 조정 라인(GCL2)을 통해 공통으로 G 감마 조정 전압(GCV_G)을, B 서브 화소들(54)에는 제3 감마 조정 라인(GCL3)을 통해 공통으로 B 감마 조정 전압(GCV_B)을 공급한다. 이러한 R, G, B 감마 조정 전압(GCV_R, GCV_G, GCV_B)은 $G > R > B$ 의 관계를 갖는 R, G, B EL 셀(OEL_R, OEL_G, OEL_B)의 발광 효율과 동일하도록 $GCV_G > GCV_R > GCV_B$ 의 관계를 갖게 한다. 이에 따라, 스토리지 캐패시터에 충전된 차전압은 R, G, B EL 셀(OEL_R, OEL_G, OEL_B)의 발광 효율과 상반된 관계를 갖게 되므로 발광 효율 편차를 보상할 수 있게 된다.

스위치 박막 트랜지스터(T1)는 게이트 라인(GL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 노드(N1)를 통해 구동 박막 트랜지스터(T2)의 게이트 단자로 공급한다. 이때, 스토리지 캐패시터(C)는 감마 조정 라인(GCL1, GCL2, GCL3) 중 어느 하나를 통해 공급된 해당 감마 조정 전압(GCV_R 또는 GCV_G 또는 GCV_B)과, 노드(N1)에 공급된 데이터 신호와의 차전압을 충전한다. 특히, 스토리지 캐패시터(C)는 해당 감마 조정 전압(GCV_R 또는 GCV_G 또는 GCV_B)에 의해 구동 박막 트랜지스터(T2)의 문턱 전압(V_{th}) 편차를 보상함과 아울러 R, G, B EL 셀(OEL)의 발광 효율 편차를 보상할 수 있는 차전압을 충전하게 된다. 구동 박막 트랜지스터(T2)는 노드(N1)에 공급된 전압에 응답하여 전원 라인(PL)으로부터 EL 셀(OEL_R, OEL_G, OEL_B)로 공급되는 전류량(I)을 제어함으로써 EL 셀(OEL_R, OEL_G, OEL_B)의 발광량을 조절하게 된다. 그리고, 스위치 박막 트랜지스터(T1)가 턴-오프된 경우 스토리지 캐패시터(C)에 충전된 전압에 의해 구동 박막 트랜지스터(T2)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류(I)를 공급하여 EL 셀(OEL_R, OEL_G, OEL_B)이 발광을 유지하게 한다. 이 경우, 스토리지 캐패시터(C)에 충전된 차전압에 의해 구동 박막 트랜지스터(T2)의 문턱 전압(V_{th}) 편차가 보상되므로 그로 인한 동일 휘도 대비 휘도 편차를 방지할 수 있게 된다. 또한, 스토리지 캐패시터(C)에 충전된 차전압에 의해 R, G, B EL 셀(OEL_R, OEL_G, OEL_B)의 발광 효율 편차가 보상되므로 화이트 밸런스(White Balance)를 향상시킬 수 있게 된다.

게이트 드라이버(42)는 스캔 펄스를 공급하여 게이트 라인들(GL)을 순차적으로 구동한다.

데이터 드라이버(44)는 스캔 펄스가 공급될 때마다 R, G, B 데이터 신호(RD, GD, BD)를 각각의 데이터 라인(DL)에 공급한다. 이때, 데이터 드라이버(44)는 외부로부터 입력된 디지털 데이터를 아날로그 데이터 신호로 변환하여 공급한다. 예를 들면, 데이터 드라이버(44)는 감마 기준 전압 생성부(미도시)로부터 입력된 감마 기준 전압을 다수의 감마 전압 레벨로 분압하고, 입력된 디지털 데이터에 해당되는 감마 전압 레벨을 선택하여 아날로그 데이터 신호로 공급한다.

R, G, B 감마 조정 전압 공급부(48, 50, 52)는 화소 매트릭스(40)에 형성된 구동 박막 트랜지스터(T2)의 문턱 전압(V_{th}) 편차를 보상함과 아울러 R, G, B EL 셀(OEL)의 발광 효율 편차를 보상할 수 있는 R, G, B 감마 조정 전압(GCV_R, GCV_G, GCV_B)을 각각 발생한다. 또한 R, G, B 감마 조정 전압 공급부(48, 50, 52)의 출력단에 접속된 저항(R1, R2, R3)을 조절하여 R, G, B 감마 조정 전압(GCV_R, GCV_G, GCV_B)이 각각이 가변될 수 있다. 이러한 R, G, B 감마 조정 전압 공급부(48, 50, 52)는 상기 게이트 드라이버(42) 및 데이터 드라이버(44)와 같이 EL 표시 패널의 주변 회로부에 내장되거나, 외부의 인쇄 회로 보드(PCB)에 장착된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 EL 표시 패널 및 그 구동 방법은 스토리지 캐패시터에 접속된 감마 조정 라인을 통해 공급되는 감마 조정 전압을 이용하여 박막 트랜지스터의 문턱 전압 편차를 보상할 수 있게 된다. 이에 따라, 박막 트랜지스터의 문턱 전압 편차로 인한 EL 표시 패널간의 동일 휘도 대비 휘도 편차를 방지할 수 있게 된다.

또한, 본 발명에 따른 EL 표시 패널 및 그 구동 방법은 스토리지 캐패시터에 공급되는 감마 조정 전압을 R, G, B 별로 구분하여 공급함으로써 R, G, B EL 셀의 발광 효율 편차를 보상할 수 있게 된다. 이에 따라 R, G, B EL 셀의 발광 효율 편차로 인한 화이트 밸런스를 향상시킬 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

게이트 라인과 데이터 라인의 교차로 정의된 화소 영역에 형성되며, 제1 전원 전극과 접속된 EL 셀과, 상기 게이트 라인 및 데이터 라인과 상기 EL 셀 사이에 접속되고 제2 전원 라인과 접속된 셀 구동부를 포함하는 서브 화소를 구비하고;

상기 셀 구동부는

상기 게이트 라인의 스캔 신호에 응답하여 제1 노드로 상기 데이터 라인의 데이터 신호를 공급하는 스위치 박막 트랜지스터와;

상기 제1 노드의 데이터 신호에 응답하여 상기 제2 전원 라인으로부터 상기 EL 셀로 공급되는 전류를 제어하는 구동 박막 트랜지스터와;

감마 조정 라인을 통해 공급된 감마 조정 전압과 상기 제1 노드의 데이터 신호와의 차전압을 충전하여 상기 구동 박막 트랜지스터를 제어하는 스토리지 캐패시터를 구비하는 것을 특징으로 하는 EL 표시 패널.

청구항 2.

제 1 항에 있어서,

상기 감마 조정 라인은

상기 구동 박막 트랜지스터의 문턱 전압 편차를 보상하기 위한 감마 조정 전압을 상기 스토리지 캐패시터로 공급하는 것을 특징으로 하는 EL 표시 패널.

청구항 3.

제 2 항에 있어서,

상기 서브 화소는 적 EL 셀을 포함하는 적 서브 화소, 녹 EL 셀을 포함하는 녹 서브 화소, 청 EL 셀을 포함하는 청 서브 화소로 구분되고;

상기 감마 조정 라인은 상기 적, 녹, 청 서브 화소별로 분리되어 접속된 제1 내지 제3 감마 조정 라인을 포함하는 것을 특징으로 하는 EL 표시 패널.

청구항 4.

제 3 항에 있어서,

상기 제1 내지 제3 감마 조정 라인은 상기 적, 녹, 청 EL셀의 발광 효율 편차를 보상할 수 있는 제1 내지 제3 감마 조정 전압을 각각 공급하는 것을 특징으로 하는 EL 표시 패널.

청구항 5.

제 4 항에 있어서,

상기 제1 내지 제3 감마 조정 라인 각각은 해당색 서브 화소에 공통 접속된 것을 특징으로 하는 EL 표시 패널.

청구항 6.

제 4 항에 있어서,

상기 제1 내지 제3 감마 조정 전압은 제2>제1>제3 감마 조정 전압의 관계를 갖도록 설정된 것을 특징으로 하는 EL 표시 패널.

청구항 7.

제 4 항에 있어서,

상기 제1 내지 제3 감마 조정 전압 각각은 저항을 통해 독립적으로 가변되는 것을 특징으로 하는 EL 표시 패널.

청구항 8.

제 4 항에 있어서,

상기 제1 내지 제3 감마 조정 전압을 각각 공급하는 제1 내지 제3 감마 조정 전압 공급부를 추가로 구비하는 것을 특징으로 하는 EL 표시 패널.

청구항 9.

제 1 항에 기재된 EL 표시 패널을 구동하는 방법에 있어서,

상기 스위치 박막 트랜지스터가 상기 스캔 신호에 응답하여 상기 데이터 신호를 상기 제1 노드로 공급하는 단계와;

상기 스토리지 캐패시터가 상기 구동 박막 트랜지스터의 문턱 전압 편차를 보상하기 위한 감마 조정 전압과 상기 제1 노드의 데이터 신호와의 차전압을 충전하는 단계와;

상기 스토리지 캐패시터에 충전된 차전압에 따라 상기 제2 전원 라인으로부터 상기 EL 셀로 공급되는 전류를 제어하여 상기 EL 셀을 발광시키고, 다음 프레임의 데이터 신호가 공급될 때까지 유지시키는 단계를 포함하는 것을 특징으로 하는 EL 표시 패널의 구동 방법.

청구항 10.

제 9 항에 있어서,

상기 감마 조정 전압은 적, 녹, 청색 EL셀의 발광 효율 편차를 보상하기 위한 제1 내지 제3 감마 조정 전압을 포함하고,
상기 제1 내지 제3 감마 조정 전압은 해당 색별로 구분되어 공급된 것을 특징으로 하는 EL 표시 패널의 구동 방법.

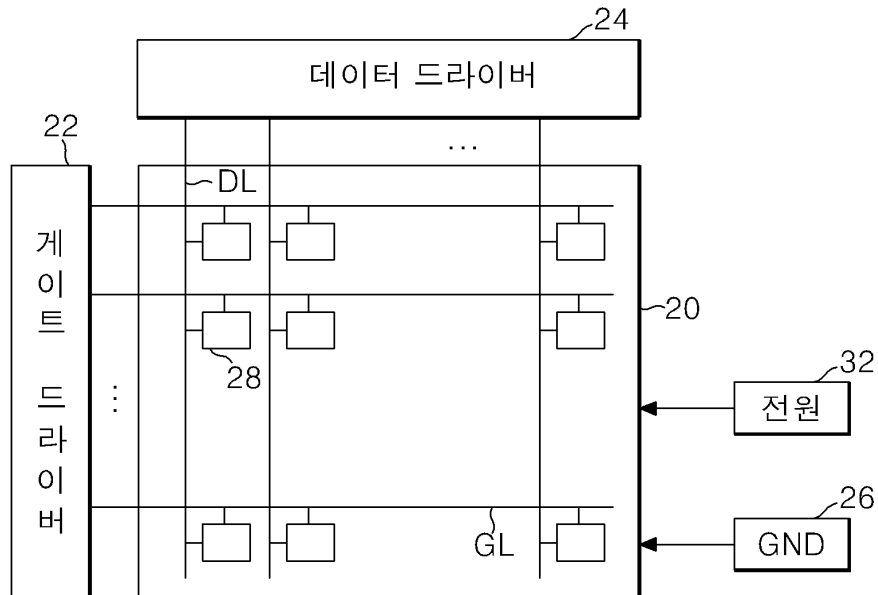
청구항 11.

제 10 항에 있어서,

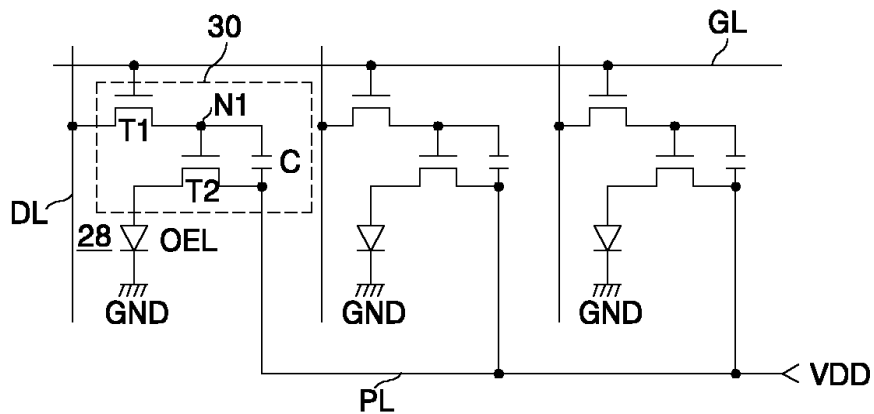
상기 제1 내지 제3 감마 조정 전압은 제2>제1>제3 감마 조정 전압의 관계를 갖도록 설정된 것을 특징으로 하는 EL 표시 패널의 구동 방법.

도면

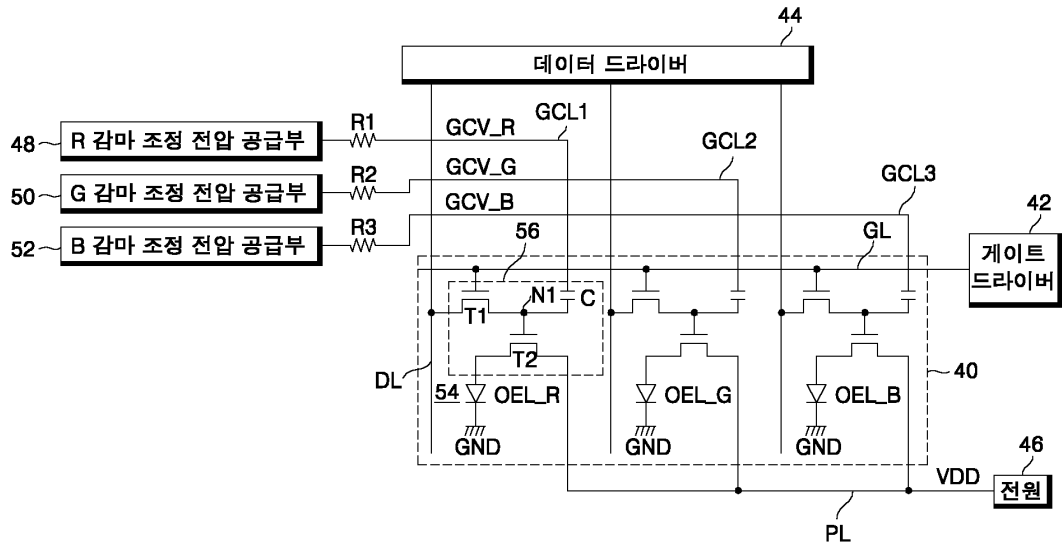
도면1



도면2



도면3



专利名称(译)	电致发光显示面板及其驱动方法		
公开(公告)号	KR1020050078825A	公开(公告)日	2005-08-08
申请号	KR1020040006881	申请日	2004-02-03
申请(专利权)人(译)	LG电子公司		
当前申请(专利权)人(译)	LG电子公司		
[标]发明人	JEONG YUNSIK		
发明人	JEONG, YUNSIK		
IPC分类号	G09G3/30		
CPC分类号	A63C19/06 A63C2019/085		
代理人(译)	李, SOO WOONG		
其他公开文献	KR100692861B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种能够补偿由于薄膜晶体管的不均匀特性引起的亮度差异的EL显示面板及其驱动方法。为此，在像素区域相交形成的本发明的EL显示面板限定所述栅极线和数据线，其连接连接到电源电极的第一的EL单元之间，和所述栅极线和所述数据线和EL单元包括连接到第二电源线的单元驱动器的子像素;单元驱动器包括：开关薄膜晶体管，用于响应栅极线的扫描信号将数据线的的数据信号提供给第一节点;一种驱动薄膜晶体管，用于响应第一节点的数据信号控制从第二电源线提供给EL单元的电流;并且存储电容器用于通过对通过伽马调节线提供的伽马调节电压和第一节点的数据信号之间的差电压充电来控制驱动薄膜晶体管。 3

