

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H05B 33/00

(11) 공개번호 특2001-0050803
(43) 공개일자 2001년06월25일

(21) 출원번호	10-2000-0057801
(22) 출원일자	2000년10월02일
(30) 우선권주장	1999-281790 1999년10월01일 일본(JP)
(71) 출원인	산요 덴키 가부시키가이샤 다카노 야스아키
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고	
(72) 발명자	니시까와류지
일본기후엥기후시히노미나미8-41-7	
(74) 대리인	장수길, 주성민

심사청구 : 있음**(54) EL 표시 장치****요약**

EL 소자는 자발광 소자이기 때문에, 이 발광광이 TFT에 침입하고 암전류를 발생시키고, EL 소자의 본래의 휘도보다도 보다 밝아지게 되는 문제가 있었다.

EL 소자(20)와 이것에 근접하는 박막 트랜지스터(4)의 확산 영역의 계면 F1을 이격시킨다. 또한 EL 소자(20)와 상기 계면 F1 간에 차광막 BM2을 설치한다.

대표도**도1****색인어**

EL 표시 장치, 박막 트랜지스터, 차광막, 유지 용량, TFT

형세서**도면의 간단한 설명**

도 1은 본 발명의 EL 표시 장치의 표시 화소의 평면도.

도 2는 도 1에서의 제2 TFT의 도면.

도 3은 도 1에서의 제2 TFT의 도면.

도 4는 도 1의 A-A선에서의 단면도.

도 5는 도 1의 A-A선의 단면에 상당하고, 투 게이트형 TFT를 채용한 EL 표시 장치의 단면도.

도 6은 도 1의 B-B선의 단면에 상당하고, 투 게이트형 TFT를 채용한 EL 표시 장치의 단면도.

도 7은 종래의 EL 표시 장치의 표시 화소의 평면도.

도 8은 종래의 EL 표시 장치의 등가 회로도.

도 9는 도 7의 A-A선의 단면도.

도 10은 도 7의 B-B선의 단면도.

〈도면의 주요 부분에 대한 부호의 설명〉

1 : 제1 TFT

2 : 유지 용량 전극

3 : 용량 전극

4 : 제2 TFT

6 : 양극

7 : 게이트 절연막

8 : 유지 용량
 14 : 층간 절연막
 20 : EL 소자
 GL : 게이트 라인
 DL : 드레인 라인
 CL : 유지 용량 라인
 VL : 구동 라인 VL
 BM : 차광막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일렉트로 루미네센스 소자 및 박막 트랜지스터를 포함한 일렉트로 루미네센스 표시 장치에 관한 것이다.

최근, 일렉트로 루미네센스(Electro Luminescence : 이하, 「EL」이라고 칭한다) 소자를 이용한 EL 표시 장치가 CRT나 LCD 대신에 표시 장치로서 주목받고 있어 예를 들면 그 EL 소자를 구동시키는 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor : 이하, 「TFT」라고 칭한다)를 포함한 EL 표시 장치의 연구 개발도 진행되고 있다.

도 7에 유기 EL 표시 장치의 표시 화소를 나타내고, 도 8에 유기 EL 표시 장치의 등가 회로도를 나타낸다. 또한, 도 9에 도 7의 A-A선에 따른 단면도를 나타내고, 도 10에 도 7의 B-B선에 따른 단면도를 나타낸다.

도면에 도시한 바와 같이, 게이트 라인 GL과 드레인 라인 DL로 둘러싸인 영역에 표시 화소(20)가 형성되어 있다. 양 신호선의 교점 부근에는 스위칭 소자인 제1 TFT(1)가 포함되고 있고, 그 TFT(1)의 소스는 유지 용량 전극(21)과 용량을 구성하는 용량 전극(3)을 겹침과 함께, 유기 EL 소자를 구동하는 제2 TFT(4)의 게이트(15)에 접속되어 있다. 제2 TFT(4)의 소스는 유기 EL 소자의 양극(6)에 접속되며, 다른 쪽 드레인은 유기 EL 소자를 구동하는 구동 라인 VL에 접속되어 있다.

또한, 상기 유지 용량 전극(2)은 크롬 등으로 이루어져 있으며, 상층의 게이트 절연막(7)을 통하여 제1 TFT(1)의 소스와 일체의 용량 전극(3)과 중첩하고, 상기게이트 절연막(7)을 유전체층으로서 전하를 축적하고 있다. 이 유지 용량(8)은 제2 TFT(4)의 게이트(15)에 인가되는 전압을 유지하고 있다.

계속해서, 스위칭용 제1 TFT(1)에 대하여 도 7과 도 9를 참조하면서 설명한다.

우선 석영 유리, 무알카리 유리 등으로 이루어지는 투명한 기판(10) 상에 크롬(Cr), 몰리브덴(Mo) 등의 고융점 금속으로 이루어지는 제1 게이트 전극(11)이 설치되어 있다. 이 제1 게이트 전극(11)은 도 7과 같이 게이트 라인 GL과 한 라인으로 예를 들면 좌우에 복수 라인 평행하게 연장되어 있다. 또한 도 9의 제1 게이트 전극(11)의 우측 옆에는 제1 게이트 전극(11)과 동일 공정으로 만들어진 유지 용량 전극(2)이 형성되어 있다. 이 유지 용량 전극은 용량(8)을 구성하기 때문에, 도 7과 같이 제1 TFT(1)와 제2 TFT(4) 간에서 확대된 부분을 포함하고 이들은 좌우로 연장된 유지 용량 라인 CL과 한 라인으로 구성되어 있다.

계속해서, 게이트 절연막(7)을 통하여 다결정 실리콘(p-Si라고 칭한다)막으로 이루어지는 제1 능동층(12)이 형성되어 있다. 이 능동층(12)은 LDD(Lightly Doped Drain) 구조가 채용되고 있다. 즉, 게이트의 양측에 저농도 영역이 설치되며, 또한 외측에는 고농도의 소스 영역 및 드레인 영역이 설치되어 있다. 상기 능동층(12)의 상층에는 스토퍼 절연막(13)이 설치되어 있다. 이 스토퍼 절연막(13)은 능동층(12)으로의 이온 주입 저지막으로, 여기서는 Si 산화막으로 이루어진다.

그리고, 게이트 절연막(7), 능동층(12) 및 스토퍼 절연막(13) 상에는 예를 들면, 순서대로 SiO₂막, SiN막 및 SiO₂막이 적층된 층간 절연막(14)이 설치되고, 드레인에 설치한 컨택트홀 C1 통하여 드레인 전극으로 이루어지는 드레인 라인 DL이 전기적으로 접속되어 있다. 또한 전면에는 표면의 요철을 평坦하게 하기 위해서, 예를 들면 절연성 유기 수지로 이루어지는 평탄화막 PLNI가 형성되어 있다. EL 표시 장치는 전류 구동이므로, EL층이 균일한 막 두께가 아니면 안된다. 막 두께가 얇은 부분에서 전류 집중이 발생하기 때문이다. 따라서 적어도 이 형성 영역은 상당한 평탄성이 요구되기 때문에 상기 평탄화막 PLNI가 채용된다.

다음에, 유기 EL 소자를 구동하는 제2 TFT(4)에 대하여 도 7와 도 10을 참조하여 설명한다.

전술한 절연성 기판(10) 상에는, 상기 제1 게이트(11)와 동일 재료의 제2 게이트 전극(15)이 설치되어 있으며, 게이트 절연막(7)을 통하여 제2 능동층(16)이 설치되어 있다. 전술한 바와 마찬가지로 능동층 상에는 스토퍼 절연막(17)이 설치되어 있다.

상기 능동층(16)에는 게이트 전극(15) 상의 진성 또는 실질적으로 진성인 채널과, 이 채널의 양측에 p형 불순물의 소스 영역 및 드레인 영역이 설치되며 p형 채널 TFT를 구성하고 있다.

그리고 전면에는 전술한 층간 절연막(14)이 형성되어 있다. 그리고 컨택트홀 C2를 통하여 구동 라인 VL이 전기적으로 접속되어 있다. 또한 전면에는 전술한 평탄화막 PLN이 형성되고, 컨택트홀 C3에 의해 소스가 노출되어 있다. 그리고 이 컨택트홀 C3을 통하여 ITO(Indium Thin Oxide)로 이루어지는 투명 전극(유기 EL 소자의 양극 ; 6)이 형성되어 있다.

유기 EL 소자(20)는 상기 양극(6), MTDATA[4, 4-bis(3-methylphenylphenylamino)biphenyl]로 이루어지는 제1 홀 수송층(21) 및 TPD[4, 4, 4-tris(3-methylphenylphenylamino)triphenylamine]로 이루어지는 제2 홀 수송층(22), 퀴나크리돈(Quinacridone) 유도체를 포함하는 Bebq2(10-벤조[h]퀴놀리놀-베릴륨착체)로 이루어지는 발광층(23) 및 Bebq2로 이루어지는 전자 수송층(24)으로 이루어지는 발광 소자층 EM, 마그네슘·인듐 합금으로 이루어지는 음극(25)이 이 순서로 적층 형성된 구조로, 유기 EL 소자의 실질 전면에 설치되고 있다.

유기 EL 소자의 발광 원리 및 동작은 양극(6)으로부터 주입된 홀과, 음극(25)으로부터 주입된 전자가 발광층 EM의 내부에서 재결합하고, 발광층 EM을 형성하는 유기 분자를 여기하여 여기자를 발생시킨다. 이 여기자가 방사실활하는 과정에서 발광층 EM으로부터 광을 내고, 이 광이 투명한 양극에서부터 투명 절연 기판을 통하여 외부로 방출되어 발광한다.

이와 같이, 제1 TFT(1)의 소스 S에서 공급된 전하가 유지 용량(8)에 충적되며, 제2 TFT(4)의 게이트(15)에 인가되며, 그 전압에 따라 유기 EL 소자를 전류 구동하고 발광한다.

발명이 이루고자 하는 기술적 과제

전술한 EL 소자는 최근 활발하게 개발되는 것으로, 고해상도를 실현하기 위해서는 화소 사이즈를 가능한 한 작게 하고, 한정된 표시 화소 영역에 의해 많은 화소를 만들어야만 한다.

그 때문에, 도 7에서 설명하면, 양극(6)과 제2 게이트 전극(15)의 간격, 양극(6)과 하부의 화소의 게이트 라인 GL과의 간격, 유지 용량과 양극(6)의 간격 등 여러 가지 간격을 좁게 해야만 한다.

그러나, EL 소자는 자발광 소자이기 때문에 그 광이 TFT의 능동층에 침입하고, 암전류를 발생시켜서, EL 소자의 본래의 휘도보다도 보다 밝아지게 되는 문제가 있었다.

또한 모노크롬으로 설명하면, 본래 회색으로 표시되어야 할 부분이 보다 희게 되어 버리는 문제도 있었다.

본 발명은 전술한 과제에 감안하여 이루어지며, 제1에, 박막 트랜지스터의 소스측의 확산 영역 계면을 발광층으로 이격함으로서 해결하는 것이다.

제2에, 제2 박막 트랜지스터의 소스측의 확산 영역 계면을 발광층과 이격함으로서 해결하는 것이다. 접합 계면의 근방에 형성된 공핍층 내에 광이 들어 가면 암전류의 발생이 현저하다. 그러나 드레인 영역측에 발생한 암전류는 EL 소자에 흐를 때 도중의 게이트 전극으로 제어되지만, 소스 영역측에서 발생한 암전류는 그대로 EL 소자에 유입된다. 따라서, 소스 영역 내의 불순물 계면에서부터 양극(6)측에 넓어지는 공핍층단도 EL 소자로부터 이격시키면, EL 소자로부터 발사되는 광의 침입을 억제시킬 수 있다.

제3에, EL 소자와 박막 트랜지스터의 소스측의 확산 영역 계면 간에 EL 소자로부터 발사되는 광을 차단하는 차광막을 설치함으로서 해결하는 것이다.

제4에, EL 소자와 제2 박막 트랜지스터의 소스측의 확산 영역 계면 간에 EL 소자로부터 발사되는 광을 차단하는 차광막을 설치함으로서 해결하는 것이다.

상술한 바와 같이, 특히 문제가 되는 제2 TFT의 소스 영역 상에 차광막을 형성함으로써 광을 완전히 차단할 수 있다.

제5에, 제1 박막 트랜지스터 및/또는 상기 제2 박막 트랜지스터의 반도체층의 상층에 EL 소자로부터 발사되는 광을 차단하는 차광막을 설치함으로서 해결하는 것이다.

제6에, 차광막은 박막 트랜지스터의 소스 전극 또는 드레인 전극으로 겸용함으로서 해결하는 것이다.

제7에, 박막 트랜지스터의 하층에 위치하고 EL 소자에 대응하는 부분이 개구된 차광막을 설치함으로서 해결하는 것이다.

차광막에 의해, 외부에서부터 투명 기판을 통하여 반도체층에 침입하는 광을 차단할 수 있어, 암전류의 발생을 방지할 수 있다.

제8에, 박막 트랜지스터의 반도체층의 상층에 EL 소자로부터 발사되는 광을 차단하는 차광막을 설치함으로서 해결하는 것이다.

제9에, 차광막은 상기 박막 트랜지스터의 구동 전원과 전기적으로 접속되며 상기 차광막과 상기 박막 트랜지스터의 소스가 전기적으로 접속되는 것으로 해결하는 것이다.

제10에, 차광막의 개구부는 발광층보다도 내측에 형성됨으로서 해결하는 것이다.

제11에, 박막 트랜지스터의 하층에 위치하고 상기 EL 소자에 대응하는 부분이 개구된 차광막을 설치함으로서 해결하는 것이다.

제12에, 제1 박막 트랜지스터 및/또는 상기 제2 박막 트랜지스터의 반도체층의 상층에 상기 EL 소자로부터 발사되는 광을 차단하는 차광막을 설치함으로서 해결하는 것이다.

제13에, 차광막은 상기 제2 박막 트랜지스터의 구동 전원과 전기적으로 접속되며 상기 차광막과 상기

제2 박막 트랜지스터의 소스가 전기적으로 접속되는 것으로 해결하는 것이다.

제14에, 차광막의 개구부는 발광층보다도 내측으로 형성됨으로서 해결하는 것이다.

발명의 구성 및 작용

본 발명의 EL 표시 장치에 대하여 설명한다. 도 1은 하부 게이트형 EL 표시 장치의 표시 화소를 평면으로 나타낸 것으로, 점선으로 둘러싸여 점으로 해칭된 영역은 게이트 재료로 형성된 영역, 실선으로 둘러싸여 해칭되어 있지 않은 부분은 Si층(여기서는 P-Si층), 실선으로 둘러싸여 점으로 된 사선으로 해칭된 부분은 투명 전극으로 이루어지는 부분이다. 또한 실선으로 둘러싸여 사선으로 해칭된 부분이 AI을 주성분으로 하는 전극으로 형성된 부분이다.

도 2, 도 3은 본 발명의 포인트를 설명하는 도면으로, 도 1의 B-B선에 대응하는 부분의 확대도이다. 또한 도 4는 도 1의 A-A선에 대응하는 단면도이다. 또한 등가 회로는 도 8을 참조하고, 도 8 중 점선으로 둘러싸인 부분은 표시 화소 영역을 나타낸다.

또, 본 실시예에서는 제1, 제2 TFT(1, 4) 모두 하부 게이트형 TFT를 채용하고 있고, 능동층으로서 Si막을 이용하고 있다. 또한 게이트 전극(11, 15)은 더블 게이트 구조이다.

그러면, 도 1 내지 도 4를 참조하고 유기 EL 표시 장치를 구체적으로 설명한다.

우선, 적어도 표면이 절연성을 갖는 투명 기판(10)이 있다. 본 실시예에서는 EL 소자를 수분으로부터 보호하기 때문에, 메탈 캠(캔)이 EL 재료를 밀봉하도록 부착되어 있다. 다만 도면 상에서는 생략하였다. 그 때문에 발광광은 상기 투명 기판(10)으로부터 추출하기 때문에, 기판(10)은 투명할 필요가 있지만, 메탈 캠을 생략할 수 있으면, 발광광을 상측에서부터 추출할 수 있어 투명할 필요는 없다. 여기서는 유리나 합성 수지 등으로 이루어지는 투명 기판(10)을 채용하고 있다.

이 투명 기판(10) 상에는 도 1의 일 화소 영역의 상측면에 따라서, 좌우에 게이트 라인 GL이 연장되어 있다. 또한 유지 용량(8)의 하층 전극으로서 작용하는 유지 용량 전극(2)이 설치됨과 함께, 이 유지 용량 전극(2)을 연결하기 때문에, 유지 용량 라인 CL이 좌우에 연장되어 있다. 양 라인 GL, CL은 동층이 되기 때문에, 점으로 해칭되어 있다. 또한 재료로서는 상층에 P-Si를 채용하는 이유로부터 Cr이나 Ta 등의 고융점 금속이 채용된다. 여기에서는 약 1000 ~ 2000Å의 Cr이 스팍터링으로써 형성되어 있다. 또한 패터닝 시에는 스텝 커버리지가 고려되며 측변은 테이퍼 형상으로 가공되어 있다.

계속해서, 전면에는 게이트 절연막(7) 및 능동층이 적층되어 형성되고 있다. 여기서는 게이트 절연막과, 능동층(12, 16) 및 유지 용량(8)의 상층 전극인 용량 전극(3)의 재료인 a-Si가 플라즈마 CVD에서 형성되어 있다. 구체적으로는 하층에서부터 약 500Å의 Si 질화막, 약 1300Å의 Si 산화막 및 약 500Å의 a-Si가 연속 플라즈마 CVD에서 형성된다.

이 a-Si는 약 400도의 질소 분위기 중에서 탈수소 어닐링이 행해지고, 그 후 액시머 레이저에 의해 P-Si화된다. 또한 참조 부호 13은 Si 산화막으로 이루어지는 스토퍼 절연막으로, 능동층(12, 16)의 이온 주입 시의 마스크가 된다. 이 때 상기 마스크로 하여 레지스트 마스크를 대용하는 경우에는 불필요하다. 레지스트 마스크는 주입 후에 제거된다. 도 3은 이 레지스트를 마스크로 한 경우의 구조를 나타내고 있다. 어느 쪽에서 사용하든 상관없지만, 일반적으로는 2개의 TFT는 어느 한쪽으로 통일되어 사용된다.

제1 TFT(1)는 P(인) 이온이 주입되며, N 채널형의 소스, 드레인이 형성되며 제2 TFT(4)는 B 이온이 주입되어 P 채널형의 소스, 드레인이 형성되어 있다.

또한 P-Si화된 막은 도 1과 같이, 포토리소그래피 기술에 의해 패터닝되고 있다. 즉 제1 TFT(1)의 P-Si층은 게이트 라인 GL과 드레인 라인 DL의 좌측 상부 교차부 근방에서 드레인 라인 DL과 중첩하고 게이트 전극(11)의 상층을 연장한 후, 유지 용량 전극(2)과 중첩하는 용량 전극(3)으로서 연장되어 있다. 또한 이 용량 전극(3)은 제2 TFT(4)의 게이트 전극(15)과 전기적으로 접속하기 위해서 이용되는 접속 배선(30) 우단의 하층으로 연장된다. 한편, 제2 TFT(4)의 P-Si층은 우측의 구동 라인 VL의 하층에서부터 제2 게이트 전극(15)의 상층을 연장하고, 투명 전극으로 이루어지는 양극(6)의 하층으로 연장되어 있다.

그리고 전면에는 층간 절연막(14)이 형성되어 있다. 이 층간 절연막(14)은 하층으로부터 약 1000Å의 Si 산화막, 약 3000Å의 Si 질화막, 1000Å의 Si 산화막의 3층 구조가 연속 CVD에서 형성되어 있다. 이 층간 절연막은 적어도 한층 있으면 좋고 막 두께도 이것에 한하지 않는다.

다음에, 층간 절연막(14) 상에는 도 1의 사선으로 해칭된 드레인 라인 DL, 구동 라인 VL 및 접속 배선(30)이 형성된다. 당연히 컨택트가 형성되며, 드레인 라인 DL과 제1 TFT(1)의 능동층과의 컨택트홀 C1, 구동 라인 VL과 제2 TFT(4)의 능동층과의 컨택트홀 C2, 접속 배선(30)과 용량 전극(3)과의 컨택트홀 C4는 각각의 반도체층이 노출되어 있다. 또한 접속 배선(30)과 제2 게이트 전극(15)의 컨택트홀 C5는 전술한 컨택트홀과는 달리, 게이트 절연막이 여분으로 적층되어 있기 때문에, 더 에칭되며 Cr이 노출되고 있다. 이 라인 재료는 하층에 1000Å의 Mo, 상층에 7000Å의 AI이 적층된 구조이고, Mo는 배리어층이다.

또한 약 1 ~ 3μm의 절연 재료로 이루어지는 평탄화막 PLN이 전면에 형성되어 있다. 이 평탄화막 PLN의 채용의 이유 중 하나로서, 종래예에서도 진술한 유기 EL용 막에 있다. 이 막은 제1 훌 수송층(21), 제2 훌 수송층(22), 발광층(23) 및 전자 수송층(24)으로 이루어진다. 또한 훌 수송층은 한층으로 구성되어도 된다. 이들 EL 재료는 매우 얇은 막의 적층체이다. 또한 EL 소자는 전류 구동이기 때문에, 이들의 막 두께가 매우 균일하게 형성되지 않으면, 막 두께가 얇은 부분을 통하여 전류가 대량으로 흐르고, 그 부분에 한층 빛나는 휙점이 발생함과 동시에, 이 포인트는 유기막의 열화를 발생하고 최악의 경우 파괴

에 이른다. 따라서, 이 파괴를 방지하기 위해서는 양극(6)을 포함하는 전면이 가능한 한 평탄할 필요가 있다. 여기서는 아크릴계의 액형 수지가 도포되며 경화 후는 평탄하게 된다. 물론 이 평탄화막 PLN은 이에 한하지 않는 것은 물론이다.

여기서는 양극(6)과 제2 TFT(4)의 소스가 접속되기 때문에, 평탄화막 PLN 및 층간 절연막(14)이 개구되며, 제2 능동층(16)이 노출된 컨택트홀 C301 형성되어 있다.

또한, 적어도 양극(6) 상에는 EL 소자를 구성하는 유기막이 형성되어 있다. 우선 양극(6) 상에는,

MTDATA[4, 4-bis(3-methylphenylphenylamino)biphenyl]로 이루어지는 제1 훌 수송층(21),

및 TPD[4, 4, 4-tris(3-methylphenylphenylamino)triphenylaniline]로 이루어지는 제2 훌 수송층(22),

퀴나크리돈(Quinacridone) 유도체를 포함하는 Bebg2(10-벤조[h]퀴놀리놀-베릴륨착체)로 이루어지는 발광층(23) 및 Bebg2로 이루어지는 전자 수송층(24)으로 이루어지는 발광 소자층 EM,

마그네슘 · 은(Ag) 합금, Al과 Li의 합금 또는 Al/LiF 등으로 이루어지는 음극(25)이 적층 형성된 구조이다. 또한, 음극(25)은 Al과 LiF의 적층체(LiF이 매우 얇게 실질 합금으로 이루어지고 있다)를 채용하고 있다.

여기서 양극(6)은 화소마다 패터닝될 필요가 있지만, 양극(6) 상의 막은 구조에 의해 구별된다.

① : 양극(6)으로부터 음극(25)까지 화소마다 패터닝되는 제1 구조

② : ①에서 음극(25)은 패터닝되지 않고 실질적으로 표시 영역 전역에 베타로 형성되는 제2 구조

③ : 양극(6)만이 도 1과 같이 화소마다 패터닝되며 양극의 상층에서부터 음극까지는 상기 베타의 제3 구조.

단, 음극(6)은 일부러 패터닝하지도 않으므로 일반적으로는 전면 베타 구조를 채용하고 있다. 또한 도면에서는 양극(6)과 음극(25)이 단락하고 있음과 함께 도시되어 있지만, EL 소자의 유기막은 양극(6) 주변도 포함하여 완전히 뒤덮여 있으므로 단락은 방지되고 있다. 이것은 종래예에서도 동일하다. 또 양극(6)의 엣지를 커버하도록 평탄화막 PLN 상에 또 다른 평탄화막이 형성되어도 된다.

또한, 표시 영역의 EL층, 또는 모든 EL층을 커버하는 메탈 캡(캔)이 형성되어 있다. EL층은 물을 흡습하면 열화하고, 물의 침입에 대하여 보호가 필요해지기 때문이다. 따라서 EL층을 열화시키지 않고, 내습성이 높은 막 예를 들면 수지막으로 캡의 대용으로 해도 되며 더 이 상측에 메탈 캡을 해도 된다.

유기 EL 소자의 발광 원리 및 동작은 양극(6)으로부터 주입된 홀과, 음극(25)으로부터 주입된 전자가 발광층 EM의 내부에서 재결합하고, 발광층 EM을 형성하는 유기 분자를 여기하여 여기자를 발생시킨다. 이 여기자가 방사실활하는 과정에서 발광층 EM으로부터 광을 내고, 이 광이 투명한 양극에서부터 투명 절연기판을 통하여 외부로 방출되어 발광한다.

본 발명의 특징은 EL 소자(20), 구체적으로는 발광층이 발사되는 광이 능동층에 침입하는 것을 억제하는데 있다.

여기서 도 2에서 폴리 Si층(능동층 ; 16)에 해칭된 영역은 불순물 주입 영역인 이 주입 영역과 I층의 계면을 좌측으로부터 F1, F2, F3, F4로 한다. 여기서 싱글 게이트 구조로서 2개의 게이트를 한 라인으로 하면 F2와 F3은 없어진다.

본 발명의 제1 포인트는 확산 영역 계면 F1을 EL 소자(특히 발광층)로부터 이격한데 있다. 이격시킴으로써, 확산 영역 계면으로의 광의 침입을 억제할 수 있다. 특히 확산 영역 계면에는 공핍층이 발생하고, 이 중에 광이 침입하면 암전류의 발생은 보다 현저해진다. 또한 예를 들면 계면 F4에서도 공핍층이 발생하고, 광이 침입하면 암전류가 발생한다. 그러나 드레인측은 게이트 전극을 통하여 소스 영역에 흐르기 때문에, 암전류도 포함시킨 전 전류가 게이트 전극으로 제어된다. 그러나 소스 영역측에 있는 계면 F1은 이 제어 전극을 통하지 않고 직접 EL 소자에 유입되기 때문에 문제는 커진다. 따라서 계면 F1은 가능한 한 EL 소자(20)로부터 이격되는 것이 바람직하다. 도 1, 도 2는 제2 게이트 전극(15)을 구동 라인 VL측으로 어긋나고 계면 F1을 이격시키고 있는 구조를 나타내고 있다.

또한 광을 TFT의 능동층에 침입시키지 않은 구조로서 도 1의 차광막 BM1, 도 3의 BM2가 있다. 차광막 BM1은 제1 능동층(12)의 상층에 또한 상측 옆의 표시 화소가 되는 EL 소자보다도 하층에 배치되어 있다.

한편, 도 3의 BM2는 EL 소자(20)와 상기 제2 능동층(16) 간에 차광막 BM2가 설치되어 있다. 특히 여기서는 구동 라인 VL(드레인 전극 DE)과 동일 재료로 이루어지는 소스 전극 SE가 계면 F1을 덮도록 우측으로 연장되어 형성되고 있다. 그 결과 화살표로 나타낸 바와 같이 EL 소자로 발광된 광은 계면 F1에는 침입된다. 또한 점선으로 나타낸 바와 같이 F4도 포함하여 가능한 한 드레인 전극 DE에 근접시키는 쪽이 좋다. 또한 차광막은 소스 전극 SE에서부터 연장시켜야 된다.

도 1의 차광막 BM1은 능동 영역(12) 상에 아일런드형으로 형성되어 있지만, 도 3과 같이 드레인 전극 DE를 연장시켜야 된다. 또한 도 3의 차광막 BM2도 도 1과 같이 아일런드형으로 배치해도 된다.

도 3에서는 컨택트홀 C3에 대응하는 부분은 소스 전극 SE와 능동층의 컨택트홀, 양극(6)과 소스 전극과의 컨택트홀이 형성되게 된다.

이상, 하부 게이트형 구조로 설명해왔지만, 본 발명은 톱 게이트형 구조라도 채용할 수 있어 제2 실시예로서 이하에 설명한다.

톱 게이트형 구조의 평면 패턴은 하부 게이트형 구조와 실질 동일하므로 도 1을 대용한다. 또한 도 1의 A-A선에 대응하는 단면도를 도 5에 B-B선에 대응하는 단면도를 도 6에 도시하였다. 이에 의해 톱 게이

트형의 도면은 부호의 아래 두자릿수를 전 실시예와 동일 숫자로 하고 있다.

간단히 설명하면, 전면에는 절연층 IL이 형성된다. 이 절연층 IL은 하층에 500Å의 Si 질화막, 상층에 1000Å의 Si 산화막이 적층된 것이다. 또한, Si 질화막은 유리로부터 용출하는 불순물의 스토퍼로서 기능한다.

계속해서, 제1 TFT(101)의 능동층(112), 이 능동층(112)이 연장되어 이루어지는 유지 용량(8)의 하층 전극, 제2 TFT(104)의 제2 능동층(116)의 형성 부분에 반도체층(P-Si 또는 a-Si)이 형성되어 있다.

또 전면에 게이트 절연막(107)이 적층되고, 이 상부에 게이트 전극(111), 게이트 전극(111)과 한 라인의 게이트 라인 GLO가 형성됨과 동시에, 유지 용량(108)의 상층 전극이 상기 게이트 전극과 동일 재료로 동층으로 형성되어 있다. 이 유지 용량(108)의 상층 전극은 도 1의 유지 용량 전극(2)에 상당하고, 유지 용량 라인 CL도 포함하여 한 라인으로 좌우에 연장하여 형성된다. 여기에서 게이트 전극 재료는 전술한 고용점 금속 재료 외에 AI를 주성분으로 한 재료를 이용해도 된다. AI를 사용할 수 있는 이유로서, 층간 절연막(114)이 플라즈마 CVD 등으로 저온 성막할 수 있기 때문이다.

또한 능동층인 반도체층은 상기 게이트 전극 재료로 형성된 패턴을 마스크로 하여 불순물이 주입된다. 물론 P 채널과 N 채널의 TFT가 있기 때문에 한쪽은 레지스트로써 마스크된다(이것은 하부 게이트형 구조라도 마찬가지다). 그리고 불순물이 주입된 후에 반도체층이 패터닝된다. 또한 유지 용량 전극(102)의 하층의 반도체층은 불순물이 주입되지 않는다. 그러나 여기에 상기 제1 게이트 전극(111)에 가해지는 전압 혹은 그 이상의 전압을 가하여 반도체층에 채널을 발생시킴으로서 전극으로서 활용하고 있다.

또한 층간 절연막(114)이 형성된 후, 드레인 라인 DL이나 구동 라인 VL이 형성되고, 그 위에 평탄화막 PLN이 형성된 후에 양극(106)으로서 투명 전극이 형성된다. 이 양극(106)과 제2 TFT(104)와의 컨택트 C3은 도 3과 마찬가지로, 구동 라인 VL과 동층으로 소스 전극 SE가 형성된다. 차광막 BM2는 이 소스 전극 밖 E가 능동층을 커버하도록 형성되어도 되며, 도 6과 같이 아일런드형으로 형성되어도 되며, 드레인 전극으로부터 연장되어도 된다. 또한 차광막 BM2를 채용하지 않고, 도 2와 같이 이격시켜도 된다.

한편, 도 5에서 차광막 BM1은 드레인 라인 DL(드레인 전극)로부터 연장시켜도 되며, 도 6과 같이 아일런드형으로 배치해도 된다.

또한 EL 소자(20)는 전 실시예와 마찬가지이므로 설명은 생략한다.

또한 텁 게이트형 구조, 하부 게이트형 구조 모두 투명 기판의 하층에서부터 침입하는 외부로부터의 광을 방지하기 위해서 차광막을 배치해도 된다.

이 차광막은 도면에서는 생략하였지만, 투명 기판[10(110)] 상에 직접 피착되고, EL 소자[20 ; 양극(6)]를 노출하도록 개구부가 형성되어 있다. 재료로서는 고용점 금속 재료가 바람직하고, 여기서는 1000 ~ 2000Å의 Cr이 채용되어 있다. 그리고 상층의 도전 재료 또는 능동층과의 절연이 고려되며 절연층이 형성되어 있다. 예를 들면, 하부로부터 500Å의 Si 질화막, 1000Å의 Si 산화막이 적층되어 구성되어 있다.

이 차광막 BM은 양극[6 ; (106)]의 부분이 노출 개구되고, 그 이외는 실질 전면에 형성되어 있으므로, 개구부를 제외하여 외부로부터의 광의 침입이 방지되고 이에 의해서도 암전류의 방지가 가능해진다.

또한 차광막의 저항치는 매우 작으며 그 변동도 적다. 따라서 이 차광막과 구동 라인을 전기적으로 접속시키거나 또한 차광막과 전원 입력 단자 T를 전기적으로 접속시키면, 각 화소에 인가되는 전압은 종래의 구조와 비하여 보다 균일해진다. 또한 이 구동 전원 입력 단자 T는 구동 전원에 접속되어 있다.

도 8의 등가 회로에서부터도 알 수 있듯이 구동 라인 VL은 표시 영역 내에서 열 방향으로 연장되어 있으며, 열 방향의 각 표시 화소에 접속되어 구동 전류를 공급하고 있다. 이 표시 영역은 상당한 길이가 되어 저항분이 발생하지만, 차광막 BM과 접속시킴으로서, 인접하는 표시 화소에는 실질 동일 전위의 전압이 인가되게 된다. 또한 전류도 차광막 BM에서부터 공급되게 되며, 각 표시 화소에 설치된 유기 EL 소자에 본래 공급해야 할 전류를 공급할 수 있으므로, 전술한 저항분에 의한 표시 열화, 표시의 밝기의 저하를 방지할 수 있다.

또한 차광막의 컨택트홀의 수에 대하여 진술한다. 차광막의 전역에서 컨택트 홀은 적어도 일개소에서 형성되면 저항의 감소는 억제할 수 있다. 그러나 각 화소마다 일정한 갯수를 배치하면, 저항의 분포, 전압의 분포가 더 균일해지며, 본래 흐르는 전류 즉 발광해야 할 휘도를 보다 충실하게 재현시킬 수 있다.

상술한 실시예에서는 반도체막으로서 p-Si막을 이용하였지만, 미결정 실리콘막 또는 비정질 실리콘막 등의 반도체막을 이용해도 된다.

또한 차광막 BM은 양극보다도 내측에 형성함으로서, 개구부 OP의 내측에 비발광 영역이 설치되지 않기 때문에 빛나고 있는 화소의 주위를 선명하게 함과 동시에, 개구부가 좁아지는 만큼 차광막 BM 전체의 저항치를 보다 내릴 수 있다.

상술한 실시예에서는 유기 EL 표시 장치에 대하여 설명하였지만, 본 발명은 그에 한정되지는 않고 발광층 EMI가 무기 재료로 이루어지는 무기 EL 표시 장치에도 적용이 가능하며 마찬가지의 효과를 얻어진다.

또한 각 화소에 2개의 TFT를 채용하고 있지만, 1개의 TFT에서 EL 소자를 구동하는 것도 가능하다.

발명의 효과

이상의 설명에서부터도 알 수 있듯이, 박막 트랜지스터의 소스측의 확산 영역 계면을 발광층(또는 양극)과 이격함으로서 EL 소자로부터 발사되는 광이 계면(또는 공핍층)에 침입하는 것을 억제할 수 있다.

또한 EL 소자와 박막 트랜지스터의 소스측의 확산 영역 계면 간에 EL 소자로부터 발사되는 광을 차단하는 차광막을 설치함으로서, EL 소자로부터 발사되는 광이 계면(또는 공핍층)에 침입하는 것을 억제할 수 있다.

또한 차광막을 박막 트랜지스터의 소스 전극 또는 드레인 전극으로 겸용함으로서 별도 공정을 부가하지 않고서 차광막을 형성시키는 것이 가능해진다.

또한 박막 트랜지스터의 하층에 위치하고, EL 소자에 대응하는 부분이 개구된 차광막을 설치함으로서, 투명 기판의 하층에서부터 침입하는 광을 차단할 수 있어 이 광에 의한 암전류의 발생도 억제할 수 있다.

또한 표시 화소마다 컨택트홀을 설치함으로서, 실질 모든 표시 화소의 얼룩을 억제할 수 있다.

또한, 구동 전원을 차광막과 접속하고 상기 차광막과 상기 제2 TFT의 드레인을 전기적으로 접속함으로서 종래 구동 라인의 연장 방향에 따라서 저항분이 발생하여 저항치의 변동이 발생하였지만, 이 구조에 의해 이 변동을 억제할 수 있다. 더구나 구동 라인을 생략할 수 있다.

따라서, 종래에서는 회색으로 표시되어야 할 곳이 희게 되기도 하는 중간색의 색 재현성을 잃고 있었지만, 본 발명에 의해 암전류가 억제되기 때문에 보다 중간색의 색재현성이 향상된다. 또한 EL 소자의 부분(발광층)이 개구된 차광막을 채용하고 있으므로, 각 화소마다 뚜렷이 표시되어 영상의 선명함의 향상, 훈색의 방지를 실현할 수 있다.

(57) 청구의 범위

청구항 1

양극과 음극과의 사이에 발광층을 갖는 EL 소자와, 반도체막으로 이루어지는 소스가 상기 EL 소자에 접속된 박막 트랜지스터를 포함한 표시 화소가 복수 배열되어 이루어지는 EL 표시 장치에 있어서,

상기 박막 트랜지스터의 소스측의 확산 영역 계면이 상기 발광층과 이격되어 있는 것을 특징으로 하는 EL 표시 장치. ,

청구항 2

양극과 음극과의 사이에 발광층을 갖는 EL 소자와, 반도체막으로 이루어지는 드레인이 드레인 라인에 접속되며, 게이트가 게이트 라인에 접속된 제1 박막 트랜지스터와, 상기 반도체막으로 이루어지는 드레인이 상기 EL 소자의 구동 라인에 접속되며, 게이트가 상기 제1 박막 트랜지스터의 소스에 접속되며, 소스가 상기 EL 소자에 접속된 제2 박막 트랜지스터를 포함한 표시 화소가 복수 배열되어 이루어지는 EL 표시 장치에 있어서,

상기 제2 박막 트랜지스터의 소스측의 확산 영역 계면이 상기 발광층과 이격되어 있는 것을 특징으로 하는 EL 표시 장치.

청구항 3

양극과 음극과의 사이에 발광층을 포함하는 EL 소자와, 반도체막으로 이루어지는 소스가 상기 EL 소자에 접속된 박막 트랜지스터를 포함한 표시 화소가 복수 배열되어 이루어지는 EL 표시 장치에 있어서,

상기 EL 소자와 상기 박막 트랜지스터의 소스측의 확산 영역 계면과의 사이에 상기 EL 소자로부터 발사되는 광을 차단하는 차광막을 설치한 것을 특징으로 하는 EL 표시 장치.

청구항 4

양극과 음극과의 사이에 발광층을 포함하는 EL 소자와, 반도체막으로 이루어지는 드레인이 드레인 라인에 접속되며, 게이트가 게이트 라인에 접속된 제1 박막 트랜지스터와, 상기 반도체막으로 이루어지는 드레인이 상기 EL 소자의 구동 라인에 접속되며, 게이트가 상기 제1 박막 트랜지스터의 소스에 접속되며, 소스가 상기 EL 소자에 접속된 제2 박막 트랜지스터를 포함한 표시 화소가 복수 배열되어 이루어지는 EL 표시 장치에 있어서,

상기 EL 소자와 상기 제2 박막 트랜지스터의 소스측의 확산 영역 계면과의 사이에 상기 EL 소자로부터 발사되는 광을 차단하는 차광막을 설치한 것을 특징으로 하는 EL 표시 장치.

청구항 5

양극과 음극과의 사이에 발광층을 포함하는 EL 소자와, 반도체막으로 이루어지는 드레인이 드레인 라인에 접속되고, 게이트가 게이트 라인에 접속된 제1 박막 트랜지스터와, 상기 반도체막으로 이루어지는 드레인이 상기 EL 소자의 구동 라인에 접속되며, 게이트가 상기 제1 박막 트랜지스터의 소스에 접속되며, 소스가 상기 EL 소자에 접속된 제2 박막 트랜지스터를 포함한 표시 화소가 복수 배열되어 이루어지는 EL 표시 장치에 있어서,

상기 제1 박막 트랜지스터 및/또는 상기 제2 박막 트랜지스터의 반도체층의 상층에 상기 EL 소자로부터 발사되는 광을 차단하는 차광막을 설치한 것을 특징으로 하는 EL 표시 장치.

청구항 6

제3항, 제4항 또는 제5항에 있어서, 상기 차광막은 상기 박막 트랜지스터의 소스 전극 또는 드레인 전극으로 겸용되는 것을 특징으로 하는 EL 표시 장치.

청구항 7

양극과 음극과의 사이에 발광층을 갖는 EL 소자와, 반도체막으로 이루어지는 소스가 상기 EL 소자에 접속된 박막 트랜지스터를 포함한 표시 화소가 복수 배열되어 이루어지는 EL 표시 장치에 있어서, 상기 박막 트랜지스터의 하층에 위치하고, 상기 EL 소자에 대응하는 부분이 개구된 차광막을 설치한 것을 특징으로 하는 EL 표시 장치.

청구항 8

제7항에 있어서, 상기 박막 트랜지스터의 반도체층의 상층에, 상기 EL 소자로부터 발사되는 광을 차단하는 차광막을 설치한 것을 특징으로 하는 EL 표시 장치.

청구항 9

제7항 또는 제8항에 있어서, 상기 차광막은 상기 박막 트랜지스터의 구동 전원과 전기적으로 접속되며, 상기 차광막과 상기 박막 트랜지스터의 소스가 전기적으로 접속되는 것을 특징으로 하는 EL 표시 장치.

청구항 10

제7항, 제8항 또는 제9항에 있어서, 상기 차광막의 개구부는 발광층보다도 내측에 형성되는 것을 특징으로 하는 EL 표시 장치.

청구항 11

양극과 음극과의 사이에 발광층을 포함하는 EL 소자와, 반도체막으로 이루어지는 드레인이 드레인 라인에 접속되며, 게이트가 게이트 라인에 접속된 제1 박막 트랜지스터와, 상기 반도체막으로 이루어지는 드레인이 상기 EL 소자의 구동 라인에 접속되며, 게이트가 상기 제1 박막 트랜지스터의 소스에 접속되며, 소스가 상기 EL 소자에 접속된 제2 박막 트랜지스터를 포함한 표시 화소가 복수 배열되어 이루어지는 EL 표시 장치에 있어서,

상기 박막 트랜지스터의 하층에 위치하고, 상기 EL 소자에 대응하는 부분이 개구된 차광막을 설치한 것을 특징으로 하는 EL 표시 장치.

청구항 12

제11항에 있어서, 상기 제1 박막 트랜지스터 및/또는 상기 제2 박막 트랜지스터의 반도체층의 상층에 상기 EL 소자로부터 발사되는 광을 차단하는 차광막을 설치한 것을 특징으로 하는 EL 표시 장치.

청구항 13

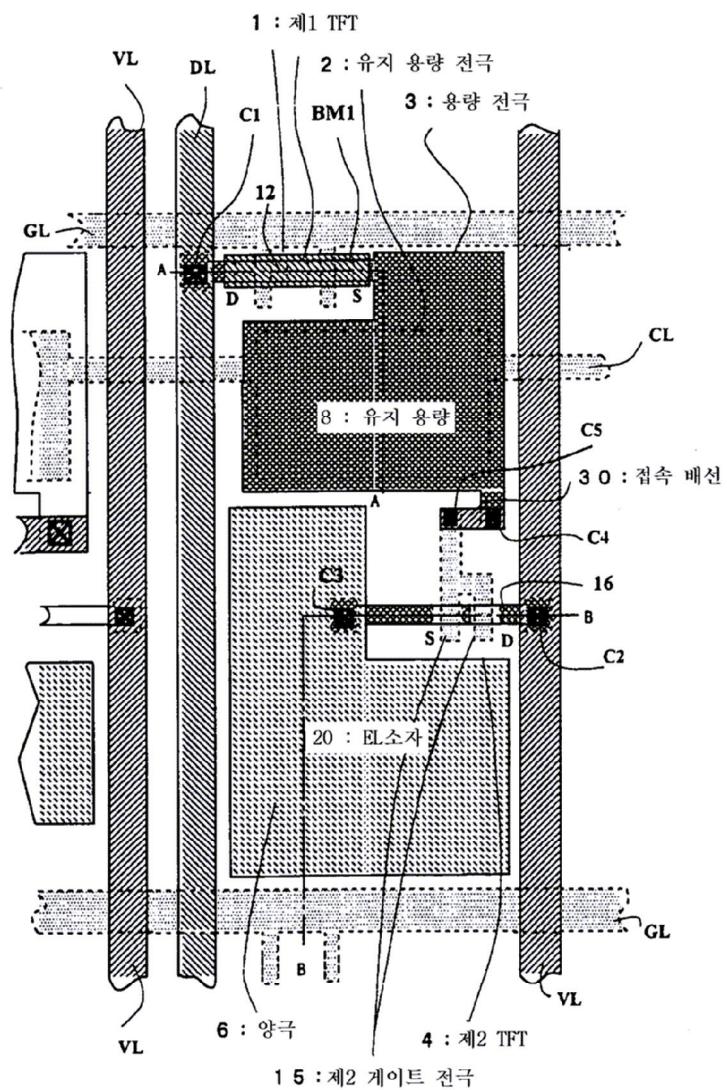
제11항 또는 제12항에 있어서, 상기 차광막은 상기 제2 박막 트랜지스터의 구동 전원과 전기적으로 접속되며, 상기 차광막과 상기 제2 박막 트랜지스터의 소스가 전기적으로 접속되는 것을 특징으로 하는 EL 표시 장치.

청구항 14

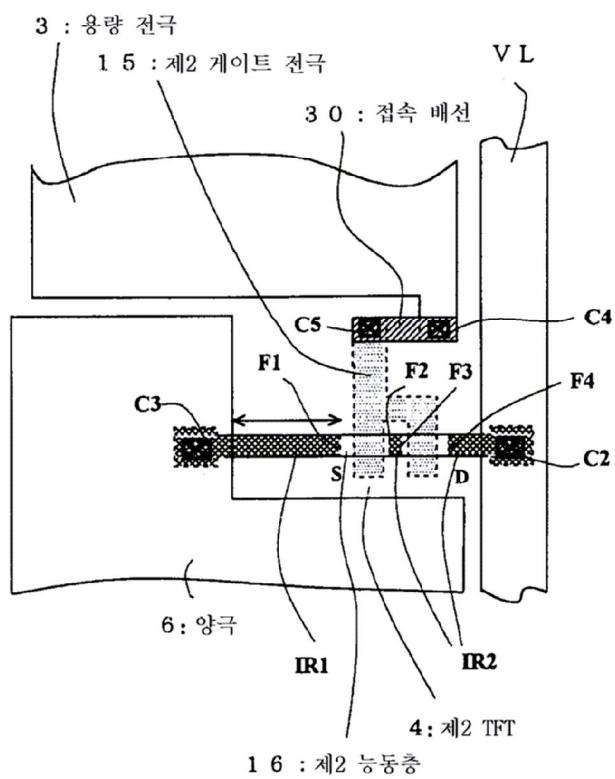
제11항, 제12항 또는 제13항에 있어서, 상기 차광막의 개구부는 상기 발광층보다도 내측에 형성되는 것을 특징으로 하는 EL 표시 장치.

도면

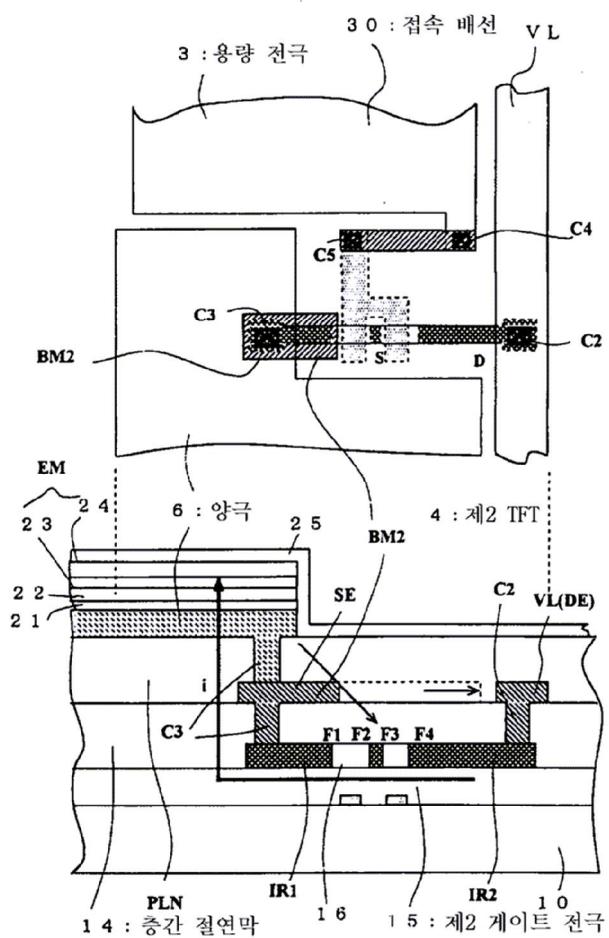
도면1



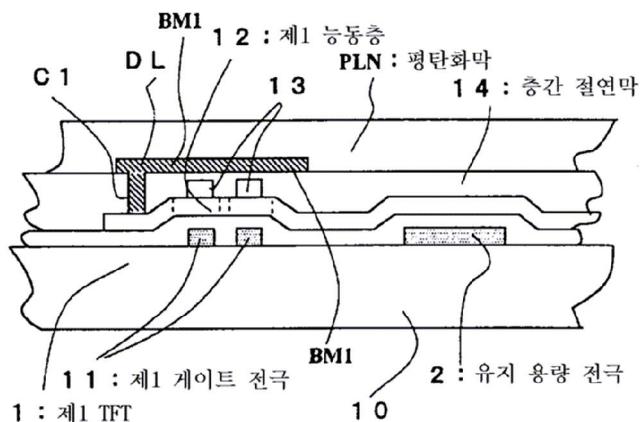
도면2



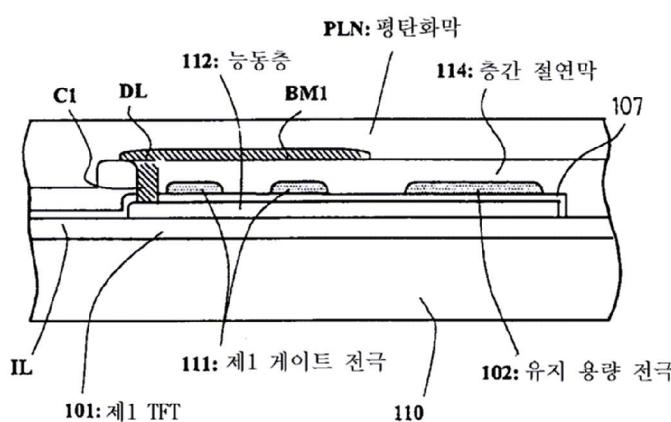
도면3



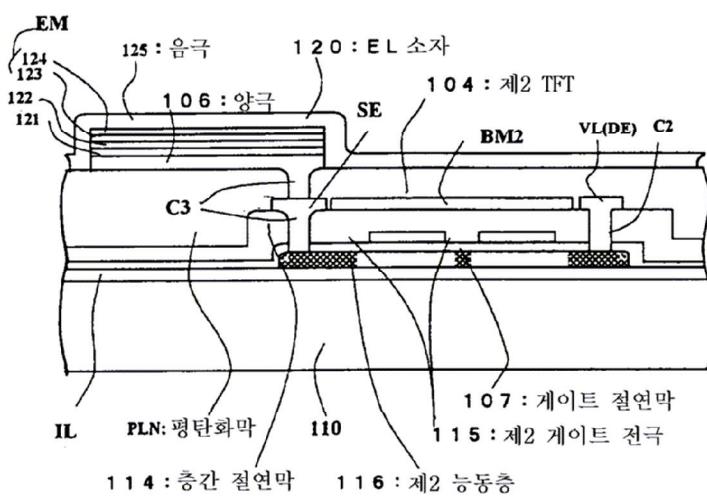
도면4



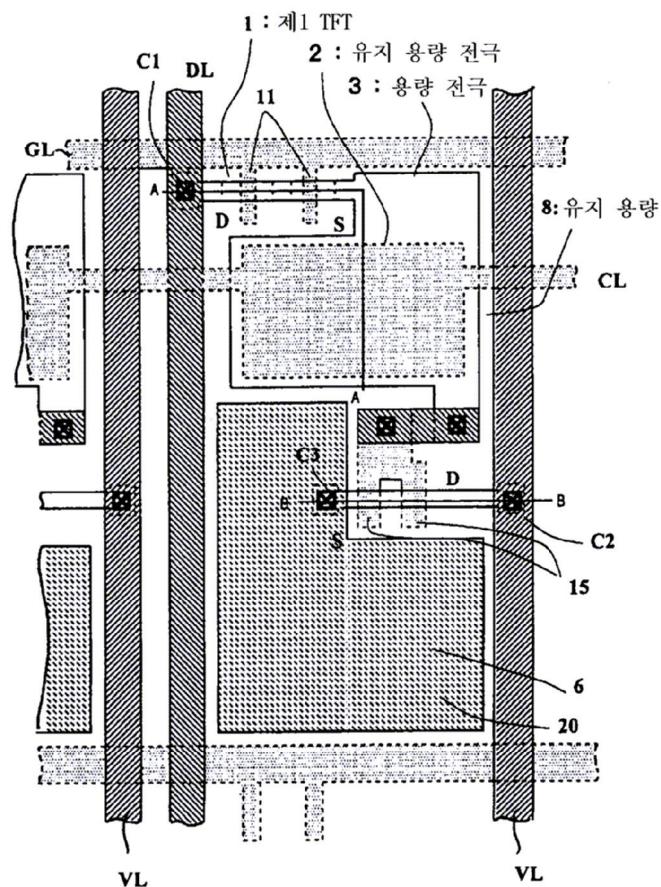
도면5



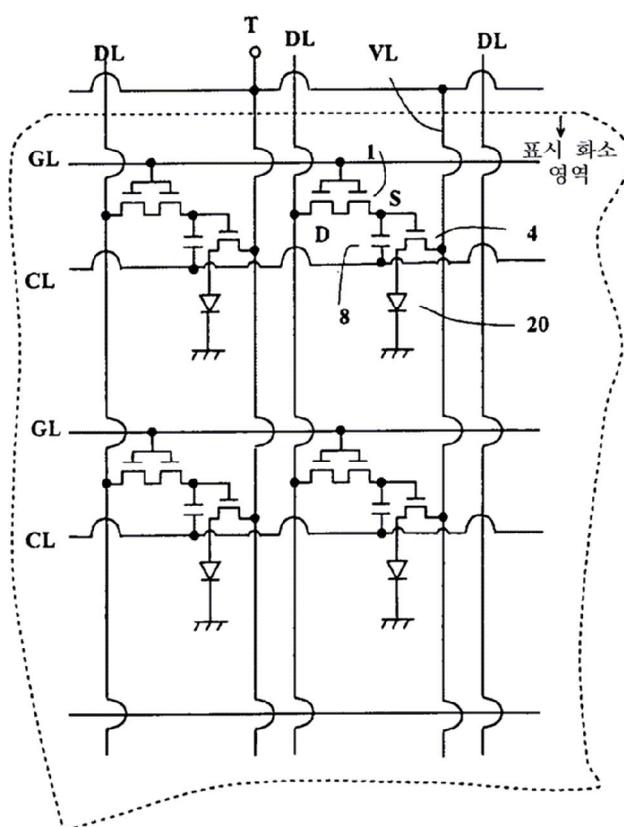
도면6



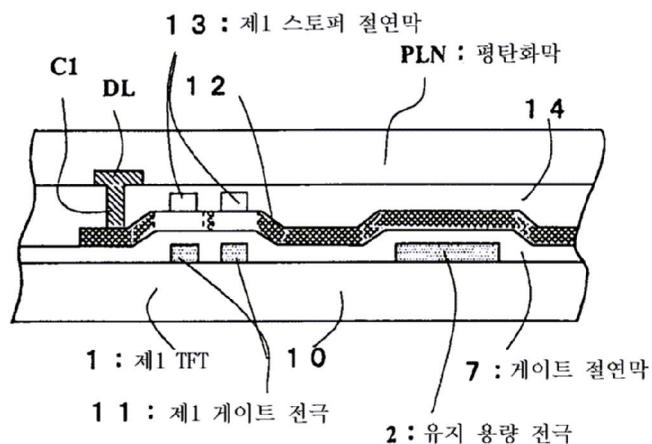
도면7



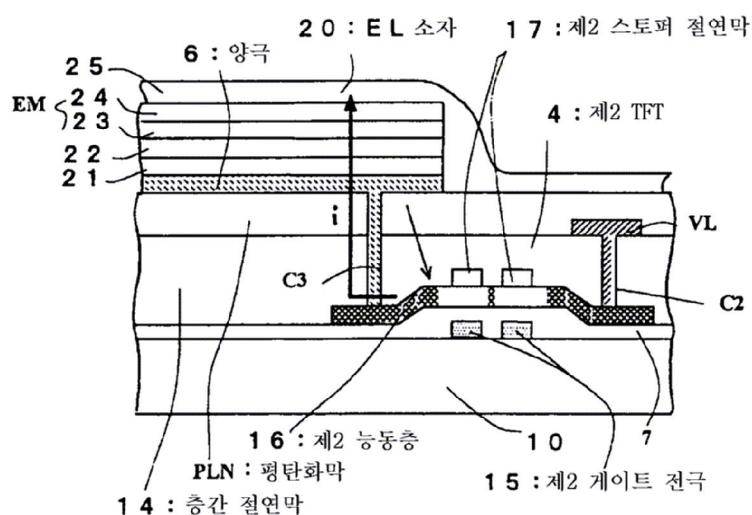
도면8



도면9



도면10



专利名称(译)	EL显示器件		
公开(公告)号	KR1020010050803A	公开(公告)日	2001-06-25
申请号	KR1020000057801	申请日	2000-10-02
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	NISHIKAWA RYUJI		
发明人	NISHIKAWA,RYUJI		
IPC分类号	H01L51/50 G09F9/30 H01L21/336 H05B33/02 H01L29/786 H05B33/00 H05B33/14 H01L29/04 H01L27/32 G09G3/30 G09F H01L51/52 H05B H01L27/28 H05B33/12 H05B33/22 H01L		
CPC分类号	H01L27/3262 H01L27/3272 H01L51/5284		
代理人(译)	CHANG, SOO KIL CHU , 晟敏		
优先权	1999281790 1999-10-01 JP		
其他公开文献	KR100354639B1		
外部链接	Espacenet		

摘要(译)

由于EL元件是自发光元件，因此存在发射的光进入TFT以产生暗电流并且变得比EL元件的原始亮度更亮的问题。 EL元件20的扩散区的界面F1和靠近EL元件20的薄膜晶体管4分离。此外，在EL元件20和界面F1之间设置遮光膜BM2。 1 指数方面 EL显示器件，薄膜晶体管，遮光膜，存储电容器，TFT

