



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년05월15일
(11) 등록번호 10-1396077
(24) 등록일자 2014년05월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01) G09G 3/32 (2006.01)
G09G 3/20 (2006.01) H05B 33/12 (2006.01)
(21) 출원번호 10-2007-0140998
(22) 출원일자 2007년12월28일
심사청구일자 2012년12월12일
(65) 공개번호 10-2009-0072780
(43) 공개일자 2009년07월02일
(56) 선행기술조사문헌
KR1020050070342 A*
KR1020070119274 A
KR1020060085374 A
KR1020050049686 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
유준석
서울특별시 강남구 선릉로 221, 도곡렉슬 304동
1401호 (도곡동)
(74) 대리인
특허법인로알

전체 청구항 수 : 총 13 항

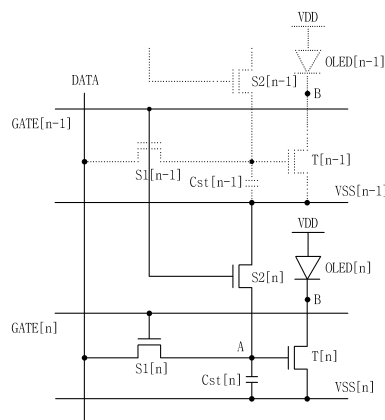
심사관 : 조기덕

(54) 발명의 명칭 유기전계발광표시장치 및 이의 구동방법

(57) 요약

본 발명은, N번째의 게이트 배선으로부터 N번째의 게이트 신호를 공급받는 제1트랜지스터; 제1트랜지스터가 턴 온 되면 데이터 배선으로부터 공급된 데이터 신호를 데이터 전압으로 저장하는 커패시터; 커패시터로부터 공급된 데이터 전압에 대응하여 구동하는 구동 트랜지스터; 구동 트랜지스터가 구동하면 제1전원 배선으로부터 공급된 전원이 구동 트랜지스터를 통해 N번째의 제2전원 배선으로 흐르게 됨으로써 발광하는 유기 발광다이오드; 및 N-1번째의 게이트 배선에 연결되며 제1트랜지스터가 턴 오프되면 N-1번째의 제2전원 배선으로부터 공급된 N-1번째의 제2전원을 구동 트랜지스터의 게이트에 공급하는 제2트랜지스터를 포함하는 유기전계발광표시장치를 제공한다.

대표도 - 도3



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

N번째의 게이트 배선으로부터 N번째의 게이트 신호를 공급받는 제1트랜지스터;

상기 제1트랜지스터가 턴온되면 데이터 배선으로부터 공급된 데이터 신호를 데이터 전압으로 저장하는 커패시터;

상기 커패시터로부터 공급된 상기 데이터 전압에 대응하여 구동하는 구동 트랜지스터;

상기 구동 트랜지스터가 구동하면 제1전원 배선으로부터 공급된 전원이 상기 구동 트랜지스터를 통해 N번째의 제2전원 배선으로 흐르게 됨으로써 발광하는 유기 발광다이오드;

상기 제1트랜지스터가 턴온되면 상기 데이터 배선으로부터 공급된 상기 데이터 신호를 상기 커패시터에 전달하는 제2트랜지스터; 및

N-1번째의 게이트 배선으로부터 N-1번째의 게이트 신호를 공급받아 턴온되어 N+1번째의 제2전원 배선으로부터 공급된 N+1번째의 제2전원을 다이오드 연결된 상기 제2트랜지스터를 통해 상기 구동 트랜지스터의 게이트에 공급하는 제3트랜지스터를 포함하는 유기전계발광표시장치.

청구항 12

제11항에 있어서,

상기 N번째의 제2전원 배선에 공급된 N번째의 제2전원과 상기 N+1번째의 제2전원 배선에 공급된 N+1번째의 제2전원은 적어도 일부 구간에서 서로 다른 레벨의 펄스 형태로 공급되는 유기전계발광표시장치.

청구항 13

제11항에 있어서,

상기 N번째의 제2전원 배선에 공급되는 제2전원과 상기 N+1번째의 제2전원 배선은 하이신호(VSSH)와 로우신호(VSSL) 사이에서 변환되고,

상기 N-1번째의 게이트 배선과 상기 N번째의 게이트 배선에 공급되는 게이트 신호는 하이신호(VGH)와 로우신호(VGL) 사이에서 변환되되,

상기 N-1번째의 게이트 배선에 공급되는 게이트 신호가 하이신호(VGH)일 때, 상기 N번째의 제2전원 배선에 공급되는 제2전원은 하이신호(VSSH)인 유기전계발광표시장치.

청구항 14

제11항에 있어서,

상기 제2전원 배선에 공급되는 제2전원과 상기 게이트 배선에 공급되는 게이트 신호는 일부 구간이 중첩되도록 공급되며,

상기 제2전원 배선에 공급되는 제2전원은 상기 게이트 배선에 공급되는 게이트 신호보다 라이징 타임 및 폴링 타임이 앞서는 유기전계발광표시장치.

청구항 15

제11항에 있어서,

상기 N-1번째 게이트 신호에 의해 상기 제3트랜지스터가 턴온되면,

상기 구동 트랜지스터의 게이트는 상기 N+1번째의 제2전원 배선으로부터 네거티브 바이어스 전압을 공급받는 유기전계발광표시장치.

청구항 16

제11항에 있어서,

상기 N번째의 게이트에 공급되는 게이트 신호가 하이신호(VGH)이면,

상기 커패시터는 상기 데이터 신호를 상기 데이터 전압으로 저장하고 상기 구동 트랜지스터의 게이트 소오스간 전압(V_{gs})은 상기 데이터 전압에서 상기 제2트랜지스터의 양단 전압을 합한 전위를 갖는 유기전계발광표시장치.

청구항 17

N번째의 게이트 배선에 게이트가 연결되고 데이터 배선에 일단이 연결되고 제1노드에 타단이 연결된 제1트랜지스터;

제1전원 배선에 제1전극이 연결되고 제2노드에 제2전극이 연결된 유기 발광다이오드;

제3노드에 게이트가 연결되고 상기 제2노드에 일단이 연결되며 N번째의 제2전원 배선에 타단이 연결된 구동 트랜지스터;

상기 제1노드에 일단이 연결되고 제3노드에 타단이 연결되며 제4노드에 게이트가 연결된 제2트랜지스터;

상기 제4노드에 일단이 연결되고 상기 N번째의 제2전원 배선에 타단이 연결된 커패시터; 및

N-1번째의 게이트 배선에 게이트가 연결되고 N+1번째의 제2전원 배선에 일단이 연결되며 상기 제4노드에 타단이 연결된 제3트랜지스터를 포함하는 유기전계발광표시장치.

청구항 18

제17항에 있어서,

상기 N번째의 제2전원 배선에 공급되는 제2전원과 상기 N+1번째의 제2전원 배선은 하이신호(VSSH)와 로우신호(VSSL) 사이에서 변환되고,

상기 N-1번째의 게이트 배선과 상기 N번째의 게이트 배선에 공급되는 게이트 신호는 하이신호(VGH)와 로우신호(VGL) 사이에서 변환되고,

상기 N-1번째의 게이트 배선에 공급되는 게이트 신호가 하이신호(VGH)일 때, 상기 N번째의 제2전원 배선에 공급되는 제2전원은 하이신호(VSSH)인 유기전계발광표시장치.

청구항 19

제17항에 있어서,

상기 제2전원 배선에 공급되는 제2전원과 상기 게이트 배선에 공급되는 게이트 신호는 일부 구간이 중첩되도록 공급되며,

상기 제2전원 배선에 공급되는 제2전원은 상기 게이트 배선에 공급되는 게이트 신호보다 라이징 타임 및 폴링 타임이 앞서는 유기전계발광표시장치.

청구항 20

제19항에 있어서,

N-1번째 게이트 신호에 의해 상기 제3트랜지스터가 턴온되면,

상기 구동 트랜지스터의 게이트는 상기 N+1번째의 제2전원 배선으로부터 네거티브 바이어스 전압을 공급받는 유기전계발광표시장치.

청구항 21

N번째의 게이트 배선에 게이트가 연결되고 데이터 배선에 일단이 연결되고 제1노드에 타단이 연결된 제1트랜지스터, 제1전원 배선에 제1전극이 연결되고 제2노드에 제2전극이 연결된 유기 발광다이오드, 제3노드에 게이트가 연결되고 상기 제2노드에 일단이 연결되며 N번째의 제2전원 배선에 타단이 연결된 구동 트랜지스터, 상기 제1노드에 일단이 연결되고 제3노드에 타단이 연결되며 제4노드에 게이트가 연결된 제2트랜지스터, 상기 제4노드에 일단이 연결되고 상기 N번째의 제2전원 배선에 타단이 연결된 커패시터 및 N-1번째의 게이트 배선에 게이트가 연결되고 N+1번째의 제2전원 배선에 일단이 연결되며 상기 제4노드에 타단이 연결된 제3트랜지스터를 포함하는 유기전계발광표시장치의 구동방법에 있어서,

상기 제3트랜지스터를 턴온하고 상기 커패시터에 상기 N번째의 제2전원 배선에 공급되는 제1신호를 공급하고 다이오드 연결된 상기 제2트랜지스터를 통해 상기 N+1번째의 제2전원 배선에 공급되는 제2신호를 구동 트랜지스터의 게이트에 공급하는 네거티브 바이어스 공급단계;

상기 N번째의 제2전원 배선에 공급되는 상기 제1신호를 상기 제2신호로 변환하고 상기 N+1번째의 제2전원 배선에 공급되는 상기 제2신호를 상기 제1신호로 변환하여 다이오드 연결된 상기 제2트랜지스터의 양단 전압을 초기화하는 초기화단계;

상기 제1트랜지스터를 턴온하고 상기 데이터 배선에 데이터 신호를 공급하여 상기 데이터 신호와 상기 제2트랜지스터의 양단 전압을 합한 데이터 전압을 상기 커패시터에 저장하는 데이터 전압 공급단계; 및

상기 제1트랜지스터를 턴오프하고 상기 데이터 전압으로 상기 구동 트랜지스터를 구동하여 상기 유기 발광다이오드를 발광시키는 발광단계를 포함하는 유기전계발광표시장치의 구동방법.

청구항 22

제21항에 있어서,

상기 제1신호는 하이신호(VSSH)이고 상기 제2신호는 로우신호(VSSL)이며,

상기 제1신호와 상기 제2신호는 하이신호(VSSH)와 로우신호(VSSL) 사이에서 변환되는 유기전계발광표시장치의

구동방법.

청구항 23

제21항에 있어서,

상기 초기화 단계에서,

상기 N+1번째의 제2전원 배선에 공급되는 상기 제1신호가 초기 안정화 상태일 때 상기 제3트랜지스터를 턴오프하는 유기전계발광표시장치의 구동방법.

청구항 24

삭제

청구항 25

삭제

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 유기전계발광표시장치 및 이의 구동방법에 관한 것이다.

배경 기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 기관 상에 위치하는 두 개의 전극 사이에 발광층이 형성된 자발광소자였다.

[0003] 또한, 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식 등이 있다. 그리고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어져 있다.

[0004] 이러한 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀에 게이트 신호, 데이터 신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

[0005] 한편, 이와 같은 유기전계발광표시장치는 유기 발광다이오드가 발광하기 위해서 구동 트랜지스터가 지속적으로 턴온 상태를 유지해야 한다. 이로 인해, 구동 트랜지스터의 게이트에 구동신호가 계속 공급되면 시간이 지남에 따라 문턱전압(V_{th})이 증가 되고 전류의 흐름이 감소하게 되는 문제가 있었다. 이러한 현상이 계속되면 구동 트랜지스터의 성능이 열화 되어 유기 발광다이오드를 정상적으로 발광시킬 수 없게 되고, 패널의 수명도 짧아져 신뢰성이 떨어지게 되므로 이의 개선이 요구된다.

발명의 내용

해결 하고자하는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 목적은, 구동 트랜지스터가 시간이 지남에 따라 열화되는 문제를 해결하여 표시품질을 향상시킬 수 있는 유기전계발광표시장치 및 이의 구동방법을 제공하는 것이다.

과제 해결수단

[0007] 상술한 과제 해결 수단으로 본 발명은, N번째의 게이트 배선으로부터 N번째의 게이트 신호를 공급받는 제1트랜지스터; 제1트랜지스터가 턴온되면 데이터 배선으로부터 공급된 데이터 신호를 데이터 전압으로 저장하는 커패시터; 커패시터로부터 공급된 데이터 전압에 대응하여 구동하는 구동 트랜지스터; 구동 트랜지스터가 구동하면 제1전원 배선으로부터 공급된 전원이 구동 트랜지스터를 통해 N번째의 제2전원 배선으로 흐르게 됨으로써 발광하는 유기 발광다이오드; 및 N-1번째의 게이트 배선에 연결되며 제1트랜지스터가 턴 오프되면 N-1번째의 제2전원 배선으로부터 공급된 N-1번째의 제2전원을 구동 트랜지스터의 게이트에 공급하는 제2트랜지스터를 포함하는

유기전계발광표시장치를 제공한다.

- [0008] N번째의 제2전원 배선에 공급된 N번째의 제2전원과 N-1번째의 제2전원 배선에 공급된 N-1번째의 제2전원은 적어도 일부 구간에서 서로 다른 레벨의 펄스 형태로 공급될 수 있다.
- [0009] N-1번째의 제2전원 배선과 N번째의 제2전원 배선에 공급되는 제2전원은 하이신호(VSSH)와 로우신호(VSSL) 사이에서 변환되고, N-1번째의 게이트 배선과 N번째의 게이트 배선에 공급되는 게이트 신호는 하이신호(VGH)와 로우신호(VGL) 사이에서 변환되되, N-1번째의 게이트 배선에 공급되는 게이트 신호가 하이신호(VGH)일 때, N번째의 제2전원 배선에 공급되는 제2전원은 하이신호(VSSH)일 수 있다.
- [0010] N-1번째 게이트 신호에 의해 제2트랜지스터가 턴온되면, 구동 트랜지스터의 게이트는 N번째의 제2전원으로부터 네거티브 바이어스 전압을 공급받을 수 있다.
- [0011] N번째의 게이트에 공급되는 게이트 신호가 하이신호(VGH)이면, 커패시터는 데이터 신호를 데이터 전압으로 저장하고 구동 트랜지스터의 게이트 소오스간 전압(V_{gs})은 데이터 전압에서 N번째의 제2전원을 뺀 전위를 가질 수 있다.
- [0012] 한편, 다른 측면에서 본 발명은, N번째의 게이트 배선에 게이트가 연결되고 데이터 배선에 일단이 연결되고 제1노드에 타단이 연결된 제1트랜지스터; 제1전원 배선에 제1전극이 연결되고 제2노드에 제2전극이 연결된 유기 발광다이오드; 제1노드에 게이트가 연결되고 제2노드에 일단이 연결되며 N번째의 제2전원 배선에 타단이 연결된 구동 트랜지스터; 제1노드에 일단이 연결되고 N번째의 제2전원 배선에 타단이 연결된 커패시터; 및 N-1번째의 게이트 배선에 게이트가 연결되고 N-1번째의 제2전원 배선에 일단이 연결되며 제1노드에 타단이 연결된 제2트랜지스터를 포함하는 유기전계발광표시장치를 제공한다.
- [0013] N-1번째의 제2전원 배선과 N번째의 제2전원 배선에 공급되는 제2전원은 하이신호(VSSH)와 로우신호(VSSL) 사이에서 변환되고, N-1번째의 게이트 배선과 N번째의 게이트 배선에 공급되는 게이트 신호는 하이신호(VGH)와 로우신호(VGL) 사이에서 변환되되, N-1번째의 게이트 배선에 공급되는 게이트 신호가 하이신호(VGH)일 때, N번째의 제2전원 배선에 공급되는 제2전원은 하이신호(VSSH)일 수 있다.
- [0014] 한편, 다른 측면에서 본 발명은, 제2트랜지스터를 턴온하고 턴온된 제2트랜지스터를 통해 N-1번째의 제2전원을 구동 트랜지스터의 게이트에 공급하는 네거티브 바이어스 공급단계; 제2트랜지스터를 턴오프하고 제1트랜지스터를 턴온하여 데이터 전압을 커패시터에 저장하는 데이터 전압 공급단계; 및 제1트랜지스터를 턴오프하고 데이터 전압으로 구동 트랜지스터를 구동하여 유기 발광다이오드를 발광시키는 발광단계를 포함하는 유기전계발광표시장치의 구동방법을 제공한다.
- [0015] 제2트랜지스터는, N-1번째의 게이트로부터 공급된 게이트 신호가 하이신호(VGH)이면 턴온되고, N-1번째의 게이트로부터 공급된 게이트 신호가 로우신호(VGL)이면 턴오프되며, N-1번째의 게이트 배선과 N번째의 게이트 배선에 공급되는 게이트 신호는 하이신호(VGH)와 로우신호(VGL) 사이에서 변환될 수 있다.
- [0016] 네거티브 바이어스 공급단계에서, N-1번째의 제2전원은 로우신호(VSSL)이고 N번째의 제2전원은 하이신호(VSSH)이며, 발광단계에서, N-1번째의 제2전원은 하이신호(VSSH)이고 N번째의 제2전원은 로우신호(VSSL)일 수 있다.
- [0017] 한편, 또 다른 측면에서 본 발명은, N번째의 게이트 배선으로부터 N번째의 게이트 신호를 공급받는 제1트랜지스터; 제1트랜지스터가 턴온되면 데이터 배선으로부터 공급된 데이터 신호를 데이터 전압으로 저장하는 커패시터; 커패시터로부터 공급된 데이터 전압에 대응하여 구동하는 구동 트랜지스터; 구동 트랜지스터가 구동하면 제1전원 배선으로부터 공급된 전원이 구동 트랜지스터를 통해 N번째의 제2전원 배선으로 흐르게 됨으로써 발광하는 유기 발광다이오드; 제1트랜지스터가 턴온되면 데이터 배선으로부터 공급된 데이터 신호를 커패시터에 전달하는 제2트랜지스터; 및 N-1번째의 게이트 배선으로부터 N-1번째의 게이트 신호를 공급받아 턴온되어 N+1번째의 제2전원 배선으로부터 공급된 N+1번째의 제2전원을 다이오드 연결된 제2트랜지스터를 통해 구동 트랜지스터의 게이트에 공급하는 제3트랜지스터를 포함하는 유기전계발광표시장치를 제공한다.
- [0018] N번째의 제2전원 배선에 공급된 N번째의 제2전원과 N+1번째의 제2전원 배선에 공급된 N+1번째의 제2전원은 적어도 일부 구간에서 서로 다른 레벨의 펄스 형태로 공급될 수 있다.
- [0019] N번째의 제2전원 배선에 공급되는 제2전원과 N+1번째의 제2전원 배선은 하이신호(VSSH)와 로우신호(VSSL) 사이에서 변환되고, N-1번째의 게이트 배선과 N번째의 게이트 배선에 공급되는 게이트 신호는 하이신호(VGH)와 로우신호(VGL) 사이에서 변환되되, N-1번째의 게이트 배선에 공급되는 게이트 신호가 하이신호(VGH)일 때, N번째의

제2전원 배선에 공급되는 제2전원은 하이신호(VSSH)일 수 있다.

- [0020] 제2전원 배선에 공급되는 제2전원과 게이트 배선에 공급되는 게이트 신호는 일부 구간이 중첩되도록 공급되며, 제2전원 배선에 공급되는 제2전원은 게이트 배선에 공급되는 게이트 신호보다 라이징 타임 및 폴링 타임이 앞설 수 있다.
- [0021] N-1번째 게이트 신호에 의해 제3트랜지스터가 턴온되면, 구동 트랜지스터의 게이트는 N+1번째의 제2전원 배선으로부터 네거티브 바이어스 전압을 공급받을 수 있다.
- [0022] N번째의 게이트에 공급되는 게이트 신호가 하이신호(VGH)이면, 커패시터는 데이터 신호를 데이터 전압으로 저장하고 구동 트랜지스터의 게이트 소오스간 전압(Vgs)은 데이터 전압에서 제2트랜지스터의 양단 전압을 합한 전위를 가질 수 있다.
- [0023] 한편, 또 다른 측면에서 본 발명은, N번째의 게이트 배선에 게이트가 연결되고 데이터 배선에 일단이 연결되고 제1노드에 타단이 연결된 제1트랜지스터; 제1전원 배선에 제1전극이 연결되고 제2노드에 제2전극이 연결된 유기 발광다이오드; 제1노드에 게이트가 연결되고 제2노드에 일단이 연결되며 N번째의 제2전원 배선에 타단이 연결된 구동 트랜지스터; 제1노드에 일단이 연결되고 제3노드에 타단이 연결되며 제4노드에 게이트가 연결된 제2트랜지스터; 제4노드에 일단이 연결되고 N번째의 제2전원 배선에 타단이 연결된 커패시터; 및 N-1번째의 게이트 배선에 게이트가 연결되고 N+1번째의 제2전원 배선에 일단이 연결되며 제4노드에 타단이 연결된 제3트랜지스터를 포함하는 유기전계발광표시장치를 제공한다.
- [0024] N번째의 제2전원 배선에 공급되는 제2전원과 N+1번째의 제2전원 배선은 하이신호(VSSH)와 로우신호(VSSL) 사이에서 변환되고, N-1번째의 게이트 배선과 N번째의 게이트 배선에 공급되는 게이트 신호는 하이신호(VGH)와 로우신호(VGL) 사이에서 변환되되, N-1번째의 게이트 배선에 공급되는 게이트 신호가 하이신호(VGH)일 때, N번째의 제2전원 배선에 공급되는 제2전원은 하이신호(VSSH)일 수 있다.
- [0025] 제2전원 배선에 공급되는 제2전원과 게이트 배선에 공급되는 게이트 신호는 일부 구간이 중첩되도록 공급되며, 제2전원 배선에 공급되는 제2전원은 게이트 배선에 공급되는 게이트 신호보다 라이징 타임 및 폴링 타임이 앞설 수 있다.
- [0026] N-1번째 게이트 신호에 의해 제3트랜지스터가 턴온되면, 구동 트랜지스터의 게이트는 N+1번째의 제2전원 배선으로부터 네거티브 바이어스 전압을 공급받을 수 있다.
- [0027] 한편, 또 다른 측면에서 본 발명은, 제3트랜지스터를 턴온하고 커패시터에 N번째의 제2전원 배선에 공급되는 제1신호를 공급하고 다이오드 연결된 제2트랜지스터를 통해 N+1번째의 제2전원 배선에 공급되는 제2신호를 구동 트랜지스터의 게이트에 공급하는 네거티브 바이어스 공급단계; N번째의 제2전원 배선에 공급되는 제1신호를 제2신호로 변환하고 N+1번째의 제2전원 배선에 공급되는 제2신호를 제1신호로 변환하여 다이오드 연결된 제2트랜지스터의 양단 전압을 초기화하는 초기화단계; 제1트랜지스터를 턴온하고 데이터 배선에 데이터 신호를 공급하여 데이터 신호와 제2트랜지스터의 양단 전압을 합한 데이터 전압을 커패시터에 저장하는 데이터 전압 공급단계; 및 제1트랜지스터를 턴오프하고 데이터 전압으로 구동 트랜지스터를 구동하여 유기 발광다이오드를 발광시키는 발광단계를 포함하는 유기전계발광표시장치의 구동방법을 제공한다.
- [0028] 제1신호는 하이신호(VSSH)이고 제2신호는 로우신호(VSSL)이며, 제1신호와 제2신호는 하이신호(VSSH)와 로우신호(VSSL) 사이에서 변환될 수 있다.
- [0029] 초기화 단계에서, N+1번째의 제2전원 배선에 공급되는 제1신호가 초기 안정화 상태일 때 제3트랜지스터를 턴오프할 수 있다.
- [0030] 제2전원 배선에 공급되는 제2전원과 게이트 배선에 공급되는 게이트 신호는 일부 구간이 중첩되도록 공급되며, 제2전원 배선에 공급되는 제2전원은 게이트 배선에 공급되는 게이트 신호보다 라이징 타임 및 폴링 타임이 앞설 수 있다.
- [0031] 제3트랜지스터가 턴온되면, 구동 트랜지스터의 게이트는 N+1번째의 제2전원 배선으로부터 네거티브 바이어스 전압을 공급받을 수 있다.

효 과

[0032] 본 발명은, 구동 트랜지스터가 시간이 지남에 따라 열화되는 문제를 해결하여 표시품질을 향상시킬 수 있는 유기전계발광표시장치 및 이의 구동방법을 제공하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0033] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0034] 도 1은 유기전계발광표시장치의 개략적인 평면도이다. 단, 도 1의 평면도는 유기전계발광표시장치를 개략적으로 설명하기 위한 것일 뿐 이에 한정되지 않는다.

[0035] 도 1에 도시된 바와 같이 유기전계발광표시장치는 기판(110) 상에 다수의 서브 픽셀(P)이 위치하는 표시부(120)를 포함할 수 있다. 기판(110) 상에 위치하는 다수의 서브 픽셀(P)은 수분이나 산소에 취약하다.

[0036] 그리하여, 밀봉기관(130)을 구비하고, 표시부(120)의 외곽 기판(110)에 접착부재(140)를 형성하여 기판(110)과 밀봉기관(130)을 봉지할 수 있다. 한편, 다수의 서브 픽셀(P)은 기판(110) 상에 위치하는 구동부(150)에 의해 구동되어 영상을 표현할 수 있다.

[0037] 여기서, 서브 픽셀(P)은 적색, 녹색 및 청색 서브 픽셀들이 하나로 묶여 하나의 단위 픽셀로 정의될 수 있다. 그러나, 서브 픽셀(P)은 백색이나 이 밖에 다른 색(예를 들면, 주황색, 노란색 등)을 발광하는 서브 픽셀을 더 포함하여 4개 이상이 하나의 단위 픽셀로 정의될 수도 있다.

[0038] 서브 픽셀(P)은 적어도 유기발광층을 포함할 수 있다. 그리고 유기발광층은 정공 주입층, 정공 수송층, 전자 수송층 또는 전자 주입층 중 하나 이상을 더 포함할 수 있고, 이 밖에 애노드와 캐소드 간의 정공 또는 전자의 흐름을 조절할 수 있도록 버퍼층, 블록킹층 등이 더 포함될 수도 있다.

[0039] 한편, 기판(110) 상에는 하나의 구동부(150)가 위치하는 것으로 도시하였지만, 구동부(150)는 서브 픽셀에 게이트 신호를 공급하는 게이트 구동부와, 서브 픽셀에 데이터 신호를 공급하는 데이터 구동부를 포함할 수 있다.

[0040] 이하, 서브 픽셀의 단면 구조를 첨부하여 서브 픽셀의 구조에 대해 설명한다.

[0041] 도 2a는 도 1에 도시된 서브 픽셀의 단면 예시도 이고, 도 2b는 도 1에 도시된 서브 픽셀의 다른 단면 예시도이다. 단, 도 2a 및 도 2b는 서브 픽셀의 단면 구조를 설명하기 위한 것일 뿐 이에 한정되지 않는다.

[0042] 도 2a에 도시된 바와 같이, 기판(110)이 위치할 수 있다. 기판(110)은 소자를 형성하기 위한 재료로 기계적 강도나 치수 안정성이 우수한 것을 선택할 수 있다. 기판(110)의 재료로는, 유리판, 금속판, 세라믹판 또는 플라스틱판(폴리카보네이트 수지, 아크릴 수지, 염화비닐 수지, 폴리에틸렌테레프탈레이트 수지, 폴리이미드 수지, 폴리에스테르 수지, 에폭시 수지, 실리콘 수지, 불소수지 등) 등을 예로 들 수 있다.

[0043] 기판(110) 상에는 버퍼층(111)이 위치할 수 있다. 버퍼층(111)은 기판(110)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막 트랜지스터를 보호하기 위해 형성할 수 있다. 버퍼층(111)은 실리콘 산화물(SiO_2), 실리콘 질화물(SiN_x) 등을 사용할 수 있다.

[0044] 버퍼층(111) 상에는 반도체층(112)이 위치할 수 있다. 반도체층(112)은 비정질 실리콘 또는 이를 결정화한 다결정 실리콘을 포함할 수 있다. 여기서 도시하지는 않았지만, 반도체층(112)은 채널 영역, 소오스 영역 및 드레인 영역을 포함할 수 있으며, 소오스 영역 및 드레인 영역에는 P형 또는 N형 불순물이 도핑될 수 있다.

[0045] 반도체층(112)을 포함하는 기판(110) 상에는 게이트 절연막(113)이 위치할 수 있다. 게이트 절연막(113)은 실리콘 산화물(SiO_2) 또는 실리콘 질화물(SiN_x) 등을 사용하여 선택적으로 형성할 수 있다.

[0046] 반도체층(112)의 일정 영역인 채널 영역에 대응되도록 게이트 절연막(113) 상에 게이트 전극(114)이 위치할 수 있다. 게이트 전극(114)은 알루미늄(Al), 알루미늄 합금(Al alloy), 티타늄(Ti), 은(Ag), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy), 텅스텐(W), 텅스텐 실리사이드(WSi_2) 중 어느 하나를 포함할 수 있다.

[0047] 게이트 전극(114)을 포함한 기판(110) 상에 층간절연막(115)이 위치할 수 있다. 층간절연막(115)은 유기막 또는 무기막일 수 있으며, 이들의 복합막일 수도 있다.

[0048] 층간절연막(115)이 무기막인 경우 실리콘 산화물(SiO_2), 실리콘 질화물(SiN_x) 또는 SOG(silicate on glass)를 포함할 수 있다. 반면, 유기막인 경우 아크릴계 수지, 폴리이미드계 수지 또는 벤조사이클로부텐

(benzocyclobutene, BCB)계 수지를 포함할 수 있다. 층간절연막(115) 및 게이트 절연막(113) 내에는 반도체층(112)의 일부를 노출시키는 제1 및 제2콘택홀(115a, 115b)이 위치할 수 있다.

[0049] 층간절연막(115) 상에는 제1전극(116a)이 위치할 수 있다. 제1전극(116a)은 애노드일 수 있으며 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등과 같은 도전층을 포함하여 단층 구조로 형성될 수 있다.

[0050] 또한, 제1전극(116a)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등과 같은 도전층을 포함하여 다층 구조로 형성될 수 있다.

[0051] 층간절연막(115) 상에는 소오스 전극 및 드레인 전극(116b, 116c)이 위치할 수 있다. 소오스 전극 및 드레인 전극(116b, 116c)은 제1 및 제2콘택홀(115a, 115b)을 통하여 반도체층(112)과 전기적으로 연결될 수 있다. 그리고, 드레인 전극(116c)의 일부는 제1전극(116a) 상에 위치하여, 제1전극(116a)과 전기적으로 연결될 수 있다.

[0052] 소오스 전극 및 드레인 전극(116b, 116c)은 배선 저항을 낮추기 위해 저저항 물질을 포함할 수 있다. 여기서, 소오스 전극 및 드레인 전극(116b, 116c)은 알루미늄(Al), 알루미늄인듐(Al_{ind}), 몰리브덴(Mo), 크롬(Cr), 티타늄 나이트라이드(TiN), 몰리브덴 나이트라이드(MoN) 또는 크롬 나이트라이드(CrN) 등과 같은 금속층을 포함하여 다층 구조로 형성될 수 있다.

[0053] 이상 기판(110) 상에 위치하는 트랜지스터는 게이트 전극(114), 소오스 전극 및 드레인 전극(116b, 116c)을 포함하고 다수의 트랜지스터 및 커패시터를 갖는 트랜지스터 어레이는 이하의 유기 발광다이오드와 전기적으로 연결될 수 있다. (단, 커패시터의 구조는 생략되었음)

[0054] 제1전극(116a)(예: 애노드) 상에는 제1전극(116a)의 일부를 노출시키는 절연막(117)이 위치할 수 있다. 절연막(117)은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 포함할 수 있다.

[0055] 노출된 제1전극(116a) 상에는 유기발광층(118)이 위치하고 유기발광층(118) 상에는 제2전극(119)(예: 캐소드)이 위치할 수 있다. 제2전극(119)은 유기발광층(118)에 전자를 공급하는 캐소드일 수 있으며, 마그네슘(Mg), 은(Ag), 칼슘(Ca), 알루미늄(Al) 또는 이들의 합금을 포함할 수 있다.

[0056] 이상 기판(110) 상에 위치하는 트랜지스터 어레이에 포함된 트랜지스터의 소오스 또는 드레인 전극(116b, 116c)에 연결된 유기 발광다이오드는 제1전극(116a), 유기발광층(118) 및 제2전극(119)을 포함할 수 있다.

[0057] 도 2a와는 달리 도 2b를 참조하면, 소오스 또는 드레인 전극(116b, 116c) 상에 위치하는 제1전극(116a)은 트랜지스터 어레이의 표면을 평탄화하는 평탄화막(117a) 상에 위치할 수도 있다. 이 경우, 절연막(117b)은 평탄화막(117a) 상에서 제1전극(116a)(예: 애노드)의 일부를 노출시키도록 위치할 수 있다.

[0058] 도 2a 및 도 2b와 같은 서브 픽셀의 단면 구조에서, 트랜지스터 어레이에 포함된 트랜지스터의 구조는 게이트의 구조가 탑 게이트 인지 또는 바텀 게이트 인지에 따라 달라질 수 있다. 또한, 트랜지스터 어레이를 형성할 때 사용되는 마스크의 개수와 반도체층 재료에 따라 트랜지스터의 구조는 달라질 수 있다. 그러므로, 서브 픽셀의 단면 구조는 이에 한정되지는 않는다.

[0059] 이하에서는, 유기전계발광표시장치의 서브 픽셀의 회로 구성도를 참조하여 본 발명의 제1실시예 및 제2실시예를 설명한다.

[0060] <제1실시예>

[0061] 도 3은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 서브 픽셀 회로 구성도이다.

[0062] 도 3에 도시된 바와 같이, 서브 픽셀은 N번째의 게이트 배선(GATE[n])으로부터 N번째의 게이트 신호를 공급받는 제1트랜지스터(S1[n])를 포함할 수 있다. 또한, 제1트랜지스터(S1[n])가 턴온되면 데이터 배선(DATA)으로부터 공급된 데이터 신호를 데이터 전압으로 저장하는 커패시터(Cst[n])를 포함할 수 있다. 또한, 커패시터(Cst[n])로부터 공급된 데이터 전압에 대응하여 구동하는 구동 트랜지스터(T[n])를 포함할 수 있다. 또한, 구동 트랜지스터(T[n])가 구동하면 제1전원 배선(VDD)으로부터 공급된 전원이 구동 트랜지스터(T[n])를 통해 N번째의 제2전원 배선(VSS[n])으로 흐르게 됨으로써 발광하는 유기 발광다이오드(OLED[n])를 포함할 수 있다. 또한, N-1번째의 게이트 배선(GATE[n-1])에 연결되며 제1트랜지스터(S1[n])가 턴 오프되면 N-1번째의 제2전원 배선(VSS[n-1])에 연결되는 제2트랜지스터(S2[n])를 포함할 수 있다.

1])으로부터 공급된 N-1번째의 제2전원을 구동 트랜지스터(T[n])의 게이트에 공급하는 제2트랜지스터(S2[n])를 포함할 수 있다.

[0063] 이를 위해 서브 픽셀은 회로적으로 다음과 같은 연결 구성을 가질 수 있다.

[0064] 제1트랜지스터(S1[n])는 N번째의 게이트 배선(GATE[n])에 게이트가 연결되고 데이터 배선(DATA)에 일단이 연결되고 제1노드(A)에 타단이 연결될 수 있다. 그리고 유기 발광다이오드(OLED[n])는 제1전원 배선(VDD)에 제1전극이 연결되고 제2노드(B)에 제2전극이 연결될 수 있다. 그리고 구동 트랜지스터(T[n])는 제1노드(A)에 게이트가 연결되고 제2노드(B)에 일단이 연결되며 N번째의 제2전원 배선(VSS[n])에 타단이 연결될 수 있다. 그리고 커패시터(Cst[n])는 제1노드(A)에 일단이 연결되고 N번째의 제2전원 배선(VSS[n])에 타단이 연결될 수 있다. 그리고 제2트랜지스터(S2[n])는 N-1번째의 게이트 배선(GATE[n-1])에 게이트가 연결되고 N-1번째의 제2전원 배선(VSS[n-1])에 일단이 연결되며 제1노드(A)에 타단이 연결될 수 있다.

[0065] 여기서, 제2트랜지스터(S2[n])의 경우 전단에 위치하는 N-1번째의 게이트 배선(GATE[n-1])으로부터 게이트 신호를 공급받아 구동하므로 회로 면적을 간소화시킬 수 있다. 그리고 제2전원 배선(VSS[n]..VSS[n-1])의 경우 주사선마다 독립적으로 구동될 수 있도록 외부 회로 또는 내장 회로에 시프트 레지스터 형태로 구성될 수 있다. 이때, 제2전원 배선(VSS[n]..VSS[n-1])에 공급할 제2전원을 생성하는 외부 회로 또는 내장 회로는 수 mA의 전류를 구동하면서 전압 강하가 수십 mV 이하가 되는 구동 능력을 갖도록 형성하는 것이 유리하다.

[0066] 위와 같은 연결 구성에서, N번째의 제2전원 배선(VSS[n])에 공급되는 N번째의 제2전원과 N-1번째의 제2전원 배선(VSS[n-1])에 공급되는 N-1번째의 제2전원은 적어도 일부 구간에서 서로 다른 레벨의 펄스 형태로 공급될 수 있다. 이에 따라, N-1번째의 제2전원 배선(VSS[n-1])과 N번째의 제2전원 배선(VSS[n])에 공급되는 제2전원은 하이신호(VSSH)와 로우신호(VSSL) 사이에서 변환될 수 있다.

[0067] 또한, N번째의 게이트 배선(GATE[n])으로부터 공급되는 N번째의 게이트 신호와 N-1번째의 게이트 배선(GATE[n-1])을 통해 공급되는 게이트 신호는 적어도 일부 구간에서 서로 다른 레벨의 펄스 형태로 공급될 수 있다. 이에 따라, N-1번째의 게이트 배선(GATE[n-1])과 N번째의 게이트 배선(GATE[n])에 공급되는 게이트 신호는 하이신호(VGH)와 로우신호(VGL) 사이에서 변환될 수 있다.

[0068] 여기서, N-1번째의 게이트 배선(GATE[n-1])에 공급되는 게이트 신호가 하이신호(VGH)로 공급될 때, N번째의 제2전원 배선(VSS[n])에 공급되는 제2전원 또한 하이신호(VSSH)로 공급될 수 있다.

[0069] 이에 따라, 앞서 설명한 유기전계발광표시장치에 포함된 서브 픽셀은 N-1번째의 게이트 배선(GATE[n-1])에 공급되는 게이트 신호가 하이신호(VGH)로 공급되면, 제2트랜지스터(S2[n])는 턴온될 수 있다. 그러면, N-1번째의 제2전원 배선(VSS[n-1])에 공급되는 제2전원으로 선택된 로우신호(VSSL)가 구동 트랜지스터(T[n])의 게이트에 공급될 수 있다. 이때, N번째의 제2전원 배선(VSS[n])에 공급되는 제2전원으로 선택된 하이신호(VSSH)가 구동 트랜지스터(T[n])의 일단 또는 타단(소오스 또는 드레인)에 공급될 수 있다. 이로 인해, 구동 트랜지스터(T[n])의 게이트 소오스간 전압(Vgs)은 네거티브 Vgs를 공급받게 되므로, 구동 트랜지스터(T[n])의 게이트 소오스간 전압은 $V_{gs} = - (VSSH - VSSL)$ 에 해당하는 네거티브 전압이 공급되어 구동 트랜지스터(T[n])의 문턱전압(Vth)이 회복될 수 있다.

[0070] 또한, 앞서 설명한 유기전계발광표시장치에 포함된 서브 픽셀은 N-1번째의 게이트 배선(GATE[n-1])에 공급되는 게이트 신호가 하이신호(VGH)에서 로우신호(VGL)로 변환되어 공급되면, 제2트랜지스터(S2[n])는 턴오프될 수 있다. 이때, N번째의 게이트 배선(GATE[n])에 공급되는 게이트 신호는 로우신호(VGL)에서 하이신호(VGH)로 변환되어 공급되므로, 제1트랜지스터(S1[n])는 턴온될 수 있다. 그러면, 데이터 배선(DATA)을 통해 데이터 신호가 제1노드(A)인 구동 트랜지스터(T[n])의 게이트에 공급될 수 있고 커패시터(Cst[n])는 데이터 신호를 데이터 전압으로 저장할 수 있다. 이때, N번째의 제2전원 배선(VSS[n])에 공급되는 제2전원은 하이신호(VSSH)에서 로우신호(VSSL)로 변환될 수 있다. 이로 인해, 구동 트랜지스터(T[n])의 게이트 소오스간 전압(Vgs)은 데이터 신호(Vd[n])에서 N번째의 제2전원인 로우신호(VSSL)를 뺀 전위를 공급받게 되므로, 구동 트랜지스터(T[n])의 게이트 소오스간 전압 $V_{gs} = Vd[n] - VSSL = Vd[n]$ 이 될 수 있다. 그러면, 커패시터(Cst[n])는 Vd[n]에 값을 데이터 전압으로 저장할 수 있고, 구동 트랜지스터(T[n])는 커패시터(Cst[n])에 저장된 Vd[n] 값에 따라 구동할 수 있다. 이후, N번째의 게이트 배선(GATE[n])에 공급되는 게이트 신호가 하이신호(VGH)에서 로우신호(VGL)로 변환되면, 제1트랜지스터(S1[n])는 턴오프될 수 있고 구동 트랜지스터(T[n])가 구동함으로써 유기 발광다이오드(OLED[n])는 발광할 수 있다.

- [0071] 이하에서는, 본 발명의 제1실시예에 따른 유기전계발광표시장치의 구동방법에 대해 설명한다.
- [0072] 도 4는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 구동 파형 예시도 이고, 도 5 및 도 6은 서브 픽셀의 구동 예시도 이다.
- [0073] 도 4의 "S1" 구간에 도시된 바와 같이, 네거티브 바이어스 공급단계(S1)는 제2트랜지스터(S2[n])를 턴온하고 턴온된 제2트랜지스터(S2[n])를 통해 N-1번째의 제2전원[VSS[n-1]]을 통해 공급되는 제2전원인 로우신호(VSSL)를 구동 트랜지스터(T[n])의 게이트에 공급하는 단계이다.(도 5참조)
- [0074] 이에 따라, 서브 픽셀은 N-1번째의 게이트 배선(GATE[n-1])에 공급되는 게이트 신호가 하이신호(VGH)로 공급되면, 제2트랜지스터(S2[n])는 턴온될 수 있다. 그러면, N-1번째의 제2전원 배선(VSS[n-1])에 공급되는 제2전원으로 선택된 로우신호(VSSL)가 구동 트랜지스터(T[n])의 게이트에 공급될 수 있다. 이때, N번째의 제2전원 배선(VSS[n])에 공급되는 제2전원으로 선택된 하이신호(VSSH)가 구동 트랜지스터(T[n])의 일단 또는 타단(소오스 또는 드레인)에 공급될 수 있다. 이로 인해, 구동 트랜지스터(T[n])의 게이트 소오스간 전압(V_{gs})은 네거티브 V_{gs} 를 공급받게 되므로, 구동 트랜지스터(T[n])의 게이트 소오스간 전압은 $V_{gs} = - (VSSH - VSSL)$ 에 해당하는 네거티브 전압이 공급되어 구동 트랜지스터(T[n])의 문턱전압(V_{th})이 회복될 수 있다.
- [0075] 한편, 전단에 위치하는 서브 픽셀은 도 3에 도시된 바와 같이 제1트랜지스터(S1[n-1])이 턴온될 수 있고, 데이터 배선(DATA)을 통해 공급된 데이터 신호($V_d[n-1]$)를 커패시터(Cst[n-1])에 저장할 수 있다.
- [0076] 도 4의 "S2" 구간에 도시된 바와 같이, 데이터 전압 공급단계(S2)는 제2트랜지스터(S2[n])를 턴오프하고 제1트랜지스터(S1[n])를 턴온하여 데이터 배선(DATA)을 통해 공급되는 데이터 전압($V_d[n]$)을 커패시터(Cst[n])에 저장하는 단계이다.(도 6참조)
- [0077] 이에 따라, 서브 픽셀은 N-1번째의 게이트 배선(GATE[n-1])에 공급되는 게이트 신호가 하이신호(VGH)에서 로우신호(VGL)로 변환되어 공급되면, 제2트랜지스터(S2[n])는 턴오프될 수 있다. 이때, N번째의 게이트 배선(GATE[n])에 공급되는 게이트 신호는 로우신호(VGL)에서 하이신호(VGH)로 변환되어 공급되므로, 제1트랜지스터(S1[n])는 턴온될 수 있다. 그러면, 데이터 배선(DATA)을 통해 데이터 신호가 제1노드(A)인 구동 트랜지스터(T[n])의 게이트에 공급될 수 있고 커패시터(Cst[n])는 데이터 신호를 데이터 전압으로 저장할 수 있다. 이때, N번째의 제2전원 배선(VSS[n])에 공급되는 제2전원은 하이신호(VSSH)에서 로우신호(VSSL)로 변환될 수 있다. 이로 인해, 구동 트랜지스터(T[n])의 게이트 소오스간 전압(V_{gs})은 데이터 신호($V_d[n]$)에서 N번째의 제2전원인 로우신호(VSSL)를 뺀 전위를 공급받게 되므로, 구동 트랜지스터(T[n])의 게이트 소오스간 전압 $V_{gs} = V_d[n] - VSSL = V_d[n]$ 이 될 수 있다. 그러면, 커패시터(Cst[n])는 $V_d[n]$ 에 값을 데이터 전압으로 저장할 수 있다.
- [0078] 이후, "S1" 구간을 통해 구동 트랜지스터(T[n])의 게이트에 네거티브 바이어스를 공급하고 "S2" 구간을 통해 커패시터(Cst[n])에 데이터 전압을 저장하고 나면, 제1트랜지스터(S1[n])를 턴오프하고 커패시터(Cst[n])에 저장된 데이터 전압으로 구동 트랜지스터(T[n])를 구동하여 유기 발광다이오드(OLED[n])를 발광시키는 발광단계를 실시할 수 있다.
- [0079] 이에 따라, N번째의 게이트 배선(GATE[n])에 공급되는 게이트 신호가 하이신호(VGH)에서 로우신호(VGL)로 변환되면, 제1트랜지스터(S1[n])는 턴오프될 수 있고 구동 트랜지스터(T[n])가 커패시터(Cst[n])에 저장된 $V_d[n]$ 값에 따라 구동함으로써 유기 발광다이오드(OLED[n])는 발광할 수 있다.
- [0080] 이상, 본 발명의 제1실시예에 따른 유기전계발광표시장치는 3-TFT(Thin Film Transistor)구조를 갖는 서브 픽셀 구조를 제공하고, 제2전원 배선으로 공급되는 제2전원이 하이신호(VSSH)와 로우신호(VSSL) 사이에서 변환하도록 제2전원 배선을 독립적으로 구동하여 구동 트랜지스터(T[n])의 게이트에 네거티브 바이어스 전압을 공급하여 문턱전압을 회복시킬 수 있다. 그러므로, 본 발명은 구동 트랜지스터(T[n])가 시간이 지남에 따라 열화되는 문제를 해결하여 표시품질을 향상시킬 수 있는 유기전계발광표시장치 및 이의 구동방법을 제공하는 효과가 있다.
- [0081] <제2실시예>
- [0082] 도 7은 본 발명의 제2실시예에 따른 유기전계발광표시장치의 서브 픽셀 회로 구성도이다.

- [0083] 도 7에 도시된 바와 같이, 서브 픽셀은 N번째의 게이트 배선(GATE[n])으로부터 N번째의 게이트 신호를 공급받는 제1트랜지스터(S1[n])를 포함할 수 있다. 또한, 제1트랜지스터(S1[n])가 턴온되면 데이터 배선(DATA)으로부터 공급된 데이터 신호를 데이터 전압으로 저장하는 커패시터(Cst[n])를 포함할 수 있다. 또한, 커패시터(Cst[n])로부터 공급된 데이터 전압에 대응하여 구동하는 구동 트랜지스터(T1[n])를 포함할 수 있다. 또한, 구동 트랜지스터(T1[n])가 구동하면 제1전원 배선(VDD)으로부터 공급된 전원이 구동 트랜지스터(T1[n])를 통해 N번째의 제2전원 배선(VSS[n])으로 흐르게 됨으로써 발광하는 유기 발광다이오드(OLED[n])를 포함할 수 있다. 또한, 제1트랜지스터(S1[n])가 턴온되면 데이터 배선(DATA)으로부터 공급된 데이터 신호를 커패시터(Cst[n])에 전달하는 제2트랜지스터(T2[n])를 포함할 수 있다. 또한, N-1번째의 게이트 배선(GATE[n-1])으로부터 N-1번째의 게이트 신호를 공급받아 턴온되어 N+1번째의 제2전원 배선(VSS[n+1])으로부터 공급된 N+1번째의 제2전원을 다이오드 연결된 제2트랜지스터(T2[n])를 통해 구동 트랜지스터(T1[n])의 게이트에 공급하는 제3트랜지스터(S2[n])를 포함할 수 있다.
- [0084] 이를 위해 서브 픽셀은 회로적으로 다음과 같은 연결 구성을 가질 수 있다.
- [0085] 제1트랜지스터(S1[n])는 N번째의 게이트 배선(GATE[n])에 게이트가 연결되고 데이터 배선(DATA)에 일단이 연결되고 제1노드(A)에 타단이 연결될 수 있다. 그리고 유기 발광다이오드(OLED[n])는 제1전원 배선(VDD)에 제1전극이 연결되고 제2노드(B)에 제2전극이 연결될 수 있다. 그리고 구동 트랜지스터(T1[n])는 제3노드(C)에 게이트가 연결되고 제2노드(B)에 일단이 연결되며 N번째의 제2전원 배선(VSS[n])에 타단이 연결될 수 있다. 그리고 제2트랜지스터(T2[n])는 제1노드(A)에 일단이 연결되고 제3노드(C)에 타단이 연결되며 제4노드(D)에 게이트가 연결될 수 있다. 그리고 커패시터(Cst[n])는 제4노드(D)에 일단이 연결되고 N번째의 제2전원 배선(VSS[n])에 타단이 연결될 수 있다. 그리고 제3트랜지스터(S2[n])는 N-1번째의 게이트 배선(GATE[n-1])에 게이트가 연결되고 N+1번째의 제2전원 배선(VSS[n+1])에 일단이 연결되며 제4노드(D)에 타단이 연결될 수 있다.
- [0086] 여기서, 제2트랜지스터(T2[n])의 경우 구동 트랜지스터(T1[n])와 동일한 특성을 갖도록 형성될 수 있다.
- [0087] 여기서, 제3트랜지스터(S2[n])의 경우 전단에 위치하는 N-1번째의 게이트 배선(GATE[n-1])으로부터 게이트 신호를 공급받아 구동하므로 회로 면적을 간소화시킬 수 있다. 그리고 제2전원 배선(VSS[n]..VSS[n+1])의 경우 주사선마다 독립적으로 구동될 수 있도록 외부 회로 또는 내장 회로에 시프트 레지스터 형태로 구성될 수 있다. 이때, 제2전원 배선(VSS[n]..VSS[n+1])에 공급할 제2전원을 생성하는 외부 회로 또는 내장 회로는 수 mA의 전류를 구동하면서 전압 강하가 수십 mV 이하가 되는 구동 능력을 갖도록 형성하는 것이 유리하다.
- [0088] 위와 같은 연결 구성에서, N번째의 제2전원 배선(VSS[n])에 공급되는 N번째의 제2전원과 N+1번째의 제2전원 배선(VSS[n+1])에 공급되는 N+1번째의 제2전원은 적어도 일부 구간에서 서로 다른 레벨의 펄스 형태로 공급될 수 있다. 이에 따라, N+1번째의 제2전원 배선(VSS[n+1])과 N번째의 제2전원 배선(VSS[n])에 공급되는 제2전원은 하이신호(VSSH)와 로우신호(VSSL) 사이에서 변환될 수 있다.
- [0089] 또한, N번째의 게이트 배선(GATE[n])으로부터 공급되는 N번째의 게이트 신호와 N-1번째의 게이트 배선(GATE[n-1])을 통해 공급되는 게이트 신호는 적어도 일부 구간에서 서로 다른 레벨의 펄스 형태로 공급될 수 있다. 이에 따라, N-1번째의 게이트 배선(GATE[n-1])과 N번째의 게이트 배선(GATE[n])에 공급되는 게이트 신호는 하이신호(VGH)와 로우신호(VGL) 사이에서 변환될 수 있다.
- [0090] 여기서, N-1번째의 게이트 배선(GATE[n-1])에 공급되는 게이트 신호가 하이신호(VGH)로 공급될 때, N번째의 제2전원 배선(VSS[n])에 공급되는 제2전원 또한 하이신호(VSSH)로 공급될 수 있다. 이로 인해, 제2전원 배선(VSS[n]..VSS[n+1])에 공급되는 제2전원과 게이트 배선(GATE[n]..GATE[n-1])에 공급되는 게이트 신호는 일부 구간이 중첩되도록 공급될 수 있다. 그러나, 제2전원 배선(VSS[n]..VSS[n+1])에 공급되는 제2전원은 게이트 배선(GATE[n]..GATE[n-1])에 공급되는 게이트 신호보다 라이징 타임 및 폴링 타임이 앞서도록 공급될 수 있다.
- [0091] 이에 따라, 앞서 설명한 유기전계발광표시장치에 포함된 서브 픽셀은 N-1번째의 게이트 배선(GATE[n-1])에 공급되는 게이트 신호가 하이신호(VGH)로 공급되면, 제3트랜지스터(S2[n])는 턴온될 수 있다. 그러면, N+1번째의 제2전원 배선(VSS[n+1])에 공급되는 제2전원으로 선택된 로우신호(VSSL)가 구동 트랜지스터(T1[n])의 게이트에 공급될 수 있다. 이때, N번째의 제2전원 배선(VSS[n])에 공급되는 제2전원으로 선택된 하이신호(VSSH)가 구동 트랜지스터(T1[n])의 일단 또는 타단(소오스 또는 드레인)에 공급될 수 있다. 이로 인해, 구동 트랜지스터(T1[n])의 게이트 소오스간 전압(Vgs)은 네거티브 Vgs를 공급받게 되므로, 구동 트랜지스터(T1[n])의 게이트 소오스간 전압 $V_{gs} = VSSL(-V_{dd})$ 에 해당하는 네거티브 전압이 공급되어 구동 트랜지스터(T1[n])의 문턱전압(V_{th})이 회복될 수 있다. 이와 같은 방법에 의해 구동 트랜지스터(T1[n])의 구동 특성이 제2전원(VSS)에서 제1전원(VD

D)을 뺀 값과 같다면, 거시적인 공정 과정(Lot-to-Lot)에서부터 미시적인 공정(Pnael-to-Panel) 과정까지 나타나는 불균일 특성을 개선할 수 있게 된다.

[0092] 또한, 앞서 설명한 유기전계발광표시장치에 포함된 서브 픽셀은 N-1번째의 게이트 배선(GATE[n-1])에 공급되는 게이트 신호가 하이신호(VGH)에서 로우신호(VGL)로 변환되는 구간에 제2트랜지스터(T2[n])의 양단을 초기화할 수 있다. 이때, N번째의 제2전원 배선(VSS[n])에 공급되는 제2전원은 하이신호(VSSH)에서 로우신호(VSSL)로 변환되고, N+1번째의 제2전원 배선(VSS[n+1])에 공급되는 제2전원은 로우신호(VSSL)에서 하이신호(VSSH)로 변환될 수 있다. 이로 인해, 앞서 N+1번째의 제2전원 배선(VSS[n+1])에 공급된 로우신호(VSSL)에 해당하는 전압이 걸렸던 제2트랜지스터(T2[n])의 양단 전압은 구동 트랜지스터(T1[n])의 문턱전압(V_{th})보다 높은 전위를 가질 수 있다. 그러므로, 제2트랜지스터(T2[n])의 양단 전압(V_c)은 $V_c > V_{th}$ 가 될 수 있다.

[0093] 또한, 앞서 설명한 유기전계발광표시장치에 포함된 서브 픽셀은 N-1번째의 게이트 배선(GATE[n-1])에 공급되는 게이트 신호가 하이신호(VGH)에서 로우신호(VGL)로 변환되어 공급되면, 제3트랜지스터(S2[n])는 턴오프될 수 있다. 이때, N번째의 게이트 배선(GATE[n])에 공급되는 게이트 신호는 로우신호(VGL)에서 하이신호(VGH)로 변환되어 공급되므로, 제1트랜지스터(S1[n])는 턴온될 수 있다. 이때, 제2트랜지스터(T2[n])의 양단 전압은 다이오드 연결된 제2트랜지스터(T2[n])의 노드를 통해 방전되고 구동 트랜지스터(T1[n])의 문턱전압(V_{th})가 될 때까지 방전될 수 있다. 그러므로, 제2트랜지스터(T2[n])의 타단과 구동 트랜지스터(T1[n])의 게이트 노드(V_{st})는 제2트랜지스터(T2[n])의 양단 전압(V_c)과 같을 수 있다. 또한, 제2트랜지스터(T2[n])의 타단과 구동 트랜지스터(T1[n])의 게이트 노드(V_{st})는 데이터 전압(V_d)에 구동 트랜지스터(T1[n])의 문턱전압(V_{th})을 합한 전위와 같을 수 있다. 이와 같은 과정에 따라, 데이터 배선(DATA)을 통해 공급된 데이터 신호가 제2트랜지스터(T2[n])를 거쳐 제2노드(B)인 구동 트랜지스터(T1[n])의 게이트에 공급될 수 있고 커패시터($C_{st}[n]$)는 데이터 신호를 데이터 전압으로 저장할 수 있다. 이후, N번째의 게이트 배선(GATE[n])에 공급되는 게이트 신호가 하이신호(VGH)에서 로우신호(VGL)로 변환되면, 제1트랜지스터(S1[n])는 턴오프될 수 있고 구동 트랜지스터(T1[n])가 구동함으로써 유기 발광다이오드(OLED[n])는 발광할 수 있다.

[0094] 이하에서는, 본 발명의 제2실시예에 따른 유기전계발광표시장치의 구동방법에 대해 설명한다.

[0095] 도 8은 본 발명의 제2실시예에 따른 유기전계발광표시장치의 구동 파형 예시도 이고, 도 9 내지 도 11은 서브 픽셀의 구동 예시도 이다.

[0096] 도 8의 "S1" 구간에 도시된 바와 같이, 네거티브 바이어스 공급단계(S1)는 제3트랜지스터(S2[n])를 턴온하고 커패시터($C_{st}[n]$)에 N번째의 제2전원 배선(VSS[n])에 공급되는 제1신호인 로우신호(VSSL)를 공급하고 다이오드 연결된 제2트랜지스터(T2[n])를 통해 N+1번째의 제2전원(VSS[n+1])에 공급되는 제2신호인 하이신호(VSSH)를 구동 트랜지스터(T1[n])의 게이트에 공급하는 단계이다.(도 9참조)

[0097] 이에 따라, 서브 픽셀은 N-1번째의 게이트 배선(GATE[n-1])에 공급되는 게이트 신호가 하이신호(VGH)로 공급되면, 제3트랜지스터(S2[n])는 턴온될 수 있다. 그러면, N+1번째의 제2전원 배선(VSS[n+1])에 공급되는 제2전원으로 선택된 로우신호(VSSL)가 구동 트랜지스터(T1[n])의 게이트에 공급될 수 있다. 이때, N번째의 제2전원 배선(VSS[n])에 공급되는 제2전원으로 선택된 하이신호(VSSH)가 구동 트랜지스터(T1[n])의 일단 또는 타단(소오스 또는 드레인)에 공급될 수 있다. 이로 인해, 구동 트랜지스터(T1[n])의 게이트 소오스간 전압(V_{gs})은 네거티브 V_{gs} 를 공급받게 되므로, 구동 트랜지스터(T1[n])의 게이트 소오스간 전압 $V_{gs} = VSSL(-V_{dd})$ 에 해당하는 네거티브 전압이 공급되어 구동 트랜지스터(T1[n])의 문턱전압(V_{th})이 회복될 수 있다. 이와 같은 방법에 의해 구동 트랜지스터(T1[n])의 구동 특성이 제2전원(VSS)에서 제1전원(VDD)을 뺀 값과 같다면, 거시적인 공정 과정(Lot-to-Lot)에서부터 미시적인 공정(Pnael-to-Panel) 과정까지 나타나는 불균일 특성을 개선할 수 있게 된다.

[0098] 도 8의 "S2" 구간에 도시된 바와 같이, 초기화단계(S2)는 N번째의 제2전원 배선(VSS[n])에 공급되는 제1신호인 하이신호(VSSH)를 제2신호인 로우신호(VSSL)로 변환하고 N+1번째의 제2전원 배선(VSS[n+1])에 공급되는 제2신호인 로우신호(VSSL)를 제1신호인 하이신호(VSSH)로 변환하여 다이오드 연결된 제2트랜지스터(T2[n])의 양단 전압을 초기화하는 단계이다.(도 10참조)

[0099] 이에 따라, 서브 픽셀은 N번째의 제2전원 배선(VSS[n])에 공급되는 제2전원은 하이신호(VSSH)에서 로우신호(VSSL)로 변환되고, N+1번째의 제2전원 배선(VSS[n+1])에 공급되는 제2전원은 로우신호(VSSL)에서 하이신호(VSSH)로 변환될 수 있다. 여기서, N+1번째의 제2전원 배선(VSS[n+1])에 공급되는 제1신호인 하이신호(VSSH)가

초기 안정화 상태일 때 제3트랜지스터($S2[n]$)를 턴오프할 수 있다. 이로 인해, 앞서 $N+1$ 번째의 제2전원 배선($VSS[n+1]$)에 공급된 로우신호($VSSL$)에 해당하는 전압이 걸렸던 제2트랜지스터($T2[n]$)의 양단 전압은 구동 트랜지스터($T1[n]$)의 문턱전압(V_{th})보다 높은 전위를 가질 수 있다. 그러므로, 제2트랜지스터($T2[n]$)의 양단 전압(V_c)은 $V_c > V_{th}$ 가 될 수 있다.

[0100] 도 8의 "S3" 구간에 도시된 바와 같이, 데이터 전압 공급단계(S3)는 제1트랜지스터($S1[n]$)를 턴온하고 데이터 배선(DATA)에 데이터 신호를 공급하여 데이터 신호와 제2트랜지스터($T2[n]$)의 양단 전압을 합한 데이터 전압($V_d[n]$)을 커패시터($Cst[n]$)에 저장하는 단계이다.(도 11참조)

[0101] 이에 따라, 서브 픽셀은 $N-1$ 번째의 게이트 배선($GATE[n-1]$)에 공급되는 게이트 신호가 하이신호(VGH)에서 로우신호(VGL)로 변환되어 공급되면, 제3트랜지스터($S2[n]$)는 턴오프될 수 있다. 이때, N 번째의 게이트 배선($GATE[n]$)에 공급되는 게이트 신호는 로우신호(VGL)에서 하이신호(VGH)로 변환되어 공급되므로, 제1트랜지스터($S1[n]$)는 턴온될 수 있다. 이때, 제2트랜지스터($T2[n]$)의 양단 전압(V_c)은 다이오드 연결된 제2트랜지스터($T2[n]$)의 노드를 통해 방전되고 구동 트랜지스터($T1[n]$)의 문턱전압(V_{th})가 될 때까지 방전될 수 있다. 그러므로, 제2트랜지스터($T2[n]$)의 타단과 구동 트랜지스터($T1[n]$)의 게이트 노드(V_{st})는 제2트랜지스터($T2[n]$)의 양단 전압(V_c)과 같을 수 있다. 또한, 제2트랜지스터($T2[n]$)의 타단과 구동 트랜지스터($T1[n]$)의 게이트 노드(V_{st})는 데이터 전압(V_d)에 구동 트랜지스터($T1[n]$)의 문턱전압(V_{th})을 합한 전위와 같을 수 있다. 이와 같은 과정에 따라, 데이터 배선(DATA)을 통해 공급된 데이터 신호는 제2트랜지스터($T2[n]$)를 거쳐 제2노드(B)인 구동 트랜지스터($T1[n]$)의 게이트에 공급될 수 있고 커패시터($Cst[n]$)는 데이터 신호를 데이터 전압으로 저장할 수 있다.

[0102] 이후, "S1" 구간을 통해 구동 트랜지스터($T1[n]$)의 게이트에 네거티브 바이어스를 공급하고, "S2" 구간을 통해 제2트랜지스터($T2[n]$)를 초기화하며 "S3" 구간을 통해 커패시터($Cst[n]$)에 데이터 전압을 저장하고 나면, 제1트랜지스터($S1[n]$)를 턴오프하고 커패시터($Cst[n]$)에 저장된 데이터 전압으로 구동 트랜지스터($T1[n]$)를 구동하여 유기 발광다이오드(OLED[n])를 발광시키는 발광단계를 실시할 수 있다.

[0103] 이에 따라, N 번째의 게이트 배선($GATE[n]$)에 공급되는 게이트 신호가 하이신호(VGH)에서 로우신호(VGL)로 변환되면, 제1트랜지스터($S1[n]$)는 턴오프될 수 있고 구동 트랜지스터($T1[n]$)가 구동함으로써 유기 발광다이오드(OLED[n])는 발광할 수 있다.

[0104] 이하에서는, 앞서 설명한 서브 픽셀을 복수의 회로로 구성하고 이를 구동하기 위한 구동 파형을 개략적으로 도시하여 각 라인에 위치하는 서브 픽셀의 구동방법에 대해 간략하게 설명한다. 따라서, 서브 픽셀의 연결 관계 및 상세한 구동방법은 생략한다.

[0105] 도 12는 본 발명의 제2실시예에 따라 복수로 구성된 서브 픽셀의 회로 구성 예시도 이고, 도 13은 도 12에 도시된 서브 픽셀을 구동하기 위한 개략적인 파형 예시도 이다.

[0106] 도 12 및 도 13에 도시된 바와 같이, 각 서브 픽셀에 포함된 소자는 주사선별로 앞서 설명한 제2실시예와 같은 방법으로 연결될 수 있다.

[0107] 도시된 복수의 서브 픽셀은 주사선별로 게이트 신호($Vg0..Vg2$)를 순차적으로 공급받을 수 있다. 또한, 복수의 서브 픽셀은 독립적으로 구동되는 외부 회로 또는 내장 회로로부터 제2전원($Vs0..Vs3$)을 공급받을 수 있다. 또한, 주사선별로 공급된 게이트 신호($Vg0..Vg2$)에 의해 선택된 복수의 서브 픽셀은 데이터 신호(V_d)를 공급받을 수 있다.

[0108] 한편, 각 서브 픽셀에 포함된 제3트랜지스터($T2[n]..T2[n+2]$)는 각각 전단으로부터 게이트 신호($Vg0..Vg2$)를 공급받을 수 있다. 이때, 제3트랜지스터($S2[n]..S2[n+2]$)가 턴온되면 각 서브 픽셀에 포함된 구동 트랜지스터($T1[n]..T1[n+2]$)의 게이트는 앞 단으로부터 로우신호에 해당하는 전압을 제2전원을 공급받아 네거티브 바이어스 전압이 공급되어 문턱전압(V_{th})을 회복할 수 있다.

[0109] 이와 같은 구동 방법에 따르면, 게이트 신호가 하이신호에서 로우신호로 변환될 때마다, 각 라인에 위치하는 서브 픽셀은 순차적으로 네거티브 바이어스 전압을 공급받을 수 있게 되고, 다음으로는 앞서 설명한 바와 같이, 초기화 단계, 데이터 전압 저장단계 및 발광단계를 수행하면서 영상을 표현할 수 있게 된다. 이와 같이, 순차적으로 모든 서브 픽셀에 네거티브 바이어스 전압을 공급하면 각 서브 픽셀에 포함된 구동 트랜지스터의 문턱전압

은 회복될 수 있다.

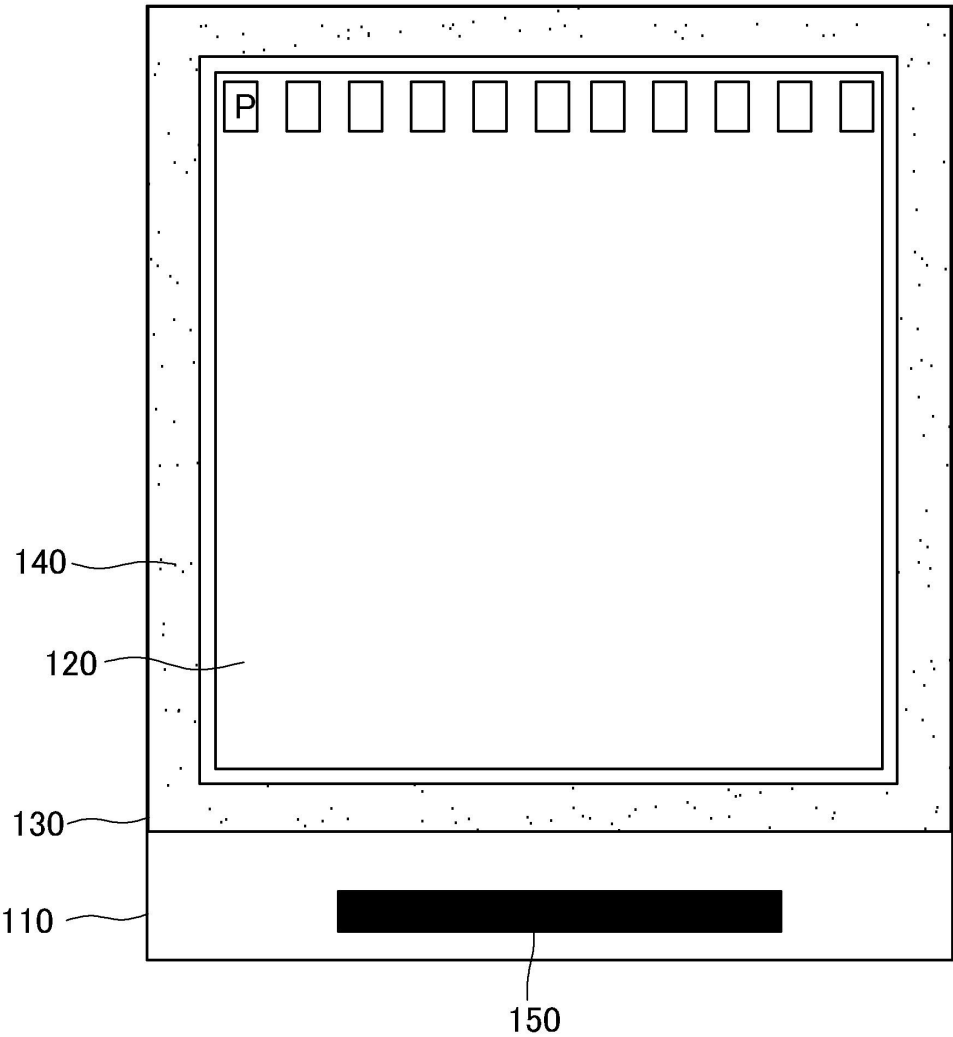
- [0110] 이상, 본 발명의 제2실시예에 따른 유기전계발광표시장치는 4-TFT(Thin Film Transistor)구조를 갖는 서브 픽셀 구조를 제공하고, 제2전원 배선으로 공급되는 제2전원이 하이신호(VSSH)와 로우신호(VSSL) 사이에서 변환하도록 제2전원 배선을 독립적으로 구동하여 구동 트랜지스터(T[n])의 게이트에 네거티브 바이어스 전압을 공급하여 문턱전압을 회복시킬 수 있다. 그러므로, 본 발명은 구동 트랜지스터(T[n])가 시간이 지남에 따라 열화되는 문제를 해결하여 표시품질을 향상시킬 수 있는 유기전계발광표시장치 및 이의 구동방법을 제공하는 효과가 있다.
- [0111] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

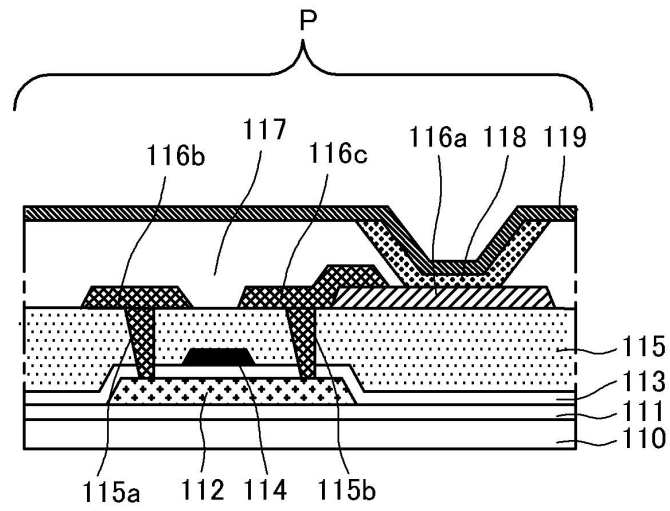
- [0112] 도 1은 유기전계발광표시장치의 개략적인 평면도.
- [0113] 도 2a는 도 1에 도시된 서브 픽셀의 단면 예시도.
- [0114] 도 2b는 도 1에 도시된 서브 픽셀의 다른 단면 예시도.
- [0115] 도 3은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 서브 픽셀 회로 구성도.
- [0116] 도 4는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 구동 파형 예시도.
- [0117] 도 5 및 도 6은 서브 픽셀의 구동 예시도.
- [0118] 도 7은 본 발명의 제2실시예에 따른 유기전계발광표시장치의 서브 픽셀 회로 구성도.
- [0119] 도 8은 본 발명의 제2실시예에 따른 유기전계발광표시장치의 구동 파형 예시도.
- [0120] 도 9 내지 도 11은 서브 픽셀의 구동 예시도.
- [0121] 도 12는 본 발명의 제2실시예에 따라 복수로 구성된 서브 픽셀의 회로 구성 예시도.
- [0122] 도 13은 도 12에 도시된 서브 픽셀을 구동하기 위한 개략적인 파형 예시도.
- [0123] <도면의 주요 부분에 관한 부호의 설명>
- | | |
|---------------------------------|--------------------------|
| [0124] S1[n]: 제1트랜지스터 | S2[n]: 제2트랜지스터 |
| [0125] S3[n]: 제3트랜지스터 | T[n]: 구동 트랜지스터 |
| [0126] OLED[n-1]: 유기 발광다이오드 | DATA: 데이터 배선 |
| [0127] GATE[n]: N번째의 게이트 배선 | VSS[n]: N번째의 제2전원 배선 |
| [0128] GATE[n-1]: N-1번째의 게이트 배선 | VSS[n-1]: N-1번째의 제2전원 배선 |

도면

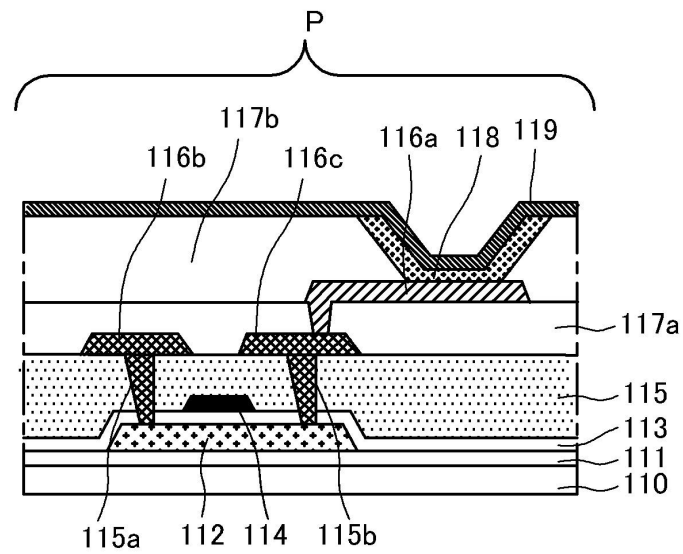
도면1



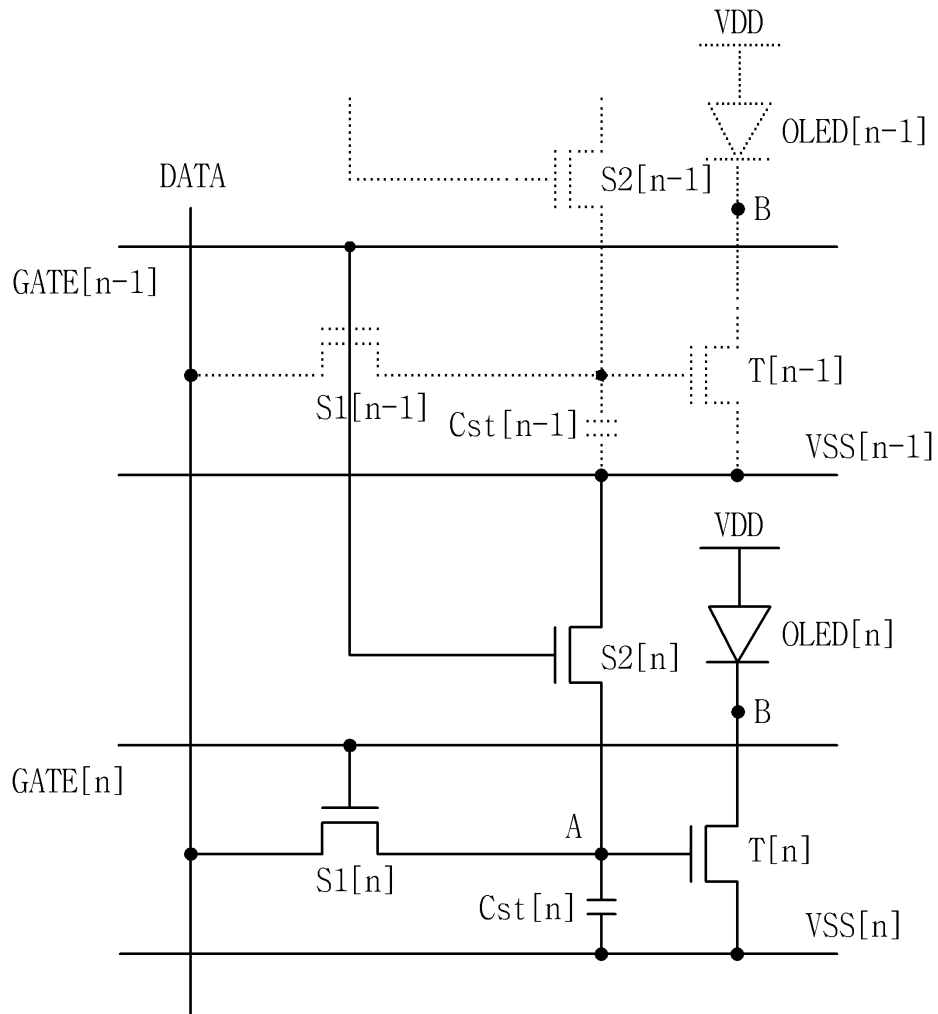
도면2a



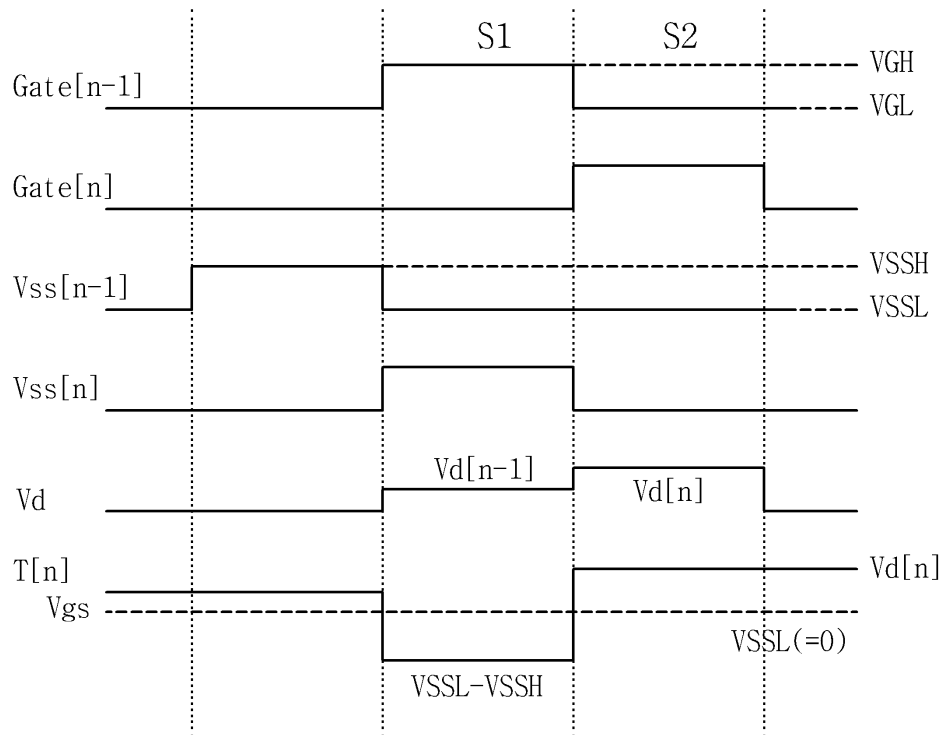
도면2b



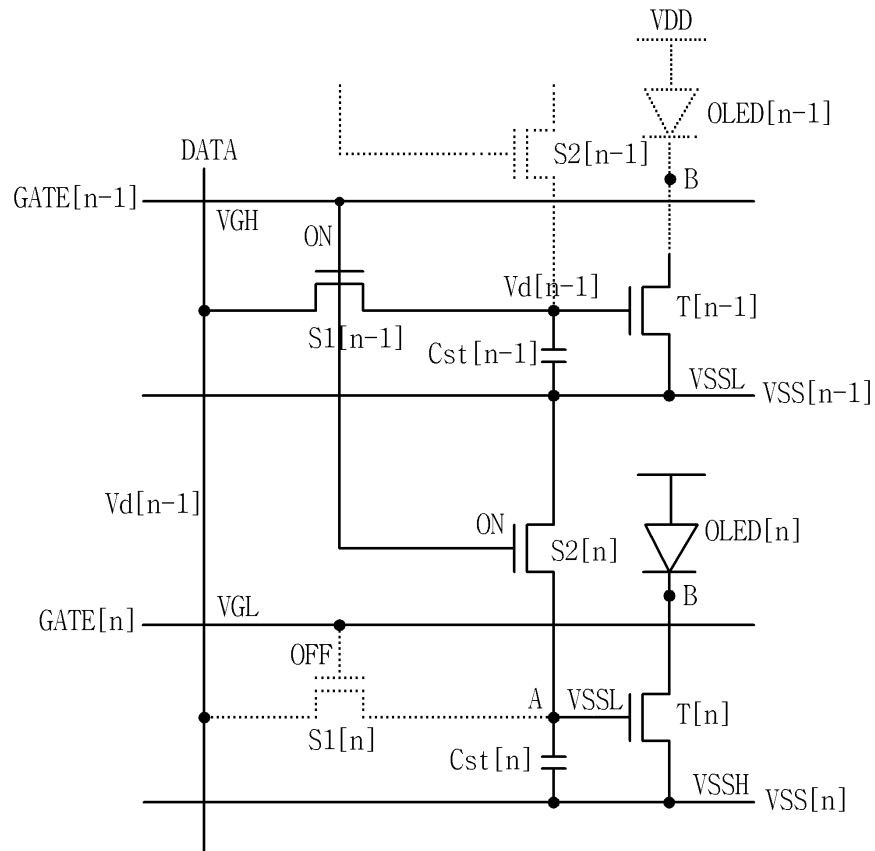
도면3



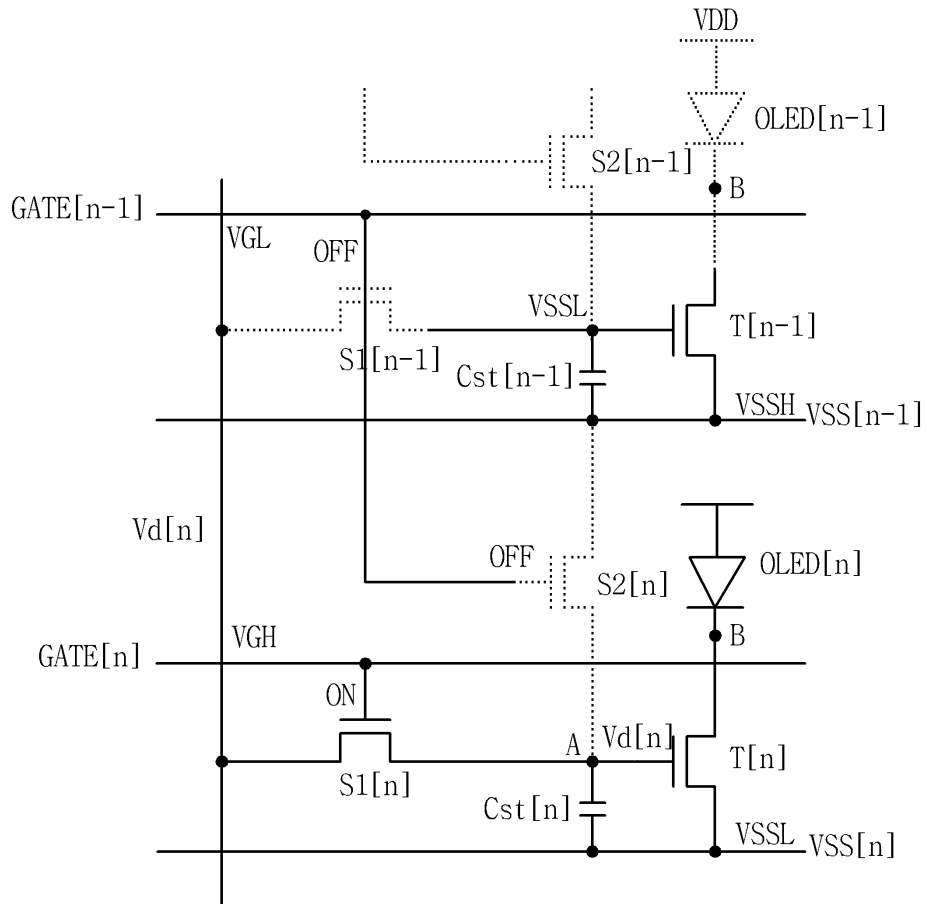
도면4



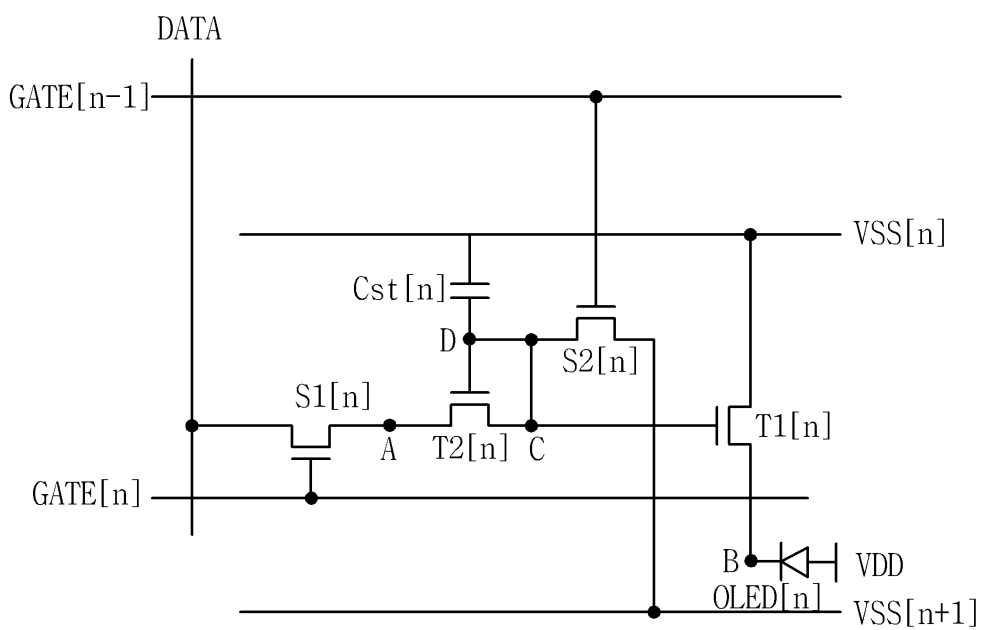
도면5



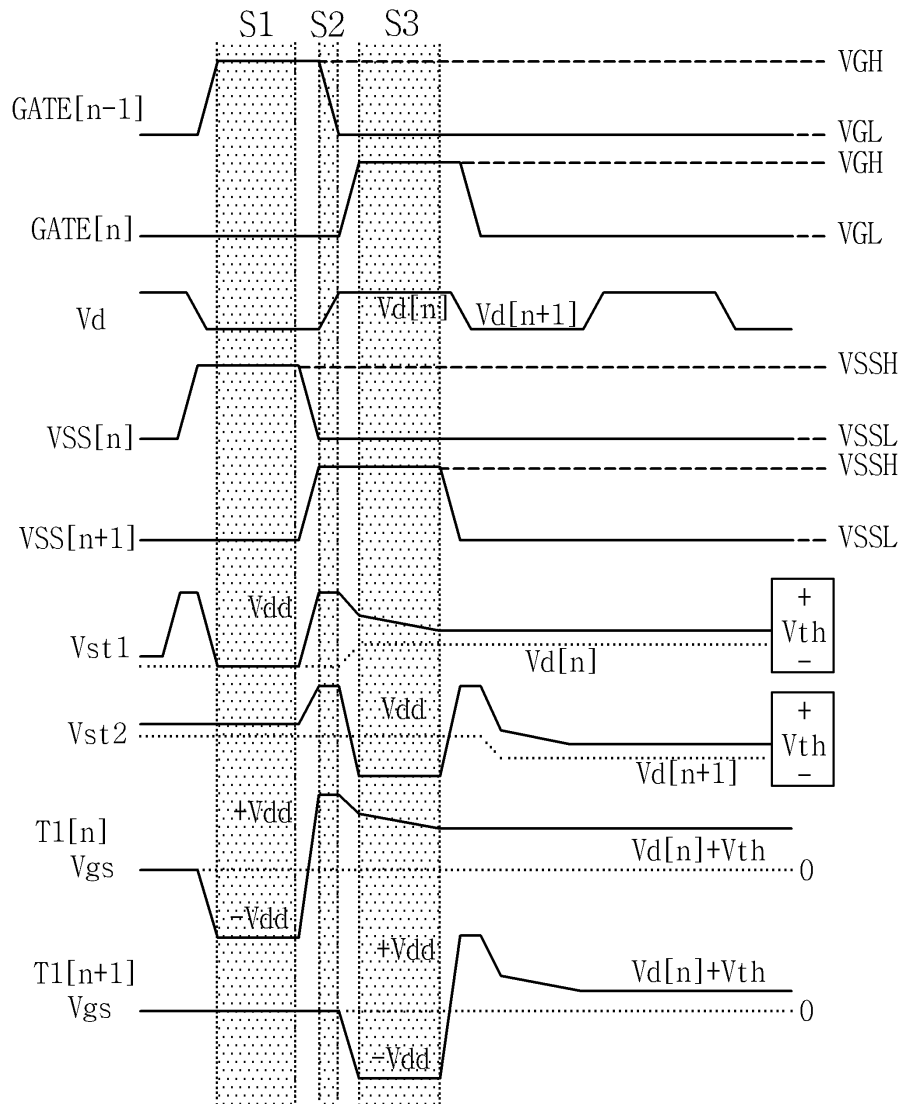
도면6



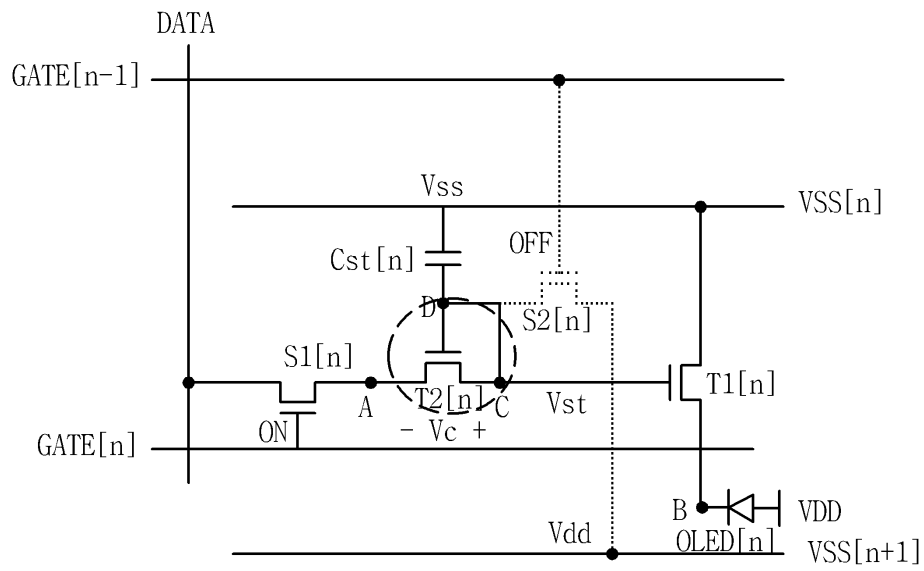
도면7



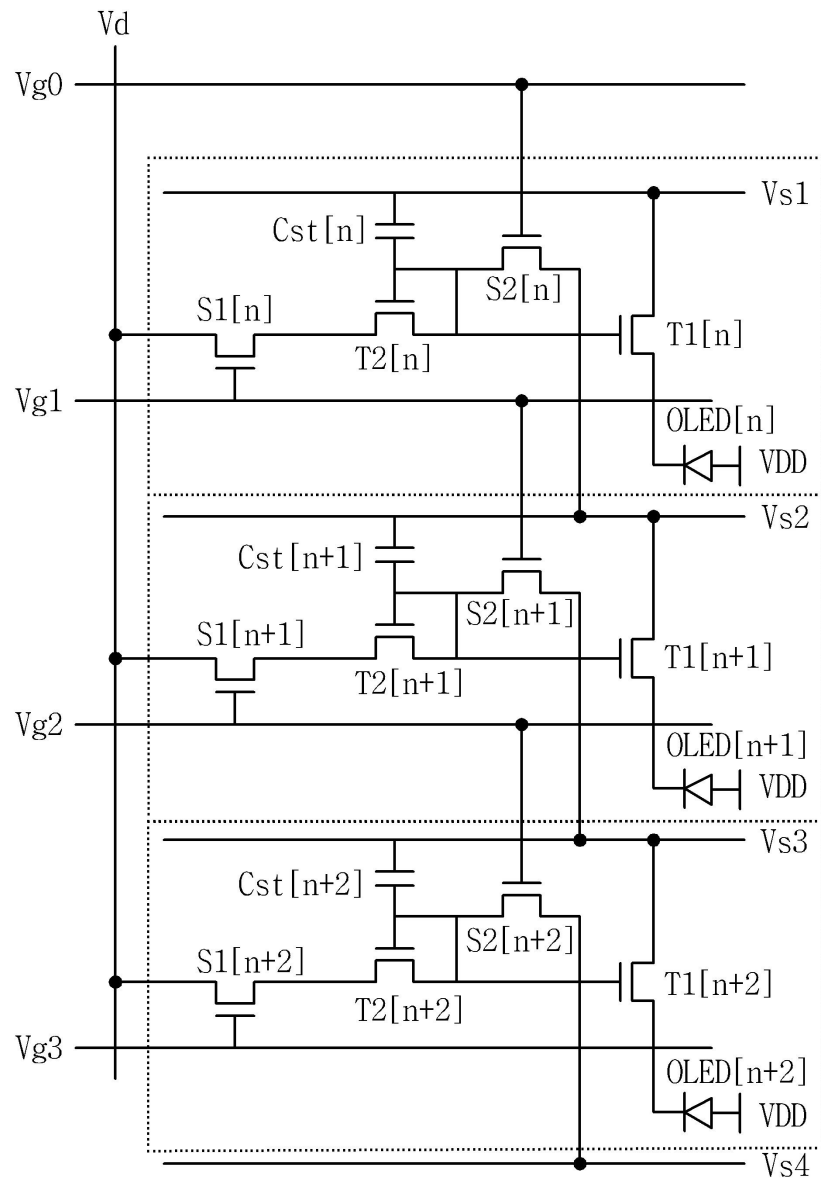
도면8



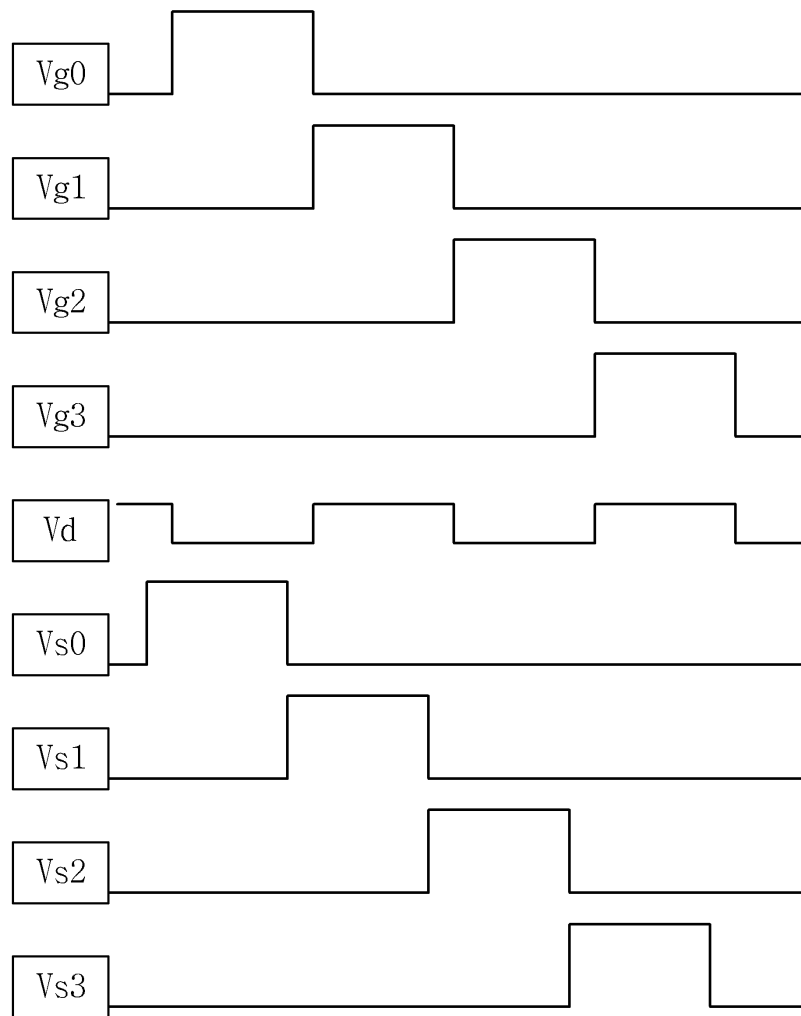
도면11



도면12



도면13



专利名称(译)	标题：有机电致发光显示装置及其驱动方法		
公开(公告)号	KR101396077B1	公开(公告)日	2014-05-15
申请号	KR1020070140998	申请日	2007-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOO JUHN SUK		
发明人	YOO, JUHN SUK		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
其他公开文献	KR1020090072780A		
外部链接	Espacenet		

摘要(译)

本发明提供一种半导体器件，包括：第一晶体管，从第N栅极布线接收第N栅极信号；一种电容器，用于在第一晶体管导通时存储从数据线提供的数据信号作为数据电压；响应于从电容器提供的数据电压而驱动的驱动晶体管；当驱动晶体管被驱动时，当从第一电源线供应的电源通过驱动晶体管流到第N个第二电源线时发光的有机发光二极管；并且第二晶体管连接到第(N-1)栅极线，并且当第一晶体管截止时，将从第(N-1)个第二电源线提供的第(N-1)个第二电源提供给驱动晶体管的栅极和有机电致发光显示装置。

