



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2014년03월14일  
 (11) 등록번호 10-1374477  
 (24) 등록일자 2014년03월07일

(51) 국제특허분류(Int. Cl.)  
 G09G 3/30 (2006.01)  
 (21) 출원번호 10-2010-0103573  
 (22) 출원일자 2010년10월22일  
 심사청구일자 2011년11월09일  
 (65) 공개번호 10-2012-0042084  
 (43) 공개일자 2012년05월03일  
 (56) 선행기술조사문헌  
 KR1020100010733 A\*  
 KR100218511 B1\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**엘지디스플레이 주식회사**  
 서울특별시 영등포구 여의대로 128(여의도동)  
 (72) 발명자  
**하스미타로**  
 경기 파주시 월롱면 덕은리  
**강창현**  
 경상북도 구미시 상사동로13길 9-8, 준하이츠 20  
 6호 (임은동)  
**타카스기신지**  
 경기도 파주시 월롱면 엘씨디로8번길 47-9, 202호  
 (74) 대리인  
**특허법인로얄**

전체 청구항 수 : 총 9 항

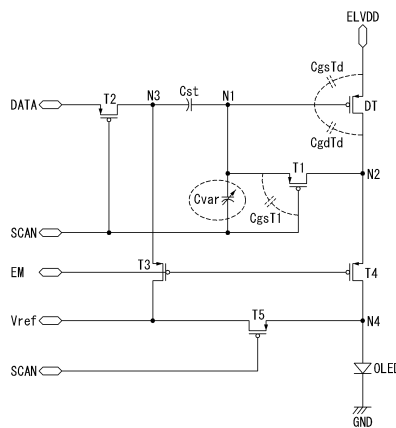
심사관 : 김태연

(54) 발명의 명칭 **유기발광다이오드 표시장치**

**(57) 요약**

본 발명에 따른 유기발광다이오드 표시장치는 제1 노드에 접속되는 제어전극, 고전위 구동전압의 입력단에 접속되는 제1 전극, 제2 노드에 접속되는 제2 전극을 포함하여 구동전류를 제어하는 구동소자; 제1 게이트라인으로부터의 스캔펄스에 응답하여 상기 제1 노드와 제2 노드 사이의 전류 패스를 스위칭하는 제1 TFT; 상기 스캔펄스에 응답하여 데이터라인과 제3 노드 사이의 전류 패스를 스위칭하는 제2 TFT; 제2 게이트라인으로부터의 발광제어펄스에 응답하여 상기 제3 노드와 기준전압 입력단 사이의 전류 패스를 스위칭하는 제3 TFT; 상기 발광제어펄스에 응답하여 상기 제2 노드와 제4 노드 사이의 전류 패스를 스위칭하는 제4 TFT; 상기 제4 노드와 그라운드전압의 입력단 사이에 접속되어 상기 구동전류에 의해 발광하는 유기발광다이오드; 상기 제1 노드와 제3 노드 사이에 접속된 스토리지 커패시터; 및 상기 제1 노드와 상기 제1 게이트라인 사이에 접속되어 상기 제1 TFT의 턴 온/턴 오프 시 그 용량이 가변하는 베리어블 커패시터를 구비한다.

**대표도** - 도4



## 특허청구의 범위

### 청구항 1

제1 노드에 접속되는 제어전극, 고전위 구동전압의 입력단에 접속되는 제1 전극, 제2 노드에 접속되는 제2 전극을 포함하여 구동전류를 제어하는 구동소자;

제1 게이트라인으로부터의 스캔펄스에 응답하여 상기 제1 노드와 제2 노드 사이의 전류 패스를 스위칭하는 제1 TFT;

상기 스캔펄스에 응답하여 데이터라인과 제3 노드 사이의 전류 패스를 스위칭하는 제2 TFT;

제2 게이트라인으로부터의 발광제어펄스에 응답하여 상기 제3 노드와 기준전압 입력단 사이의 전류 패스를 스위칭하는 제3 TFT;

상기 발광제어펄스에 응답하여 상기 제2 노드와 제4 노드 사이의 전류 패스를 스위칭하는 제4 TFT;

상기 제4 노드와 그라운드전압의 입력단 사이에 접속되어 상기 구동전류에 의해 발광하는 유기발광다이오드;

상기 제1 노드와 제3 노드 사이에 접속된 스토리지 커패시터; 및

상기 제1 노드와 상기 제1 게이트라인 사이에 접속되어 상기 제1 TFT의 턴 오프 시에 비해 턴 온 시에 그 용량이 증가하는 베리어블 커패시터를 구비하고;

상기 베리어블 커패시터는 상기 제1 TFT가 턴 온 될 때 상기 제1 TFT의 게이트-소스 간의 기생용량을 증가시키는 것을 특징으로 하는 유기발광다이오드 표시장치.

### 청구항 2

제 1 항에 있어서,

제1 기간 동안, 상기 스캔펄스 및 발광제어펄스는 턴 온 레벨로 유지되고;

제2 기간 동안, 상기 스캔펄스는 턴 온 레벨로 유지되고 상기 발광제어펄스는 턴 오프 레벨로 유지되며;

제3 기간 동안, 상기 스캔펄스 및 발광제어펄스는 턴 오프 레벨로 유지되고;

제4 기간 동안, 상기 스캔펄스는 턴 오프 레벨로 유지되고 상기 발광제어펄스는 턴 온 레벨로 유지되는 것을 특징으로 하는 유기발광다이오드 표시장치.

### 청구항 3

제 2 항에 있어서,

상기 베리어블 커패시터의 용량은 상기 제1 및 제2 기간에서 제1 값을 가지고, 상기 제3 및 제4 기간에서 상기 제1 값보다 작은 제2 값을 갖는 것을 특징으로 하는 유기발광다이오드 표시장치.

### 청구항 4

제 1 항에 있어서,

상기 스캔펄스에 응답하여 상기 제4 노드와 상기 기준전압 입력단 사이의 전류 패스를 스위칭하는 제5 TFT를 더 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

### 청구항 5

제 4 항에 있어서,

상기 제1 기간에서 상기 제1 노드는 상기 기준전압 입력단으로부터 인가되는 기준전압으로 초기화되는 것을 특징으로 하는 유기발광다이오드 표시장치.

### 청구항 6

제 1 항에 있어서,

상기 고전위 구동전압의 입력단과 상기 제1 노드의 사이에 접속된 보조 커패시터를 더 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

**청구항 7**

제 6 항에 있어서,

상기 보조 커패시터는 상기 제3 기간에서 상기 제1 노드의 전위에 영향을 미치는 킥백 전압의 레벨을 낮추는 것을 특징으로 하는 유기발광다이오드 표시장치.

**청구항 8**

제 1 항에 있어서,

상기 기준전압 입력단에 인가되는 기준전압과 상기 그라운드전압의 입력단에 인가되는 그라운드전압의 차는 상기 유기발광다이오드의 문턱전압 미만인 것을 특징으로 하는 유기발광다이오드 표시장치.

**청구항 9**

제 1 항에 있어서,

상기 베리어블 커패시터는, 아래에서 위로 순차 형성되는 반도체층, 게이트 절연막 및 게이트층으로 구성되어 상기 반도체층과 게이트층 간의 전압에 따라 그의 용량이 가변되는 것을 특징으로 하는 유기발광다이오드 표시장치.

**명세서**

**기술분야**

[0001] 본 발명은 유기발광다이오드 표시장치에 관한 것이다.

**배경기술**

[0002] 최근, 다양한 평판 표시장치들(Flat Panel Display, FPD)에 대한 개발이 가속화되고 있다. 이들 중 특히, 유기 발광다이오드 표시장치는 스스로 발광하는 자발광소자를 이용함으로써 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기발광다이오드 표시장치는 화소마다 유기발광다이오드를 가진다. 유기발광다이오드는 애노드전극과 캐소드 전극 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함한다. 애노드전극과 캐소드전극에 구동전압이 인가 되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광다이오드 표시장치는 유기발광다이오드가 포함된 화소를 매트릭스 형태로 배열하고 화소들의 밝기를 비디오 데이터의 계조에 따라 제어한다. 유기발광다이오드 표시장치는 능동소자인 TFT를 선택적으로 턴-온시켜 화소를 선택하고 스토리지 커패시터(Storage Capacitor)에 저장된 전압으로 화소의 발광을 유지한다.

[0005] 이러한 유기발광다이오드 표시장치는 전압보상 구동방법을 통해 구동 TFT의 문턱전압 변동을 보상한다. 전압보상을 위한 유기발광다이오드 표시장치에서는, 구동 TFT의 게이트에 스토리지 커패시터를 접속하고 구동 TFT의 게이트-드레인 사이에 샘플링 TFT를 접속한 후 샘플링 TFT를 턴 온시켜 구동 TFT를 다이오드-커넥션(diode-connection)시킴으로써 스토리지 커패시터에 구동 TFT의 문턱전압을 저장한다.

[0006] 전압보상 구동방식의 유기발광다이오드 표시장치에서 문턱전압 보상 에러율은 구동 TFT와 샘플링 TFT에 존재하는 기생용량들에 의해 크게 좌우된다. 따라서, 적절하게 화소를 설계하더라도, 상기 문턱전압 보상 에러율은 10-15 % 정도에 이른다. 이러한 문턱전압 보상 에러로 인해 휘도 불균일 또는 잔상 문제가 여전히 심하다.

**발명의 내용**

**해결하려는 과제**

[0007] 따라서, 본 발명의 목적은 전압보상 구동방식에서 문턱전압 보상 에러율을 낮춰 표시품위를 높일 수 있도록 한 유기발광다이오드 표시장치를 제공하는 데 있다.

**과제의 해결 수단**

[0008] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 제1 노드에 접속되는 제어전극, 고전위 구동전압의 입력단에 접 속되는 제1 전극, 제2 노드에 접속되는 제2 전극을 포함하여 구동전류를 제어하는 구동소자; 제1 게이트라인으로부터의 스캔펄스에 응답하여 상기 제1 노드와 제2 노드 사이의 전류 패스를 스위칭하는 제1 TFT; 상기 스캔펄스에 응답하여 데이터라인과 제3 노드 사이의 전류 패스를 스위칭하는 제2 TFT; 제2 게이트라인으로부터의 발광제어펄스에 응답하여 상기 제3 노드와 기준전압 입력단 사이의 전류 패스를 스위칭하는 제3 TFT; 상기 발광제어펄스에 응답하여 상기 제2 노드와 제4 노드 사이의 전류 패스를 스위칭하는 제4 TFT; 상기 제4 노드와 그라운드전압의 입력단 사이에 접속되어 상기 구동전류에 의해 발광하는 유기발광다이오드; 상기 제1 노드와 제3 노드 사이에 접속된 스토리지 커패시터; 및 상기 제1 노드와 상기 제1 게이트라인 사이에 접속되어 상기 제1 TFT의 턴 오프 시에 비해 턴 온 시에 그 용량이 증가하는 베리어블 커패시터를 구비하고; 상기 베리어블 커패시터는 상기 제1 TFT가 턴 온 될 때 상기 제1 TFT의 게이트-소스 간의 기생용량을 증가시킨다.

[0009] 제1 기간 동안, 상기 스캔펄스 및 발광제어펄스는 턴 온 레벨로 유지되고; 제2 기간 동안, 상기 스캔펄스는 턴 온 레벨로 유지되고 상기 발광제어펄스는 턴 오프 레벨로 유지되며; 제3 기간 동안, 상기 스캔펄스 및 발광제어펄스는 턴 오프 레벨로 유지되고; 제4 기간 동안, 상기 스캔펄스는 턴 오프 레벨로 유지되고 상기 발광제어펄스는 턴 온 레벨로 유지된다.

[0010] 상기 베리어블 커패시터의 용량은 상기 제1 및 제2 기간에서 제1 값을 가지고, 상기 제3 및 제4 기간에서 상기 제1 값보다 작은 제2 값을 갖는다.

[0011] 이 유기발광다이오드 표시장치는 상기 스캔펄스에 응답하여 상기 제4 노드와 상기 기준전압 입력단 사이의 전류 패스를 스위칭하는 제5 TFT를 더 구비한다.

[0012] 상기 제1 기간에서 상기 제1 노드는 상기 기준전압 입력단으로부터 인가되는 기준전압으로 초기화된다.

[0013] 이 유기발광다이오드 표시장치는 상기 고전위 구동전압의 입력단과 상기 제1 노드의 사이에 접속된 보조 커패시터를 더 구비한다.

[0014] 상기 보조 커패시터는 상기 제3 기간에서 상기 제1 노드의 전위에 영향을 미치는 킥백 전압의 레벨을 낮춘다.

[0015] 상기 기준전압 입력단에 인가되는 기준전압과 상기 그라운드전압의 입력단에 인가되는 그라운드전압의 차는 상기 유기발광다이오드의 문턱전압 미만이다.

[0016] 상기 베리어블 커패시터는 아래에서 위로 순차 형성되는 반도체층, 게이트 절연막 및 게이트층으로 구성되어 상기 반도체층과 게이트층 간의 전압에 따라 그의 용량이 가변된다.

**발명의 효과**

[0017] 본 발명은 베리어블 커패시터 및/또는 보조 커패시터를 포함하여 전압보상 구동방식에서 문턱전압 보상 에러율을 크게 낮춤으로써, 종래 문턱전압 보상 에러로 인해 발생되던 휘도 불균일 또는 잔상 문제를 해결하여 표시품위를 크게 높일 수 있다.

[0018] 나아가, 본 발명은 초기화 시간에서 유기발광다이오드의 애노드 전압을 낮추어 유기발광다이오드를 비발광상태로 제어하여 명암 대비비를 크게 높일 수 있다.

**도면의 간단한 설명**

- [0019] 도 1은 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 보여주는 블록도.
- 도 2는 베리어블 커패시터의 구조를 보여주는 도면.
- 도 3은 베리어블 커패시터의 용량이 샘플링 TFT의 턴 온시 커지고, 샘플링 TFT의 턴 오프시 작아지는 것을 보여주는 도면.
- 도 4는 도 1에 도시된 발광셀의 제1 실시예를 보여 주는 회로도.
- 도 5는 도 4의 발광셀에 인가되는 구동 신호 파형을 보여 주는 파형도.
- 도 6은 구동소자의 문턱전압 변화에 따른 구동전류를 본 발명과 종래를 비교하여 보여주는 도면.
- 도 7은 도 1에 도시된 발광셀의 제2 실시예를 보여 주는 회로도.
- 도 8은 도 1에 도시된 발광셀의 제3 실시예를 보여 주는 회로도.
- 도 9는 도 8의 발광셀에 인가되는 구동 신호 파형을 보여 주는 파형도.

**발명을 실시하기 위한 구체적인 내용**

- [0020] 이하, 도 1 내지 도 9를 참조하여 본 발명의 바람직한 실시예들에 대하여 상세히 설명하기로 한다.
- [0021] 도 1은 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 보여주는 블록도이다.
- [0022] 도 1을 참조하면, 본 발명의 실시예에 따른 유기발광다이오드 표시장치는  $m \times n$  ( $m$  및  $n$  각각은 양의 정수) 개의 발광셀들(11)이 매트릭스 형태로 배치된 표시패널(10), 데이터전압을 데이터라인들(D1~Dm)에 공급하기 위한 데이터 구동부(13), 제1 게이트라인들(S1~Sn)에 스캔펄스를 순차적으로 공급하기 스캔 구동부(14), 제2 게이트라인들(E1~En)에 발광제어펄스를 순차적으로 공급하기 위한 에미션 구동부(15), 및 상기 구동부들(13~15)을 제어하기 위한 타이밍 컨트롤러(12)를 구비한다.
- [0023] 발광셀들(11)은 데이터라인들(D1~Dm)과 게이트라인들(S1~Sn, E1~En)의 교차로 정의된 화소 영역들에 형성된다. 표시패널(10)의 발광셀들(11)에는 도 4, 도 7 및 도 8과 같이 고전위 구동전압(ELVDD), 저전위 구동전압 또는 그라운드전압(GND), 기준전압(Vref) 등이 공통으로 공급된다. 기준전압(Vref)은 저전위 구동전압 또는 그라운드전압(GND)과의 차가 유기발광다이오드(OLED)의 문턱전압 미만의 전압이 될 수 있도록 유기발광다이오드(OLED)의 문턱전압 미만의 전압으로 설정된다. 이 기준전압(Vref)은 유기발광다이오드(OLED)에 접속된 구동소자의 초기화시에 유기발광다이오드소자(OLED)에 역바이어스를 인가할 수 있도록 부극성 전압으로 설정될 수 있다. 이 경우에, 유기발광다이오드소자(OLED)에 주기적으로 역바이어스가 인가되므로 유기발광다이오드소자(OLED)의 열화를 줄여 그 수명을 연장시킬 수 있다.
- [0024] 발광셀들(11) 각각은 도 4 및 도 7과 같이 유기발광다이오드(OLED), 다수의 TFT들(T1~T5), 구동소자(DT), 스토리지 커패시터(Cst) 및 베리어블(variable) 커패시터(Cvar)를 구비한다. 발광셀들(11) 각각은 도 8과 같이 보조 커패시터(Cst')를 더 구비할 수 있다.
- [0025] 베리어블 커패시터(Cvar)는 도 2와 같이 아래에서 위로 순차 형성되는 반도체층(ACT), 게이트 절연막(GI), 게이트층(GATE)으로 구성되어 반도체층(ACT)과 게이트층(GATE) 간의 전압에 따라 그의 용량이 가변된다. 베리어블 커패시터(Cvar)의 용량은 도 3과 같이 샘플링 TFT를 턴 온 시켜 구동소자의 문턱전압을 센싱할 때에는 커지고, 샘플링 TFT를 턴 오프 시켜 유기발광다이오드를 발광시킬 때에는 작아진다. 도 2에서 'SUB'는 유리기판을, 'PASI'는 보호막을 각각 지시한다.
- [0026] 데이터 구동부(13)는 디지털 비디오 데이터(RGB)를 아날로그 데이터전압(DATA)으로 변환하여 데이터라인들(D1 내지 Dm)에 공급한다. 데이터 구동부(13)는 도 5 및 도 9와 같이 제1 및 제2 기간(T1, T2) 동안 데이터라인들(D1~Dm)에 데이터전압(DATA)을 공급한다.
- [0027] 스캔 구동부(14)는 도 5 및 도 9와 같이 제1 및 제2 기간(T1, T2) 동안 로우논리(턴 온 레벨)로 발생하는 스캔펄스(SCAN)를 발생하고, 쉬프트 레지스터를 이용하여 스캔펄스(SCAN)를 제1 게이트라인들(S1~Sn)에 순차적으로 공급한다. 에미션 구동부(15)는 도 5 및 도 9와 같이 제2 및 제3 기간(T2, T3) 동안 하이논리(턴 오프 레벨)로 발

생되는 발광제어펄스(EM)를 발생하고, 쉬프트 레지스터를 이용하여 그 발광제어펄스(EM)를 제2 게이트라인들(E1~En)에 순차적으로 공급한다.

- [0028] 타이밍 콘트롤러(12)는 디지털 비디오 데이터(RGB)를 데이터 구동부(13)에 공급하고 수직/수평 동기신호와 클럭 신호 등을 이용하여 데이터 구동부(13), 스캔 구동부(14) 및 에미션 구동부(15)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들(CS,CG1,CG2)를 발생한다.
- [0029] 도 4는 도 1에 도시된 발광셀(11)의 제1 실시예를 상세히 보여 주는 회로도이다. 도 5는 도 4에 도시된 발광셀(11)에 인가되는 구동 신호 파형을 보여 주는 파형도이다.
- [0030] 도 4 및 도 5를 참조하면, 발광셀(11)은 구동소자(DT), 제1 내지 제5 TFT(T1 내지 T5), 스토리지 커패시터(Cst), 베리어블 커패시터(Cvar) 및 발광다이오드(OLED)를 구비한다. 제1 내지 제5 TFT들(T1 내지 T5) 및 구동소자(DT)는 p 타입 MOS TFT(Metal Oxide Semiconductor TFT)로 구현된다.
- [0031] 구동소자(DT)는 고전위 구동전압(ELVDD)의 입력단으로부터의 구동전류를 유기발광다이오드(OLED)에 공급하고, 그 구동전류를 게이트-소스간 전압으로 제어한다. 구동소자(DT)의 게이트전극(제어전극)은 제1 노드(N1)에 접속된다. 구동소자(DT)의 소스전극(제1 전극)은 고전위 구동전압(ELVDD)의 입력단에 접속되고, 그 드레인전극(제2 전극)은 제2 노드(N2)에 접속된다.
- [0032] 제1 TFT(T1)는 스캔펄스(SCAN)에 응답하여 제1 노드(N1)와 제2 노드(N2) 사이의 전류 패스를 스위칭한다. 제1 TFT(T1)는 샘플링 TFT로서, 제2 기간(T2) 동안 턴 온 되어 구동소자(DT)를 다이오드-컨택션시킴으로써 구동소자(DT)의 문턱전압을 제1 노드(N1)에 인가한다. 제1 TFT(T1)의 게이트전극은 제1 게이트라인에 접속된다. 제1 TFT(T1)의 소스전극은 제1 노드(N1)에 접속되고, 그 드레인전극은 제2 노드(N2)에 접속된다.
- [0033] 제2 TFT(T2)는 스캔펄스(SCAN)에 응답하여 데이터라인과 제3 노드(N3) 사이의 전류 패스를 스위칭한다. 제2 TFT(T2)는 제2 기간(T2) 동안 턴 온 되어 데이터전압(DATA)을 제3 노드(N3)에 공급한다. 제2 TFT(T2)의 게이트전극은 제1 게이트라인에 접속된다. 제2 TFT(T2)의 소스전극은 데이터라인에 접속되고, 그 드레인전극은 제3 노드(N3)에 접속된다.
- [0034] 제3 TFT(T3)는 발광제어펄스(EM)에 응답하여 제3 노드(N3)와 기준전압(Vref)의 입력단 사이의 전류 패스를 스위칭한다. 제3 TFT(T3)는 제1 및 제4 기간(T1,T4) 동안 턴 온 되어 기준전압(Vref)을 제3 노드(N3)에 인가한다. 제3 TFT(T3)의 게이트전극은 제2 게이트라인에 접속된다. 제3 TFT(T3)의 소스전극은 제3 노드(N3)에 접속되고, 그 드레인전극은 기준전압(Vref)의 입력단에 접속된다.
- [0035] 제4 TFT(T4)는 발광제어펄스(EM)에 응답하여 제2 노드(N2)와 제4 노드(N4) 사이의 전류 패스를 스위칭한다. 제4 TFT(T4)는 제2 및 제3 기간(T2,T3) 동안 턴 오프 되어 구동소자(DT)와 유기발광다이오드(OLED) 사이의 전류 패스를 차단하고, 제1 및 제4 기간(T1,T4) 동안 턴 온 되어 구동소자(DT)와 유기발광다이오드(OLED) 사이의 전류 패스를 형성한다. 제4 TFT(T4)의 게이트전극은 제2 게이트라인에 접속된다. 제4 TFT(T4)의 소스전극은 제2 노드(N2)에 접속되고, 그 드레인전극은 제4 노드(N4)에 접속된다.
- [0036] 제5 TFT(T5)는 스캔펄스(SCAN)에 응답하여 기준전압(Vref)의 입력단과 제4 노드(N4) 사이의 전류 패스를 스위칭한다. 제5 TFT(T5)는 제1 및 제2 기간(T1,T2) 동안 턴 온 되어 제4 노드(N4)에 기준전압(Vref)을 인가한다. 제5 TFT(T5)의 게이트전극은 제1 게이트라인에 접속된다. 제5 TFT(T5)의 소스전극은 제4 노드(N4)에 접속되고, 그 드레인전극은 기준전압(Vref)의 입력단에 접속된다.
- [0037] 스토리지 커패시터(Cst)는 제1 노드(N1)와 제3 노드(N3) 사이에 접속되어 구동소자(DT)의 게이트전압을 유지한다.
- [0038] 베리어블 커패시터(Cvar)는 제1 노드(N1)와 제1 게이트라인 사이에 접속된다. 다시 말해, 베리어블 커패시터(Cvar)는 구동소자(DT)의 게이트전극과 제1 TFT(T1, 샘플링 TFT)의 게이트전극 사이에 접속된다. 본 발명의 출원인은 제2 기간(T2)의 종료시점과 제3 기간(T3)의 시작시점에서 제1 노드(N1)의 전하량이 서로 같다는 전하보존의 법칙을 이용하여 구동소자(DT)의 게이트전압을 계산하고, 그 전압을 구동소자(DT)의 문턱전압에서 미분하여, 구동소자(DT)의 문턱전압 보상 에러율(K)을 계산한 결과, 보상 에러율(K)이 하기 수학적 식 1로 귀결됨을 알 수 있었다.

수학식 1

$$K = \frac{(CgdTdoff+CgsT1on-CgdTdon-CgsTdon-CgsT1off)}{(CgdTdon+CgsTdon+CgsT1off+Cstg)}$$

[0039]

[0040]

수학식 1에서, CgsTdon은 구동소자(DT)가 턴 온 될 때 구동소자(DT)의 게이트-소스 간의 기생용량을, CgdTdon은 구동소자(DT)가 턴 온 될 때 구동소자(DT)의 게이트-드레인 간의 기생용량을, CgsTdoff는 구동소자(DT)가 턴 오프 될 때 구동소자(DT)의 게이트-소스 간의 기생용량을, CgdTdoff는 구동소자(DT)가 턴 오프 될 때 구동소자(DT)의 게이트-드레인 간의 기생용량을, CgsT1on은 제1 TFT(T1)가 턴 온 될 때 제1 TFT(T1)의 게이트-소스 간의 기생용량을, CgsT1off는 제1 TFT(T1)가 턴 오프 될 때 제1 TFT(T1)의 게이트-소스 간의 기생용량을, Cstg는 스토리지 커패시터(Cst)의 용량을 각각 나타낸다.

[0041]

보상 에러율(K)은 '0'이 될 때 가장 이상적이다. 따라서, CgsTdoff + CgsT1on - CgdTdon - CgsTdon - CgsT1off = 0 이되고, 이를 정리하면 CgsT1on - CgsT1off = CgsTdon - CgsTdoff + CgdTdon 이 된다. 이 정리된 수식에서, 좌변은 제1 TFT(T1)와 관련된 인자들이고, 우변은 구동소자(DT)와 관련된 인자들이다. 우변값(CgsTdon - CgsTdoff + CgdTdon)은 원하는 전류량에 의해 특정 고정치로 설계된다. 구동소자(DT)가 제1 TFT(T1)에 훨씬 크므로, 우변값(CgsTdon - CgsTdoff + CgdTdon)은 일반적으로 좌변값(CgsT1on - CgsT1off)보다 크다. 따라서, 보상 에러율(K)이 '0'이 되도록 하기 위해서는 좌변에 있는 CgsT1on을 키워야 한다.

[0042]

베리어블 커패시터(Cvar)는 제1 및 제2 기간(T1,T2) 동안 제1 TFT(T1)가 턴 온 될 때 제1 TFT(T1)의 게이트-소스 간의 기생용량(CgsT1on)을 증가시키기 때문에 구동소자(DT)의 문턱전압 보상 에러율(K)를 획기적으로 줄인다. 시뮬레이션 결과, 문턱전압 보상 에러는 베리어블 커패시터(Cvar)의 접속 전에 있어 11% 였던 것이 베리어블 커패시터(Cvar)의 접속 후에는 2.2% 까지 개선됨을 알 수 있었다.

[0043]

유기발광다이오드(OLED)의 애노드전극과 캐소드전극 사이에는 다층의 유기 화합물층이 형성된다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함한다. 유기발광다이오드(OLED)는 구동소자(DT)의 제어 하에 공급되는 구동전류에 따라 발광제어펄스(EM)가 로우논리로 유지되는 제4 기간(T4) 동안 발광한다. 유기발광다이오드(OLED)의 애노드전극은 제4 노드(N4)에 접속되고, 그 캐소드전극은 그라운드 전압(GND)의 입력단에 접속된다.

[0044]

이 발광셀(11)의 동작을 상세히 설명하면 다음과 같다.

[0045]

제1 기간(T1) 동안, 로우논리의 스캔펄스(SCAN)에 응답하여 제1, 제2 및 제5 TFT(T1,T2,T5)가 턴 온 되고, 로우논리의 발광제어펄스(EM)에 응답하여 제3 및 제4 TFT(T3,T4)가 턴 온 된다. 그 결과, 제1 노드(N1)의 전위(VN1)는 기준전압(Vref)으로 초기화된다. 또한, 제2 및 제4 노드(N2,N4)의 전위도 기준전압(Vref) 레벨로 방전된다. 이때, 기준전압(Vref)과 그라운드전압(GND)의 전압차가 유기발광다이오드(OLED)의 문턱전압 이하이거나 유기발광다이오드(OLED)에 역바이어스가 인가되므로 유기발광다이오드(OLED)의 양단에 전류가 흐르지 않는다.

[0046]

제2 기간(T2) 동안, 로우논리의 스캔펄스(SCAN)에 응답하여 제1, 제2 및 제5 TFT(T1,T2,T5)는 턴 온 상태를 유지한다. 제2 기간(T2)에서, 다이오드 커넥션되는 구동소자(DT)에 의해 구동소자(DT)의 문턱전압(Vth)을 포함한 1차 보상전압(ELVDD+Vth)이 제1 노드(N1)에 인가되고, 데이터전압(DATA)이 제3 노드(N3)에 인가된다. 이때, 베리어블 커패시터(Cvar)의 용량은 도 3과 같이 큰 값을 가지므로, 베리어블 커패시터(Cvar)는 제1 TFT(T1)가 턴 온 될 때 제1 TFT(T1)의 게이트-소스 간의 기생용량(CgsT1on)을 크게 확보하여 센싱의 정확도를 높임으로써, 구동소자(DT)의 문턱전압 보상에러를 낮춘다. 스토리지 커패시터(Cst)는 제1 노드(N1)에 인가된 1차 보상전압(ELVDD+Vth)을 저장한다. 또한, 턴 온 상태로 유지되는 제5 TFT(T5)에 의해 제4 노드(N4)는 기준전압(Vref)을 유지한다. 유기발광다이오드(OLED)는 애노드전압이 기준전압(Vref)으로 낮기 때문에 제2 기간(T2) 동안 비발광 상태를 유지한다. 제2 기간(T2) 동안, 하이논리의 발광제어펄스(EM)에 응답하여 제3 및 제4 TFT(T3,T4)가 턴 오프 된다.

[0047] 제3 기간(T3) 동안, 하이논리의 센싱펄스(SCAN)에 응답하여 제1, 제2 및 제5 TFT(T1,T2,T5)가 턴 오프 된다. 이때, 제1 TFT(T1)의 턴 오프시점에서 발생하는 킱백(kick back) 전압의 영향으로 제1 노드(N1)의 전위(VN1)는 상승하게 된다. 킱백(kick back) 전압( $\Delta V_p$ )은 아래의 수학적 식 2로 결정된다.

수학적 식 2

$$\Delta V_p = \frac{(C_{gsT1} + C_{varg} + C_2)}{C_{gsT1} + C_{varg} + C_{gsTd} + C_2}$$

$$\text{here, } C_2 = \frac{(C_{stg} \times C_{gsT2})}{(C_{stg} + C_{gsT2})}$$

[0048]

[0049] 수학적 식 2에서,  $C_{gsT1}$ 은 제1 TFT(T1)의 게이트-소스 간의 기생용량을,  $C_{varg}$ 는 베리어블 커패시터( $C_{var}$ )의 용량을,  $C_{stg}$ 는 스토리지 커패시터( $C_{st}$ )의 용량을,  $C_{gsT2}$ 는 제2 TFT(T2)의 게이트-소스 간의 기생용량을,  $C_{gsTd}$  구동소자(DT)의 게이트-소스 간의 기생용량을 각각 나타낸다.

킱백 전압( $\Delta V_p$ )은  $C_{stg}$ 와  $C_{gsT2}$ 가 서로 직렬접속되고  $C_{stg}$ 가 매우 작기 때문에 커진다.  $C_{varg}$ 는 제3 기간(T3)에서 도 3과 같이 작은 값을 가진다. 제3 기간(T3)에서 베리어블 커패시터( $C_{var}$ )의 용량( $C_{varg}$ )을 작게 할수록 킱백 전압이 낮아지는 장점이 있다. 제3 기간(T3) 동안, 하이논리의 발광제어펄스(EM)에 응답하여 제3 및 제4 TFT(T3,T4)는 턴 오프 상태를 유지한다.

[0050]

제4 기간(T4) 동안, 하이논리의 센싱펄스(SCAN)에 응답하여 제1, 제2 및 제5 TFT(T1,T2,T5)는 턴 오프 상태를 유지하고, 로우논리의 발광제어펄스(EM)에 응답하여 제3 및 제4 TFT(T3,T4)가 턴 온 된다. 그 결과, 제3 노드(N3)에는 기준전압( $V_{ref}$ )이 인가된다. 제3 노드(N3)의 전위 변동분( $|DATA - V_{ref}|$ )이 반영됨으로써, 제1 노드(N1)의 전위(VN1)는 최종 보상전압( $ELVDD + V_{th} + |DATA - V_{ref}|$ )으로 셋팅된다. 이미 알려진 바와 같이 구동전류는 구동소자(DT)의 게이트-소스간 전압( $V_{gs}$ )과 구동소자(DT)의 문턱전압( $V_{th}$ ) 간 차이값( $V_{gs} - V_{th}$ )에 비례하는 수식으로 결정된다. 상기 최종 보상전압( $ELVDD + V_{th} + |DATA - V_{ref}|$ )에 의해 구동전류 수식은 구동소자(DT)의 문턱전압( $V_{th}$ )에 무관한 인자( $|DATA - V_{ref}|$ )만을 포함하게 된다.

[0051]

이와 같은 전압보상 구동방식에 의하더라도 종래와 같이 문턱전압 보상 에러율이 높으면 도 6의 (A)와 같이 구동전류를 결정하는 차이값( $V_{gs} - V_{th}$ )이 구동소자(DT)의 문턱전압( $V_{th}$ ) 변화에 무관하게 일정하게 유지되지 못하고, 구동소자(DT)의 문턱전압( $V_{th}$ ) 증가에 의해 감소하게 된다. 이는 구동소자(DT)의 문턱전압( $V_{th}$ ) 센싱이 부정확하여 구동전류를 결정하는 차이값( $V_{gs} - V_{th}$ )에서 구동소자(DT)의 문턱전압( $V_{th}$ )이 완전히 상쇄되지 못한데 기인한다. 반면, 본 발명의 실시예에서는 베리어블 커패시터( $C_{var}$ )를 이용하여 구동소자(DT)의 문턱전압( $V_{th}$ )을 정확히 센싱함으로써 도 6의 (B)와 같이 구동전류를 결정하는 차이값( $V_{gs} - V_{th}$ )이 구동소자(DT)의 문턱전압( $V_{th}$ ) 변화에 무관하게 일정하게 유지되도록 한다.

[0052]

도 7은 도 1에 도시된 발광셀(11)의 제2 실시예를 상세히 보여 주는 회로도이다.

[0053]

도 7의 발광셀(11)은 도 4와 비교하여 제5 TFT(T5)를 생략한다. 도 7에 의하면, 제1 기간(T1)에서 제1 노드(N1)를 기준전압( $V_{ref}$ )으로 초기화시킬 수 없지만, 제5 TFT(T5)가 생략되는 만큼 회로를 간소화할 수 있는 잇점이 있다. 그 외에 도 7의 작용 효과는 도 4와 실질적으로 동일하다.

[0054]

도 8은 도 1에 도시된 발광셀(11)의 제3 실시예를 상세히 보여 주는 회로도이다. 도 9는 도 8에 도시된 발광셀(11)에 인가되는 구동 신호 파형을 보여 주는 파형도이다.

[0055]

도 8의 발광셀(11)은 도 4와 비교하여 보조 커패시터( $C_{st}'$ )를 더 구비한다. 보조 커패시터( $C_{st}'$ )는 고전위 구동전압(ELVDD)의 입력단과 제1 노드(N1) 사이에 접속된다. 보조 커패시터( $C_{st}'$ )는 상기 수학적 식 2에서 분모에 포함됨으로써 제3 기간(T3)에서 제1 노드(N1)의 전위에 영향을 미치는 킱백 전압( $\Delta V_p$ )의 레벨을 도 9와 같이 더욱 낮춘다. 킱백 전압( $\Delta V_p$ )이 높으면, 제2 기간(T2)에서의 센싱을 통해 제1 노드(N1)에 저장된 구동소자(DT)의 문턱전압이 제3 기간(T3) 동안 누설되는 부작용이 있다. 누설되는 양이 많을수록 센싱의 정확도가 떨어

진다. 따라서, 킥백 전압( $\Delta V_p$ )을 최대한 낮출 필요가 있다. 도 8의 발광셀(11)에 의하면, 도 4와 비교하여 구동소자(DT)의 문턱전압을 더욱 정확히 센싱할 수 있다는 장점이 있다. 그 외에 도 8의 작용 효과는 도 4와 실질적으로 동일하다.

[0056] 이상에서 설명한 바와 같이, 본 발명은 베리어블 커패시터 및/또는 보조 커패시터를 포함하여 전압보상 구동방식에서 문턱전압 보상 에러율을 크게 낮춤으로써, 종래 문턱전압 보상 에러로 인해 발생되던 휘도 불균일 또는 잔상 문제를 해결하여 표시품위를 크게 높일 수 있다.

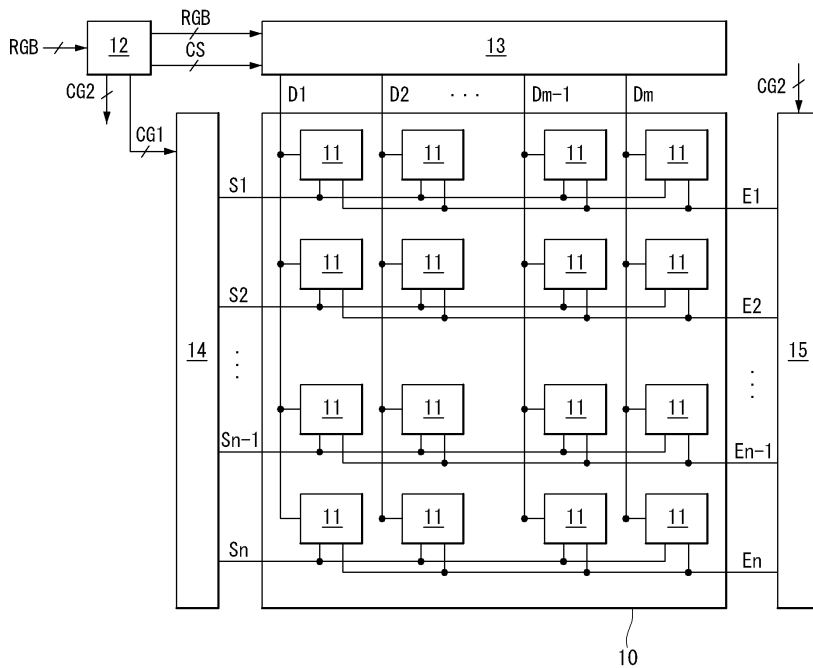
[0057] 나아가, 본 발명은 초기화 시간에서 유기발광다이오드의 애노드 전압을 낮추어 유기발광다이오드를 비발광상태로 제어하여 명암 대비비를 크게 높일 수 있다.

**부호의 설명**

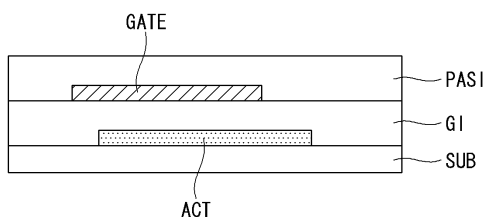
- [0058] 10 : 표시패널
- 11 : 발광셀
- 12 : 타이밍 콘트롤러
- 13 : 데이터 구동부
- 14 : 스캔 구동부
- 15 : 에미션 구동부
- Cvar : 베리어블 커패시터
- Cst' : 보조 커패시터

**도면**

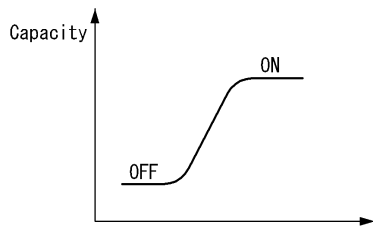
**도면1**



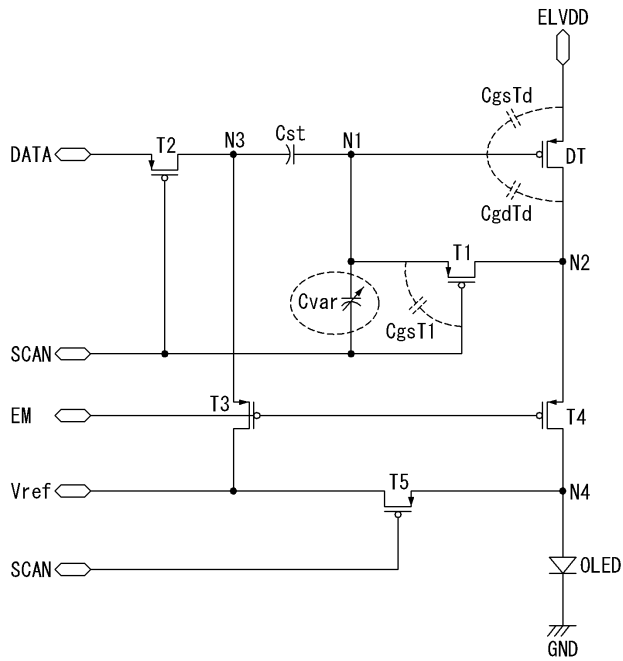
**도면2**



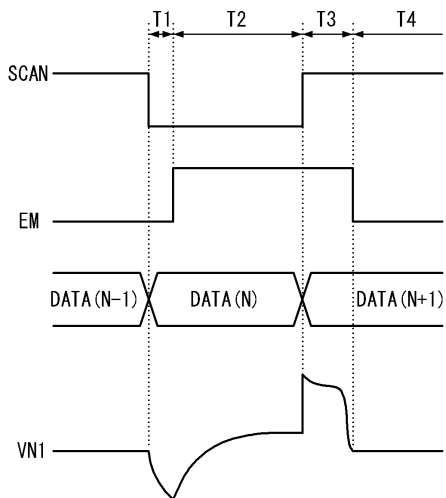
도면3



도면4

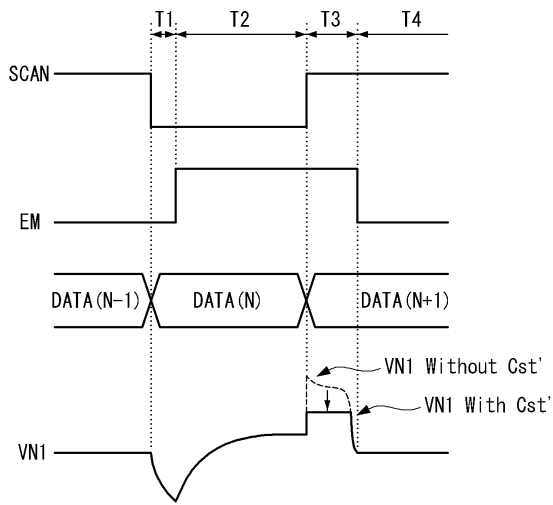


도면5





도면9



专利名称(译)	标题 : OLED显示器件		
公开(公告)号	<a href="#">KR101374477B1</a>	公开(公告)日	2014-03-14
申请号	KR1020100103573	申请日	2010-10-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HASUMITARO 하스미타로 KANG CHANG HEON 강창헌 TAKASUGISHINJI 타카스기신지		
发明人	하스미타로 강창헌 타카스기신지		
IPC分类号	G09G3/30		
CPC分类号	G09G2320/045 G09G3/3225		
其他公开文献	KR1020120042084A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据本发明的OLED显示器，驱动用于控制驱动电流，以连接到第一电极的第二电极，连接到所述控制电极的输入端的第二节点，一个高电位驱动电压被耦合到所述第一节点元；首先，在响应于来自所述栅极线的第一TFT，用于切换所述第一节点和第二节点之间的电流路径的扫描脉冲；第二TFT，用于响应扫描脉冲在数据线和第三节点之间切换电流路径；第三TFT，用于响应于来自第二栅极线的发光控制脉冲，在第三节点和参考电压输入之间切换电流路径；第四节点，用于响应于发光控制脉冲在第二节点和第四节点之间切换电流路径，TFT；有机发光二极管（OLED）连接在第四节点和地电压的输入端之间，以通过驱动电流发光；连接在第一节点和第三节点之间的存储电容器；并且，阻挡电容器连接在第一节点和第一栅极线之间，并且当第一TFT导通/截止时具有可变电容，和。

