



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년05월14일
(11) 등록번호 10-0897171
(24) 등록일자 2009년05월04일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)

G09G 3/20 (2006.01) H03K 19/0175 (2006.01)

(21) 출원번호 10-2007-0075555

(22) 출원일자 2007년07월27일

심사청구일자 2007년07월27일

(65) 공개번호 10-2009-0011700

(43) 공개일자 2009년02월02일

(56) 선행기술조사문헌

KR1020050105388 A*

KR1020060032829 A*

KR1020060053199 A*

KR1020060018766 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

이왕조

경기도 용인시 기흥읍 공세리 428-5 삼성 SDI 중
앙연구소

정보용

서울특별시 송파구 가락2동 173-19호

(뒷면에 계속)

(74) 대리인

신영무

전체 청구항 수 : 총 7 항

심사관 : 조기덕

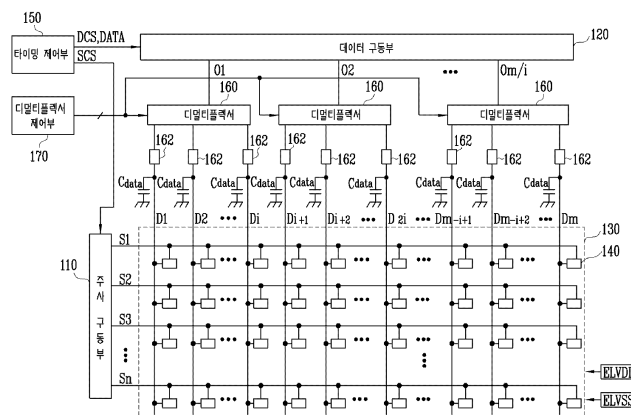
(54) 유기전계발광 표시장치

(57) 요약

본 발명은 디지털 구동에 적용할 수 있도록 한 유기전계발광 표시장치에 관한 것이다.

본 발명은 한 프레임을 복수의 서브 프레임으로 나누어 구동하는 유기전계발광 표시장치에 있어서, 상기 서브 프레임의 1수평기간 중 제 1기간 동안 출력선으로 복수의 데이터신호를 공급하기 위한 데이터 구동부와; 상기 1수평기간 중 제 2기간 동안 주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부와; 상기 출력선마다 설치되며 상기 복수의 데이터신호를 복수의 데이터선으로 분할하여 공급하기 위한 디멀티플렉서들과; 상기 데이터선 각각과 상기 디멀티플렉서 사이에 설치되며 피모스(PMOS) 트랜지스터들을 포함하는 버퍼들과; 상기 주사선들 및 데이터선들의 교차부에 위치되며 상기 데이터신호에 대응하는 화상을 표시하기 위한 화소들을 구비하며; 상기 버퍼들 각각은 제 1전원 및 상기 제 1전원보다 낮은 전압값을 가지는 제 2전원의 사이에 접속되며, 제 1입력단자로 공급되는 전압레벨에 대응하여 출력부와 접속되는 제 1출력단자의 전압을 제어하는 입력부와; 상기 제 1전원 및 제 2전원 사이에 접속되며, 상기 제 1출력단자로 공급되는 전압에 대응하여 제 2출력단자로 상기 제 1전원 및 제 2전원 중 어느 하나의 전압을 출력하기 위한 상기 출력부를 구비하고; 상기 입력부는 상기 제 1출력단자와 상기 제 1전원 사이에 접속되며 상기 제 1입력단자로 공급되는 전압에 대응하여 구동되는 제 7트랜지스터와; 상기 제 1출력단자와 상기 제 2전원 사이에 접속되는 제 5트랜지스터와; 상기 제 5트랜지스터의 게이트전극과 상기 제 2전원 사이에 접속되며, 자신의 게이트전극이 상기 제 2전원에 접속되는 제 6트랜지스터와; 상기 제 5트랜지스터의 게이트전극과 제 1전극 사이에 접속되는 제 2커패시터를 구비한다.

대표도



(72) 발명자

최상무

경기도 수원시 영통구 영통동 1027-5번지 303호

김형수

경기도 용인시 기흥읍 공세리 428-5 삼성 SDI 중앙
연구소

특허청구의 범위

청구항 1

한 프레임을 복수의 서브 프레임으로 나누어 구동하는 유기전계발광 표시장치에 있어서;

상기 서브 프레임의 1수평기간 중 제 1기간 동안 출력선으로 복수의 데이터신호를 공급하기 위한 데이터 구동부와;

상기 1수평기간 중 제 2기간 동안 주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부와;

상기 출력선마다 설치되며 상기 복수의 데이터신호를 복수의 데이터선으로 분할하여 공급하기 위한 디멀티플렉서들과;

상기 데이터선 각각과 상기 디멀티플렉서 사이에 설치되며 피모스(PMOS) 트랜지스터들을 포함하는 버퍼들과;

상기 주사선들 및 데이터선들의 교차부에 위치되며 상기 데이터신호에 대응하는 화상을 표시하기 위한 화소들을 구비하며;

상기 버퍼들 각각은

제 1전원 및 상기 제 1전원보다 낮은 전압값을 가지는 제 2전원의 사이에 접속되며, 제 1입력단자로 공급되는 전압레벨에 대응하여 출력부와 접속되는 제 1출력단자의 전압을 제어하는 입력부와;

상기 제 1전원 및 제 2전원 사이에 접속되며, 상기 제 1출력단자로 공급되는 전압에 대응하여 제 2출력단자로 상기 제 1전원 및 제 2전원 중 어느 하나의 전압을 출력하기 위한 상기 출력부를 구비하고;

상기 입력부는

상기 제 1출력단자와 상기 제 1전원 사이에 접속되며 상기 제 1입력단자로 공급되는 전압에 대응하여 구동되는 제 7트랜지스터와;

상기 제 1출력단자와 상기 제 2전원 사이에 접속되는 제 5트랜지스터와;

상기 제 5트랜지스터의 게이트전극과 상기 제 2전원 사이에 접속되며, 자신의 게이트전극이 상기 제 2전원에 접속되는 제 6트랜지스터와;

상기 제 5트랜지스터의 게이트전극과 제 1전극 사이에 접속되는 제 2커패시터를 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1항에 있어서,

상기 출력부는

상기 제 1전원과 상기 제 2출력단자 사이에 접속되며, 게이트전극이 상기 제 1출력단자와 접속되는 제 1트랜지스터와;

상기 제 2출력단자와 상기 제 2전원 사이에 접속되는 제 2트랜지스터와;

상기 제 2트랜지스터의 게이트전극과 제 1전극 사이에 접속되며, 게이트전극이 상기 제 1출력단자와 접속되는 제 3트랜지스터와;

상기 제 2트랜지스터의 게이트전극과 상기 제 2전원 사이에 접속되며, 게이트전극이 상기 제 1입력단자에 접속되는 제 4트랜지스터와;

상기 제 2트랜지스터의 게이트전극과 제 1전극 사이에 접속되는 제 1커패시터를 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 6

제 1항에 있어서,

상기 출력부는

상기 제 1전원과 상기 제 2출력단자 사이에 접속되며, 게이트전극이 상기 제 1출력단자와 접속되는 제 1트랜지스터와;

상기 제 2출력단자와 상기 제 2전원 사이에 접속되는 제 2트랜지스터와;

상기 제 2트랜지스터의 게이트전극과 상기 제 2전원 사이에 접속되며, 게이트전극이 상기 제 1입력단자에 접속되는 제 4트랜지스터와,

상기 제 2트랜지스터의 게이트전극과 제 1전극 사이에 접속되는 제 1커패시터를 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 7

제 1항에 있어서,

상기 출력부는

상기 제 1전원과 상기 제 2출력단자 사이에 접속되며, 게이트전극이 상기 제 1출력단자와 접속되는 제 1트랜지스터와;

상기 제 2출력단자와 상기 제 2전원 사이에 접속되는 제 2트랜지스터와;

자신의 게이트전극 및 제 2전극이 상기 제 2전원에 접속되며, 제 1전극이 상기 제 2트랜지스터의 게이트전극에 접속되는 제 4트랜지스터와,

상기 제 2트랜지스터의 게이트전극과 제 1전극 사이에 접속되는 제 1커패시터를 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 8

제 1항에 있어서,

상기 제 1기간 동안 상기 복수의 데이터신호를 상기 복수의 데이터선으로 분할될 수 있도록 서로 중첩되지 않는 복수의 제어신호를 공급하기 위한 디멀티플렉서 제어부를 더 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 9

제 8항에 있어서,

상기 디멀티플렉서들 각각은 상기 복수의 제어신호에 대응하여 서로 다른 시점에 턴-온되는 복수의 스위칭소자를 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 10

제 1항에 있어서,

상기 버퍼들로부터 상기 데이터선들로 공급된 데이터신호는 상기 데이터선들 각각에 등가적으로 형성되는 기생

커패시터에 충전된 후 상기 제 2기간 동안 상기 화소들로 공급되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 11

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <18> 본 발명은 유기전계발광 표시장치에 관한 것으로, 특히 디지털 구동에 적용할 수 있도록 한 유기전계발광 표시장치에 관한 것이다.
- <19> 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기전계발광 표시장치(Organic Light Emitting Display) 등이 있다.
- <20> 평판표시장치 중 유기전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드(Organic Light Emitting Diode : OLED)들을 이용하여 화상을 표시한다. 이러한, 유기전계발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.
- <21> 도 1은 종래의 유기전계발광 표시장치의 화소를 나타내는 회로도이다.
- <22> 도 1을 참조하면, 종래의 유기전계발광 표시장치의 화소(4)는 유기 발광 다이오드(OLED)와, 데이터선(Dm) 및 주사선(Sn)에 접속되어 유기 발광 다이오드(OLED)를 제어하기 위한 화소회로(2)를 구비한다.
- <23> 유기 발광 다이오드(OLED)의 애노드전극은 화소회로(2)에 접속되고, 캐소드전극은 제 2전원(ELVSS)에 접속된다. 이와 같은 유기 발광 다이오드(OLED)는 화소회로(2)로부터 공급되는 전류에 대응되어 소정 휘도의 빛을 생성한다.
- <24> 화소회로(2)는 주사선(Sn)에 주사신호가 공급될 때 데이터선(Dm)으로 공급되는 데이터신호에 대응되어 유기 발광 다이오드(OLED)로 공급되는 전류량을 제어한다. 이를 위해, 화소회로(2)는 제 1전원(ELVDD)과 유기 발광 다이오드(OLED) 사이에 접속된 제 2트랜지스터(M2)와, 제 2트랜지스터(M2), 데이터선(Dm) 및 주사선(Sn)의 사이에 접속된 제 1트랜지스터(M1)와, 제 2트랜지스터(M2)의 게이트전극과 제 1전극 사이에 접속된 스토리지 커패시터(Cst)를 구비한다.
- <25> 제 1트랜지스터(M1)의 게이트전극은 주사선(Sn)에 접속되고, 제 1전극은 데이터선(Dm)에 접속된다. 그리고, 제 1트랜지스터(M1)의 제 2전극은 스토리지 커패시터(Cst)의 일측단자에 접속된다. 여기서, 제 1전극은 소오스전극 및 드레인전극 중 어느 하나로 설정되고, 제 2전극은 제 1전극과 다른 전극으로 설정된다. 예를 들어, 제 1전극이 소오스전극으로 설정되면 제 2전극은 드레인전극으로 설정된다. 주사선(Sn) 및 데이터선(Dm)에 접속된 제 1트랜지스터(M1)는 주사선(Sn)으로부터 주사신호가 공급될 때 턴-온되어 데이터선(Dm)으로부터 공급되는 데이터신호를 스토리지 커패시터(Cst)로 공급한다. 이때, 스토리지 커패시터(Cst)는 데이터신호에 대응되는 전압을 충전한다.
- <26> 제 2트랜지스터(M2)의 게이트전극은 스토리지 커패시터(Cst)의 일측단자에 접속되고, 제 1전극은 스토리지 커패시터(Cst)의 다른측단자 및 제 1전원(ELVDD)에 접속된다. 그리고, 제 2트랜지스터(M2)의 제 2전극은 유기 발광 다이오드(OLED)의 애노드전극에 접속된다. 이와 같은 제 2트랜지스터(M2)는 스토리지 커패시터(Cst)에 저장된 전압값에 대응하여 제 1전원(ELVDD)으로부터 유기 발광 다이오드(OLED)로 흐르는 전류량을 제어한다. 이때, 유기 발광 다이오드(OLED)는 제 2트랜지스터(M2)로부터 공급되는 전류량에 대응되는 빛을 생성한다.
- <27> 하지만, 이와 같은 종래의 유기전계발광 표시장치의 화소들은 스토리지 커패시터(Cst)에 저장된 전압을 이용하여 계조를 표시하기 때문에 원하는 계조를 정확히 표현하는데 어려움이 있다.(아날로그 구동) 실제로, 스토리지 커패시터(Cst)에 저장될 수 있는 일정전압을 이용하여 다수의 계조를 표현해야 하기 때문에 인접 계조간의

밝기차가 정확히 표현되기 곤란하다.

- <28> 그리고, 종래의 유기전계발광 표시장치들에 포함되는 제 2트랜지스터(M2)는 공정편차에 의하여 화소들(4) 마다 문턱전압 및 전자 이동도 등이 상이하게 설정된다. 이와 같이 화소들(4) 마다 제 2트랜지스터(M2)의 문턱전압 및 전자 이동도의 편차가 발생되면 동일한 게조 전압에 대하여 화소들(4) 마다 서로 다른 게조의 빛이 생성되고, 이에 따라 균일한 휘도의 영상을 표시할 수 없는 문제점이 있다

발명이 이루고자 하는 기술적 과제

- <29> 따라서, 본 발명의 목적은 디지털 구동을 이용하여 균일한 휘도의 영상을 제공하는 것이다.
- <30> 본 발명의 또 다른 목적은 디지털 구동에 디멀티플렉서를 적용할 때 피모스(PMOS)로 이루어진 버퍼를 이용하여 구동능력을 향상시킴과 동시에 제조비용을 저감하는 것이다.

발명의 구성 및 작용

- <31> 상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 한 프레임을 복수의 서브 프레임으로 나누어 구동하는 유기전계발광 표시장치에 있어서, 상기 서브 프레임의 1수평기간 중 제 1기간 동안 출력선으로 복수의 데이터신호를 공급하기 위한 데이터 구동부와; 상기 1수평기간 중 제 2기간 동안 주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부와; 상기 출력선마다 설치되며 상기 복수의 데이터신호를 복수의 데이터선으로 분할하여 공급하기 위한 디멀티플렉서들과; 상기 데이터선 각각과 상기 디멀티플렉서 사이에 설치되며 피모스(PMOS) 트랜지스터들을 포함하는 버퍼들과; 상기 주사선들 및 데이터선들의 교차부에 위치되며 상기 데이터신호에 대응하는 화상을 표시하기 위한 화소들을 구비하며; 상기 버퍼들 각각은 제 1전원 및 상기 제 1전원보다 낮은 전압값을 가지는 제 2전원의 사이에 접속되며, 제 1입력단자로 공급되는 전압레벨에 대응하여 출력부와 접속되는 제 1출력단자의 전압을 제어하는 입력부와; 상기 제 1전원 및 제 2전원 사이에 접속되며, 상기 제 1출력단자로 공급되는 전압에 대응하여 제 2출력단자로 상기 제 1전원 및 제 2전원 중 어느 하나의 전압을 출력하기 위한 상기 출력부를 구비하고; 상기 입력부는 상기 제 1출력단자와 상기 제 1전원 사이에 접속되며 상기 제 1입력단자로 공급되는 전압에 대응하여 구동되는 제 7트랜지스터와; 상기 제 1출력단자와 상기 제 2전원 사이에 접속되는 제 5트랜지스터와; 상기 제 5트랜지스터의 게이트전극과 상기 제 2전원 사이에 접속되며, 자신의 게이트전극이 상기 제 2전원에 접속되는 제 6트랜지스터와; 상기 제 5트랜지스터의 게이트전극과 제 1전극 사이에 접속되는 제 2커패시터를 구비한다.
- <32> 바람직하게, 상기 출력부는 상기 제 1전원과 상기 제 2출력단자 사이에 접속되며, 게이트전극이 상기 제 1출력단자와 접속되는 제 1트랜지스터와; 상기 제 2출력단자와 상기 제 2전원 사이에 접속되는 제 2트랜지스터와; 상기 제 2트랜지스터의 게이트전극과 제 1전극 사이에 접속되며, 게이트전극이 상기 제 1출력단자와 접속되는 제 3트랜지스터와; 상기 제 2트랜지스터의 게이트전극과 상기 제 2전원 사이에 접속되며, 게이트전극이 상기 제 1입력단자에 접속되는 제 4트랜지스터와, 상기 제 2트랜지스터의 게이트전극과 제 1전극 사이에 접속되는 제 1커패시터를 구비한다.
- <33> 삭제
- <34> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예를 첨부된 도 2 내지 도 10을 참조하여 상세히 설명하면 다음과 같다.
- <35> 도 2는 본 발명의 제 1실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.
- <36> 도 2를 참조하면, 본 발명의 제 1실시예에 의한 유기전계발광 표시장치는 주사 구동부(110), 데이터 구동부(120), 화소부(130), 타이밍 제어부(150), 디멀티플렉서들(160), 디멀티플렉서 제어부(170) 및 데이터 커패시터들(Cdata)을 구비한다.
- <37> 타이밍 제어부(150)는 외부로부터 공급되는 동기신호들에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)를 생성한다. 타이밍 제어부(150)에서 생성된 데이터 구동제어신호(DCS)는 데이터 구동부(120)로 공급되고, 주사 구동제어신호(SCS)는 주사 구동부(110)로 공급된다. 그리고, 타이밍 제어부(150)는 외부로부터 공급되는 데이터(Data)를 데이터 구동부(120)로 공급한다.
- <38> 데이터 구동부(120)는 한 프레임에 포함된 복수의 서브 프레임 기간의 수평기간마다 각각의 출력선(01 내지

0m/i)으로 복수의 데이터신호를 순차적으로 공급한다. 예를 들어, 디멀티플렉서(160)들 각각이 3개의 데이터선들(D)과 접속되는 경우 데이터 구동부(120)는 서브 프레임 기간의 한 수평기간마다 각각의 출력선(01 내지 0m/i)으로 3개의 데이터신호를 순차적으로 공급한다.

- <39> 여기서, 데이터신호는 화소(140)가 발광할 수 있는 제 1데이터신호와 화소(140)가 발광하지 않는 제 2데이터신호로 나누어진다. 즉, 데이터 구동부(120)는 각각의 서브 프레임 기간의 수평기간마다 화소(140)의 발광여부를 제어하는 제 1데이터신호 및/또는 제 2데이터신호를 출력선들(01 내지 0m/i)로 공급한다.
- <40> 주사 구동부(110)는 각각의 서브 프레임 기간마다 주사선들(S1 내지 Sn)로 주사신호를 공급한다. 주사선들(S1 내지 Sn)로 주사신호가 공급되면 화소(140)들이 라인별로 선택되고, 선택된 화소들(140)은 데이터선들(D1 내지 Dm)로부터 제 1데이터신호 또는 제 2데이터신호를 공급받는다.
- <41> 화소부(130)는 외부로부터 제 3전원(ELVDD) 및 제 4전원(ELVSS)을 공급받아 각각의 화소들(140)로 공급한다. 제 3전원(ELVDD) 및 제 4전원(ELVSS)을 공급받은 화소들(140) 각각은 주사신호가 공급될 때 데이터신호(제 1데이터신호 또는 제 2데이터신호)를 공급받고, 공급받은 데이터신호에 대응하여 각각의 서브 프레임 기간 동안 발광 또는 비발광된다.
- <42> 디멀티플렉서(160)는 각각의 출력선(01 내지 0m/i) 마다 설치된다. 이와 같은 디멀티플렉서(160)는 i(i는 자연수)개의 데이터선들(D)과 접속되어 출력선(01 내지 0m/i) 각각으로 공급되는 i개의 데이터신호를 i개의 데이터선들(D)로 공급한다. 다시 말하여, 디멀티플렉서(160)는 1개의 출력선으로 공급되는 i개의 데이터신호를 i개의 데이터선들(D)로 분할하여 공급하고, 이에 따라 데이터 구동부(120)와 접속되는 출력선의 수를 저감할 수 있다. 예를 들어, i를 3으로 가정하게 되면 데이터 구동부(120)에 포함되는 출력선(0)의 수는 디멀티플렉서(160)를 포함하지 않는 경우보다 1/3수준으로 감소되고, 이에 따라 제조비용을 절감할 수 있다.
- <43> 디멀티플렉서 제어부(170)는 출력선(0) 각각으로 공급되는 i개의 데이터신호가 i개의 데이터선들(D)로 분할되어 공급될 수 있도록 수평기간 동안 i개의 제어신호를 디멀티플렉서(160) 각각으로 공급한다. 여기서, 각각의 데이터선들(D)로 안정적으로 데이터신호가 공급될 수 있도록 수평기간 동안 공급되는 i개의 제어신호는 서로 중첩되지 않는다. 한편, 도 2에서는 디멀티플렉서 제어부(170)가 타이밍 제어부(150)의 외부에 설치된 것으로 도시되었지만, 본 발명의 실시예에서 디멀티플렉서 제어부(170)는 타이밍 제어부(150)의 내부에 설치될 수도 있다.
- <44> 데이터 커패시터들(Cdata)은 데이터선들(D) 각각에 존재하는 기생 커패시터를 등가적으로 나타내는 것이다. 이와 같은 데이터 커패시터들(Cdata)은 데이터선(D)으로 공급되는 데이터신호를 임시 저장하고, 저장된 데이터신호를 화소(140)로 공급한다.
- <45> 도 3은 본 발명의 한 프레임을 개략적으로 나타내는 도면이다. 이후, 설명의 편의성을 위하여 각각의 디멀티플렉서(160)에는 3개의 데이터선이 접속된다고 가정하기로 한다.(즉, i=3)
- <46> 도 3을 참조하면, 본 발명의 한 프레임(1F)은 복수의 서브 프레임(SF1 ~ SF8)으로 나누어 구동된다.(디지털 구동) 여기서, 각각의 서브 프레임(SF1 ~ SF8)은 주사신호를 공급하기 위한 주사기간, 주사기간 동안 제 1데이터신호를 공급받은 화소들(140)이 발광되는 발광기간으로 나누어 구동된다.
- <47> 주사기간 동안 주사선들(S1 내지 Sn)로는 주사신호가 공급된다. 이때, 디멀티플렉서(160)에 의하여 분할되어 3개의 데이터선(D)로 공급된 데이터신호가 화소들(140)로 공급된다. 여기서, 주사신호를 공급받은 화소들(140) 각각은 제 1데이터신호 또는 제 2데이터신호를 공급받는다.
- <48> 발광기간 동안 화소들(140) 각각은 주사기간 동안 공급된 제 1데이터신호 또는 제 2데이터신호를 유지하면서 발광 또는 비발광된다. 즉, 주사기간 동안 제 1데이터신호를 공급받은 화소들(140)은 해당 서브 프레임기간 동안 발광상태로 설정되고, 제 2데이터신호를 공급받은 화소들(140)은 해당 서브 프레임기간 동안 비발광상태로 설정된다.
- <49> 소정의 계조를 표현하기 위하여 서브 프레임(SF1 ~ SF8) 각각에서 발광기간은 상이하게 설정된다. 예를 들어, 256계조로 화상을 표시하고자 하는 경우 도 3과 같이 한 프레임이 8개의 서브 프레임(SF1 ~ SF8)으로 나누어진다. 그리고, 8개의 서브 프레임(SF1 ~ SF8) 각각에서 발광기간은 2^n (n=0,1,2,3,4,5,6,7)의 비율로 증가된다. 즉, 본 발명에서는 각각의 서브 프레임에서 화소들(140)의 발광여부를 제어하면서 소정 계조의 영상을 표시한다. 다시 말하여, 본 발명에서는 서브 프레임 기간 동안 화소가 발광되는 시간의 합을 이용하여 한 프레임 기간 동안 소정의 계조를 표현한다.

- <50> 한편, 도 3에서 도시된 한 프레임은 본 발명의 일례로써 본 발명이 이에 한정되지 않는다. 예를 들어, 한 프레임은 10개 이상의 서브 프레임으로 분할될 수 있고, 각 서브 프레임의 발광기간도 설계자에 의하여 다양하게 설정될 수 있다. 그리고, 각각의 서브 프레임에는 주사기간 및 발광기간 이외에 리셋기간이 추가로 포함될 수 있다. 리셋기간은 화소들(140)을 초기 상태로 설정하기 위하여 사용된다.
- <51> 이와 같이 디지털 구동은 화소들의 온 또는 오프 상태를 이용하여 계조를 표현하기 때문에 화소들 각각에 포함되는 구동 트랜지스터의 불균일과 무관하게 균일한 휘도의 영상을 표시할 수 있는 장점이 있다. 또한, 본 발명에서는 발광시간을 이용하여 계조를 표현하기 때문에 원하는 계조를 정확히 표현할 수 있는 장점이 있다. 다시 말하여, 일정 전압을 분압하여 계조를 표현하지 않고, 발광시간을 이용하여 계조를 표현하기 때문에 좀더 정확한 계조를 표현할 수 있는 장점이 있다.
- <52> 도 4는 도 2에 도시된 디멀티플렉서의 내부 회로도를 나타내는 도면이다. 도 4에서는 설명의 편의성을 위하여 제 1출력선(O1)과 접속된 디멀티플렉서(160)를 도시하기로 한다.
- <53> 도 4를 참조하면, 디멀티플렉서(160) 각각은 제 1스위칭소자(T1)(또는 트랜지스터), 제 2스위칭소자(T2) 및 제 3스위칭소자(T3)를 구비한다.
- <54> 제 1스위칭소자(T1)는 제 1출력선(O1)과 제 1데이터선(D1) 사이에 접속된다. 이와 같은 제 1스위칭소자(T1)는 디멀티플렉서 제어부(170)로부터 제 1제어신호(CS1)가 공급될 때 턴-온되어 제 1출력선(O1)으로 공급되는 데이터신호를 제 1데이터선(D1)으로 공급한다. 그러면, 제 1데이터선(D1)과 접속된 제 1데이터 커패시터(Cdata1)에 데이터신호에 대응되는 전압이 저장된다.
- <55> 제 2스위칭소자(T2)는 제 1출력선(O1)과 제 2데이터선(D2) 사이에 접속된다. 이와 같은 제 2스위칭소자(T2)는 디멀티플렉서 제어부(170)로부터 제 2제어신호(CS2)가 공급될 때 턴-온되어 제 1출력선(O1)으로 공급되는 데이터신호를 제 2데이터선(D2)으로 공급한다. 그러면, 제 2데이터선(D2)과 접속된 제 2데이터 커패시터(Cdata2)에 데이터신호에 대응되는 전압이 저장된다.
- <56> 제 3스위칭소자(T3)는 제 1출력선(O1)과 제 3데이터선(D3) 사이에 접속된다. 이와 같은 제 3스위칭소자(T3)는 디멀티플렉서 제어부(170)로부터 제 3제어신호(CS3)가 공급될 때 턴-온되어 제 1출력선(O1)으로 공급되는 데이터신호를 제 3데이터선(D3)으로 공급한다. 그러면, 제 3데이터선(D3)과 접속된 제 3데이터 커패시터(Cdata3)에 데이터신호에 대응되는 전압이 저장된다.
- <57> 즉, 디멀티플렉서(160)는 하나의 출력선(O1)으로 공급되는 3개의 데이터신호를 3개의 데이터선(D1, D2, D3)으로 분할하여 공급하기 때문에 제조비용을 절감할 수 있는 장점이 있다.
- <58> 하지만, 도 4와 같이 디멀티플렉서(160)로부터 데이터선(D1, D2, D3)으로 데이터신호를 공급하는 경우 데이터 커패시터들(Cdata1, Cdata2, Cdata3)의 용량 등에 의하여 딜레이가 발생하는 문제점이 있다. 이와 같은 문제점을 극복하기 위하여 도 5와 같은 본 발명의 제 2실시예에 의한 유기전계발광 표시장치가 제안된다.
- <59> 도 5는 본 발명의 제 2실시예에 의한 유기전계발광 표시장치를 나타낸다. 도 5를 설명할 때 도 2와 동일한 부분은 동일한 도면부호를 할당함과 아울러 상세한 설명은 생략하기로 한다.
- <60> 도 5를 참조하면, 본 발명의 제 2실시예에 의한 유기전계발광 표시장치는 디멀티플렉서(160)와 데이터선(D) 각각의 사이에 버퍼(162)가 추가로 구비된다.
- <61> 디멀티플렉서(160)는 출력선(O)으로 공급되는 복수의 데이터신호를 복수의 데이터선(D)으로 분할하여 공급한다.
- <62> 버퍼(162)는 디멀티플렉서(160)로부터 공급되는 데이터신호를 데이터 커패시터(Cdata)로 전달한다. 디멀티플렉서(160)로부터의 데이터신호가 버퍼(162)를 경유하여 공급되기 때문에 딜레이 등을 최소화할 수 있다. 또한, 버퍼(162)를 경유하여 데이터신호가 공급되면 전압손실 등이 최소화되어 구동능력을 향상시킬 수 있다.
- <63> 데이터 커패시터(Cdata)는 버퍼(162)로부터 공급되는 데이터신호를 임시 저장한다. 데이터 커패시터(Cdata)에 저장된 데이터신호는 주사신호에 의하여 선택된 화소로 공급된다.
- <64> 도 6은 도 5에 도시된 디멀티플렉서 및 버퍼를 나타내는 도면이다. 도 7은 디멀티플렉서로 공급되는 구동파형을 나타내는 파형도이다. 도 6 및 도 7에서는 설명의 편의성을 위하여 제 1출력선(O1)과 접속된 디멀티플렉서(160)를 도시하기로 한다.

- <65> 도 6 및 도 7을 참조하면, 버퍼들(162) 각각은 디멀티플렉서(160)에 포함되는 스위칭소자들(T1, T2, T3) 중 어느 하나와 접속되도록 설치된다. 여기서, 버퍼들(162)은 PMOS 트랜지스터들로 구성된다. 이와 같은 버퍼들(162)의 상세한 구성에 대해서는 후술하기로 한다.
- <66> 동작과정을 설명하면, 먼저 서브 프레임의 1수평기간 중 제 1기간 동안 제 1제어신호(CS1) 내지 제 3제어신호(CS3)가 순차적으로 공급된다.
- <67> 제 1제어신호(CS1)가 공급되면 제 1스위칭소자(T1)가 턴-온된다. 제 1스위칭소자(T1)가 턴-온되면 출력선(O1)으로 공급되는 데이터신호(R)가 버퍼(162)를 경유하여 제 1데이터 커패시터(Cdata1)로 공급되고, 이에 따라 제 1데이터 커패시터(Cdata1)에 데이터신호(R)에 대응하는 전압이 충전된다. 여기서, 데이터신호(R)가 버퍼(162)를 경유하여 제 1데이터 커패시터(Cdata1)로 공급되기 때문에 전압 손실 및 딜레이 등을 최소화할 수 있다.
- <68> 제 2제어신호(CS2)가 공급되면 제 2스위칭소자(T2)가 턴-온된다. 제 2스위칭소자(T2)가 턴-온되면 출력선(O1)으로 공급되는 데이터신호(G)가 버퍼(162)를 경유하여 제 2데이터 커패시터(Cdata2)로 공급되고, 이에 따라 제 2데이터 커패시터(Cdata2)에 데이터신호(G)에 대응하는 전압이 충전된다. 여기서, 데이터신호(G)가 버퍼(162)를 경유하여 제 2데이터 커패시터(Cdata2)로 공급되기 때문에 전압 손실 및 딜레이 등을 최소화할 수 있다.
- <69> 제 3제어신호(CS3)가 공급되면 제 3스위칭소자(T3)가 턴-온된다. 제 3스위칭소자(T3)가 턴-온되면 출력선(O1)으로 공급되는 데이터신호(B)가 버퍼(162)를 경유하여 제 3데이터 커패시터(Cdata3)로 공급되고, 이에 따라 제 3데이터 커패시터(Cdata3)에 데이터신호(B)에 대응하는 전압이 충전된다. 여기서, 데이터신호(B)가 버퍼(162)를 경유하여 제 3데이터 커패시터(Cdata3)로 공급되기 때문에 전압 손실 및 딜레이 등을 최소화할 수 있다.
- <70> 이후, 제 2기간 동안 주사선(Sn)으로 주사신호가 공급된다. 주사선(Sn)으로 주사신호가 공급되면 주사선(Sn)과 접속된 화소(140)들로 데이터 커패시터들(Cdata1, Cdata2, Cdata3)에 충전된 전압이 공급된다. 그러면, 화소들(140) 각각은 데이터신호에 대응하여 소정기간 동안 발광 또는 비발광 상태로 설정된다.
- <71> 도 8은 도 5에 도시된 버퍼의 구성을 나타내는 제 1실시예이다.
- <72> 도 8을 참조하면, 본 발명의 제 1실시예에 의한 버퍼는 입력부(100)와 출력부(102)를 구비한다. 여기서, 입력부(100) 및 출력부(102) 각각에 포함되는 트랜지스터들(M1 내지 M7)은 피모스(PMOS) 형으로 형성된다.
- <73> 출력부(102)는 입력부(100)로부터 하이(제 1전원(VDD)) 또는 로우(제 2전원(VSS))의 전압과 입력단자(in)로 입력되는 전압에 대응하여 출력단자(out)(또는 제 2출력단자)로 하이 또는 로우의 전압을 출력한다.
- <74> 이를 위하여, 출력부(102)는 제 1전원(VDD)과 출력단자(out) 사이에 접속되는 제 1트랜지스터(M1)와, 출력단자(out)와 제 2전원(VSS) 사이에 접속되는 제 2트랜지스터(M2)와, 제 2트랜지스터(M2)의 게이트전극과 제 1전극 사이에 접속되는 제 3트랜지스터(M3)와, 제 2트랜지스터(M2)의 게이트전극과 제 1전극 사이에 제 3트랜지스터(M3)와 병렬로 접속되는 제 1커패시터(C1)와, 제 2트랜지스터(M2)의 게이트전극과 제 2전원(VSS) 사이에 접속되는 제 4트랜지스터(M4)를 구비한다.
- <75> 제 1트랜지스터(M1)의 게이트전극은 입력부(100)의 출력단(즉, 제 1노드)과 접속되고, 제 1전극은 제 1전원(VDD)에 접속된다. 그리고, 제 1트랜지스터(M1)의 제 2전극은 출력단자(out)에 접속된다. 이와 같은 제 1트랜지스터(M1)는 입력부(100)의 출력단으로부터 공급되는 전압에 대응하여 턴-온/턴-오프 되면서 출력단자(out)와 제 1전원(VDD)의 전기적 접속을 제어한다.
- <76> 제 2트랜지스터(M2)의 게이트전극은 제 4트랜지스터(M4)의 제 1전극, 제 1커패시터(C1)의 일측단자 및 제 3트랜지스터(M3)의 제 2전극에 접속된다. 그리고, 제 2트랜지스터(M2)의 제 1전극은 출력단자(out)에 접속되고, 제 2전극은 제 2전원(VSS)에 접속된다. 이와 같은 제 2트랜지스터(M2)는 자신의 게이트전극에 인가되는 전압에 대응하여 턴-온/턴-오프 되면서 출력단자(out)와 제 2전원(VSS)의 전기적 접속을 제어한다.
- <77> 제 1커패시터(C1)는 제 2트랜지스터(M2)의 제 1전극 및 게이트전극 사이에 접속된다. 이와 같은 제 1커패시터(C1)는 제 2트랜지스터(M2)의 게이트전극과 제 1전극 사이의 전압을 충전한다. 여기서, 제 1커패시터(C1)는 필요에 의하여 제거될 수도 있다.
- <78> 제 3트랜지스터(M3)의 게이트전극은 입력부(100)의 출력단과 접속되고, 제 1전극은 제 1트랜지스터(M1)의 제 2전극에 접속된다. 그리고, 제 3트랜지스터(M3)의 제 2전극은 제 2트랜지스터(M2)의 게이트전극에 접속된다. 이와 같은 제 3트랜지스터(M3)는 제 1트랜지스터(M1)와 동시에 턴-온 또는 턴-오프되면서 제 2트랜지스터(M2)의 게이트전극으로 공급되는 전압을 제어한다.

- <79> 제 4트랜지스터(M4)의 게이트전극은 입력단자(in)에 접속되고, 제 1전극은 제 2트랜지스터(M2)의 게이트전극에 접속된다. 그리고, 제 4트랜지스터(M4)의 제 2전극은 제 2전원(VSS)에 접속된다. 이와 같은 제 4트랜지스터(M4)는 입력단자(in)로 공급되는 전압에 대응하여 턴-온/턴-오프되면서 제 2트랜지스터(M2)의 게이트전극으로 공급되는 전압을 제어한다.
- <80> 입력부(100)는 입력단자(in)로 공급되는 전압에 대응하여 출력부(102)로 하이 또는 로우의 전압을 공급한다.
- <81> 이를 위하여, 입력부(100)는 제 1전원(VDD) 및 입력단자(in)와 접속되는 제 7트랜지스터(M7)와, 제 7트랜지스터(M7)의 제 2전극과 제 2전원(VSS) 사이에 접속되는 제 5트랜지스터(M5)와, 제 5트랜지스터(M5)의 게이트전극과 제 2전원(VSS) 사이에 접속되는 제 6트랜지스터(M6)를 구비한다. 여기서, 제 7트랜지스터(M7)의 제 2전극과 제 5트랜지스터(M5)의 제 1전극 사이의 제 1노드(N1)는 입력부(100)의 출력단(또는 제 1출력단자)으로 이용된다.
- <82> 제 5트랜지스터(M5)의 제 1전극은 제 1노드(N1)에 접속되고, 제 2전극은 제 2전원(VSS)에 접속된다. 그리고, 제 5트랜지스터(M5)의 게이트전극은 제 2커패시터(C2)의 일측단자에 접속된다. 이와 같은 제 5트랜지스터(M5)는 자신의 게이트전극에 인가되는 전압에 대응하여 턴-온 또는 턴-오프된다.
- <83> 제 2커패시터(C2)는 제 1노드(N1)와 제 5트랜지스터(M5)의 게이트전극 사이에 접속된다. 이와 같은 제 2커패시터(C2)는 제 5트랜지스터(M5)의 게이트전극과 제 1전극 사이의 전압을 충전한다. 여기서, 제 2커패시터(C2)는 필요에 의하여 제거될 수도 있다.
- <84> 제 6트랜지스터(M6)의 게이트전극 및 제 2전극은 제 2전원(VSS)에 접속되고, 제 1전극은 제 5트랜지스터(M5)의 게이트전극에 접속된다. 이와 같은 제 6트랜지스터(M6)는 다이오드 형태로 접속되어 제 5트랜지스터(M5)의 게이트전극의 전압을 제어한다.
- <85> 제 7트랜지스터(M7)의 게이트전극은 입력단자(in)에 접속되고, 제 1전극은 제 1전원(VDD)에 접속된다. 그리고, 제 7트랜지스터(M7)의 제 2전극은 제 1노드(N1)에 접속된다. 이와 같은 제 7트랜지스터(M7)는 입력단자(in)로 공급되는 전압에 대응하여 턴-온 또는 턴-오프된다.
- <86> 동작과정을 설명하면, 먼저 입력단자(in)로 하이전압이 입력되면 제 7트랜지스터(M7) 및 제 4트랜지스터(M4)가 턴-오프된다. 이때, 다이오드 형태로 접속된 제 6트랜지스터(M6)에 의하여 제 5트랜지스터(M5)의 게이트전극 전압이 대략 제 2전원(VSS)의 전압까지 하강하여 제 5트랜지스터(M5)가 턴-온된다. 제 5트랜지스터(M5)가 턴-온되면 제 1노드(N1)로 제 2전원(VSS)의 전압이 공급된다.
- <87> 제 1노드(N1)로 제 2전원(VSS)이 공급되면 제 1트랜지스터(M1) 및 제 3트랜지스터(M3)가 턴-온된다. 제 1트랜지스터(M1)가 턴-온되면 제 1전원(VDD)의 전압이 출력단자(out)로 공급된다. 제 3트랜지스터(M3)가 턴-온되면 제 1전원(VDD)의 전압이 제 2트랜지스터(M2)의 게이트전극으로 입력되어 제 2트랜지스터(M2)가 턴-오프된다. 이와 같이 제 2트랜지스터(M2)가 턴-오프되면 출력단자(out)로 공급되는 제 1전원(VDD)의 전압을 안정적으로 유지할 수 있다.
- <88> 입력단자로 로우전압이 입력되면 제 7트랜지스터(M7) 및 제 4트랜지스터(M4)가 턴-온된다. 제 7트랜지스터(M7)가 턴-온되면 제 1노드(N1)로 제 1전원(VDD)의 전압이 공급된다. 이때, 제 6트랜지스터(M6)가 턴-온되기 때문에 제 5트랜지스터(M5)는 다이오드 형태로 접속된다. 이 경우, 제 1전원(VDD)이 안정적으로 제 1노드(N1)에 인가될 수 있도록 제 5트랜지스터(M5)의 채널비(W/L)를 제 7트랜지스터(M7)의 채널비(W/L)보다 낮게 형성한다.
- <89> 제 1노드(N1)에 제 1전원(VDD)이 인가되면 제 1트랜지스터(M1) 및 제 3트랜지스터(M3)가 턴-오프된다. 이때, 제 4트랜지스터(M4)가 턴-온되기 때문에 제 2전원(VSS)의 전압이 제 2트랜지스터(M2)의 게이트전극으로 공급되어 제 2트랜지스터(M2)가 턴-온된다. 제 2트랜지스터(M2)가 턴-온되면 출력단자(out)로 제 2전원(VSS)의 전압이 출력된다.
- <90> 이와 같은 본 발명의 제 1실시예에 의한 버퍼는 모두 피모스(PMOS) 형으로 구성되기 때문에 화소(140)들에 포함되는 트랜지스터들(PMOS 형)과 동시에 형성될 수 있다. 따라서, 별도의 추가 공정없이 패널에 버퍼를 실장할 수 있고, 이에 따라 제조비용의 증가를 억제할 수 있다.
- <91> 도 9는 도 5에 도시된 버퍼의 구성을 나타내는 제 2실시예이다. 도 9를 설명할 때 도 8과 동일한 구성에 대해서는 동일한 도면부호를 할당함과 아울러 상세한 설명을 생략하기로 한다.
- <92> 도 9를 참조하면, 본 발명의 제 2실시예에 의한 버퍼는 제 2트랜지스터(M2)의 게이트전극과 제 1전극 사이에 제 1커패시터(C1) 만이 형성된다. 다시 말하여, 도 8에 도시된 제 3트랜지스터(M3)가 제거된다. 그리고, 제 6트

랜지스터(M6')의 게이트전극은 입력바단자(/in)(또는 제 2입력단자)와 접속된다. 입력바단자(/in)로 공급되는 신호는 입력단자(in)로 공급되는 신호와 극성이 반전된다.

- <93> 동작과정을 설명하면, 먼저 입력단자(in)로 하이전압이 입력되면 제 7트랜지스터(M7) 및 제 4트랜지스터(M4)가 턴-오프된다. 이때, 입력바단자(/in)로는 로우전압이 입력되어 제 6트랜지스터(M6')가 턴-온된다. 제 6트랜지스터(M6')가 턴-온되면 제 2전원(VSS)의 전압이 제 5트랜지스터(M5)의 게이트전극으로 공급되어 제 5트랜지스터(M5)가 턴-온된다. 제 5트랜지스터(M5)가 턴-온되면 제 1노드(N1)로 제 2전원(VSS)의 전압이 공급된다.
- <94> 제 1노드(N1)로 제 2전원(VSS)이 공급되면 제 1트랜지스터(M1)가 턴-온된다. 제 1트랜지스터(M1)가 턴-온되면 제 1전원(VDD)의 전압이 출력단자(out)로 공급된다. 여기서, 출력단자(out)로 제 1전원(VDD)의 전압이 공급되면 제 1커패시터(C1)에 의하여 제 2트랜지스터(M2)의 게이트전극의 전압이 상승하고, 이에 따라 제 2트랜지스터(M2)가 턴-오프된다. 이와 같이 제 2트랜지스터(M2)가 턴-오프되면 출력단자(out)로 공급되는 제 1전원(VDD)의 전압을 안정적으로 유지할 수 있다.
- <95> 입력단자(in)로 로우전압이 입력되면 제 7트랜지스터(M7) 및 제 4트랜지스터(M4)가 턴-온된다. 제 7트랜지스터(M7)가 턴-온되면 제 1노드(N1)로 제 1전원(VDD)의 전압이 공급된다. 이때, 입력바단자(/in)로는 하이전압이 공급되어 제 6트랜지스터(M6)가 턴-오프된다. 이 경우, 제 2커패시터(C2)에 의하여 제 1노드(N1)의 전압 상승분에 대응하여 제 5트랜지스터(M5)의 게이트전극 전압이 상승하고, 이에 따라 제 5트랜지스터(M5)가 턴-오프된다.
- <96> 제 1노드(N1)에 제 1전원(VDD)이 인가되면 제 1트랜지스터(M1)가 턴-오프된다. 이때, 제 4트랜지스터(M4)가 턴-온되기 때문에 제 2전원(VSS)의 전압이 제 2트랜지스터(M2)의 게이트전극으로 공급되어 제 2트랜지스터(M2)가 턴-온된다. 제 2트랜지스터(M2)가 턴-온되면 출력단자(out)로 제 2전원(VSS)의 전압이 출력된다.
- <97> 도 10은 도 5에 도시된 버퍼의 구성을 나타내는 제 3실시예이다. 도 10을 설명할 때 도 8과 동일한 구성에 대해서는 동일한 도면부호를 할당함과 아울러 상세한 설명을 생략하기로 한다.
- <98> 도 10을 참조하면, 본 발명의 제 3실시예에 의한 버퍼는 제 2트랜지스터(M2)의 게이트전극과 제 1전극 사이에 제 1커패시터(C1) 만이 형성된다. 다시 말하여, 도 8에 도시된 제 3트랜지스터(M3)가 제거된다. 그리고, 제 4트랜지스터(M4')의 게이트전극은 제 2전원(VSS)에 접속된다.
- <99> 동작과정을 설명하면, 먼저 입력단자(in)로 하이전압이 입력되면 제 7트랜지스터(M7)가 턴-오프된다. 이때, 다이오드 형태로 접속된 제 6트랜지스터(M6)에 의하여 제 5트랜지스터(M5)의 게이트전극 전압이 대략 제 2전원(VSS)의 전압까지 하강하여 제 5트랜지스터(M5)가 턴-온된다. 제 5트랜지스터(M5)가 턴-온되면 제 1노드(N1)로 제 2전원(VSS)의 전압이 공급된다.
- <100> 제 1노드(N1)로 제 2전원(VSS)이 공급되면 제 1트랜지스터(M1)가 턴-온된다. 제 1트랜지스터(M1)가 턴-온되면 제 1전원(VDD)의 전압이 출력단자(out)로 공급된다. 여기서, 출력단자(out)로 제 1전원(VDD)의 전압이 공급되면 제 1커패시터(C1)에 의하여 제 2트랜지스터(M2)의 게이트전극의 전압이 상승하고, 이에 따라 제 2트랜지스터(M2)가 턴-오프된다. 이와 같이 제 2트랜지스터(M2)가 턴-오프되면 출력단자(out)로 공급되는 제 1전원(VDD)의 전압을 안정적으로 유지할 수 있다. 한편, 제 4트랜지스터(M4')가 턴-온되어 제 2트랜지스터(M2)가 다이오드 형태로 접속된다. 이에 따라, 본 발명에서는 제 2트랜지스터(M2)의 채널비(W/L)를 제 1트랜지스터(M1)의 채널비(W/L)보다 낮게 형성하여 출력단자(out)로 공급되는 제 1전원(VDD)의 전압을 안정적으로 유지한다.
- <101> 입력단자(in)로 로우전압이 입력되면 제 7트랜지스터(M7)가 턴-온된다. 제 7트랜지스터(M7)가 턴-온되면 제 1노드(N1)로 제 1전원(VDD)의 전압이 공급된다. 이때, 제 6트랜지스터(M6)가 턴-오프되기 때문에 제 5트랜지스터(M5)는 다이오드 형태로 접속된다. 이 경우, 제 1전원(VDD)이 안정적으로 제 1노드(N1)에 인가될 수 있도록 제 5트랜지스터(M5)의 채널비(W/L)를 제 7트랜지스터(M7)의 채널비(W/L)보다 낮게 형성한다.
- <102> 제 1노드(N1)에 제 1전원(VDD)이 인가되면 제 1트랜지스터(M1)가 턴-오프된다. 이때, 제 4트랜지스터(M4)가 턴-온되기 때문에 제 2전원(VSS)의 전압이 제 2트랜지스터(M2)의 게이트전극으로 공급되어 제 2트랜지스터(M2)가 턴-온된다. 제 2트랜지스터(M2)가 턴-온되면 출력단자(out)로 제 2전원(VSS)의 전압이 출력된다.
- <103> 상기 발명의 상세한 설명과 도면은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 따라서, 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 보호 범위는 명세서의 상세한 설명에

기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여 져야만 할 것이다.

발명의 효과

<104> 상술한 바와 같이, 본 발명의 실시 예에 따른 유기전계발광 표시장치에 의하면 디지털 구동방식으로 계조를 표현하기 때문에 화소들 각각에 포함되는 구동 트랜지스터의 불균일과 무관하게 균일한 휘도의 영상을 표시할 수 있다. 또한, 본 발명에서는 시간을 분할하여 계조를 표현하기 때문에 아날로그 구동 방식에 비하여 보다 정확한 계조를 표현할 수 있는 장점이 있다. 그리고, 본 발명에서는 출력선 각각에 디멀티플렉서를 설치하여 제조 비용을 절감할 수 있다. 더불어 디멀티플렉서와 데이터선 사이에 버퍼를 설치하여 구동 능력을 향상시킬 수 있는 장점이 있다.

도면의 간단한 설명

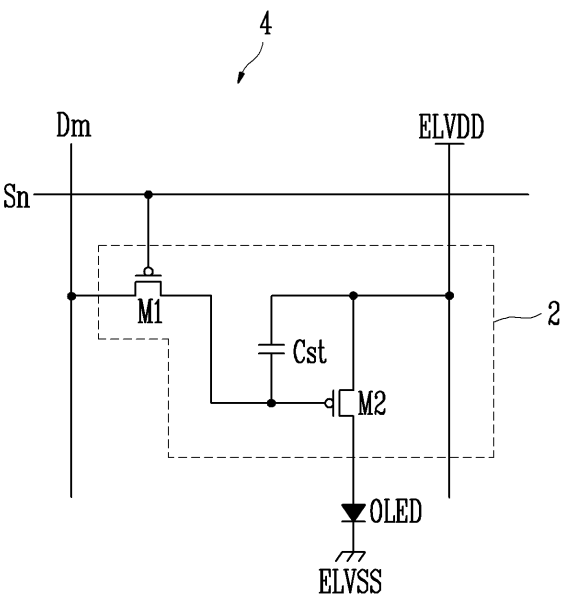
- <1> 도 1은 종래의 유기전계발광 표시장치의 화소를 나타내는 회로도이다.
- <2> 도 2는 본 발명의 제 1실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.
- <3> 도 3은 본 발명의 한 프레임을 나타내는 도면이다.
- <4> 도 4는 도 2에 도시된 디멀티플렉서를 나타내는 도면이다.
- <5> 도 5는 본 발명의 제 2실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.
- <6> 도 6은 도 5에 도시된 디멀티플렉서 및 버퍼를 나타내는 도면이다.
- <7> 도 7은 도 6에 도시된 디멀티플렉서로 공급되는 구동파형을 나타내는 도면이다.
- <8> 도 8은 도 5에 도시된 버퍼의 제 1실시예를 나타내는 도면이다.
- <9> 도 9는 도 5에 도시된 버퍼의 제 2실시예를 나타내는 도면이다.
- <10> 도 10은 도 5에 도시된 버퍼의 제 3실시예를 나타내는 도면이다.

<도면의 주요 부분에 대한 부호의 설명>

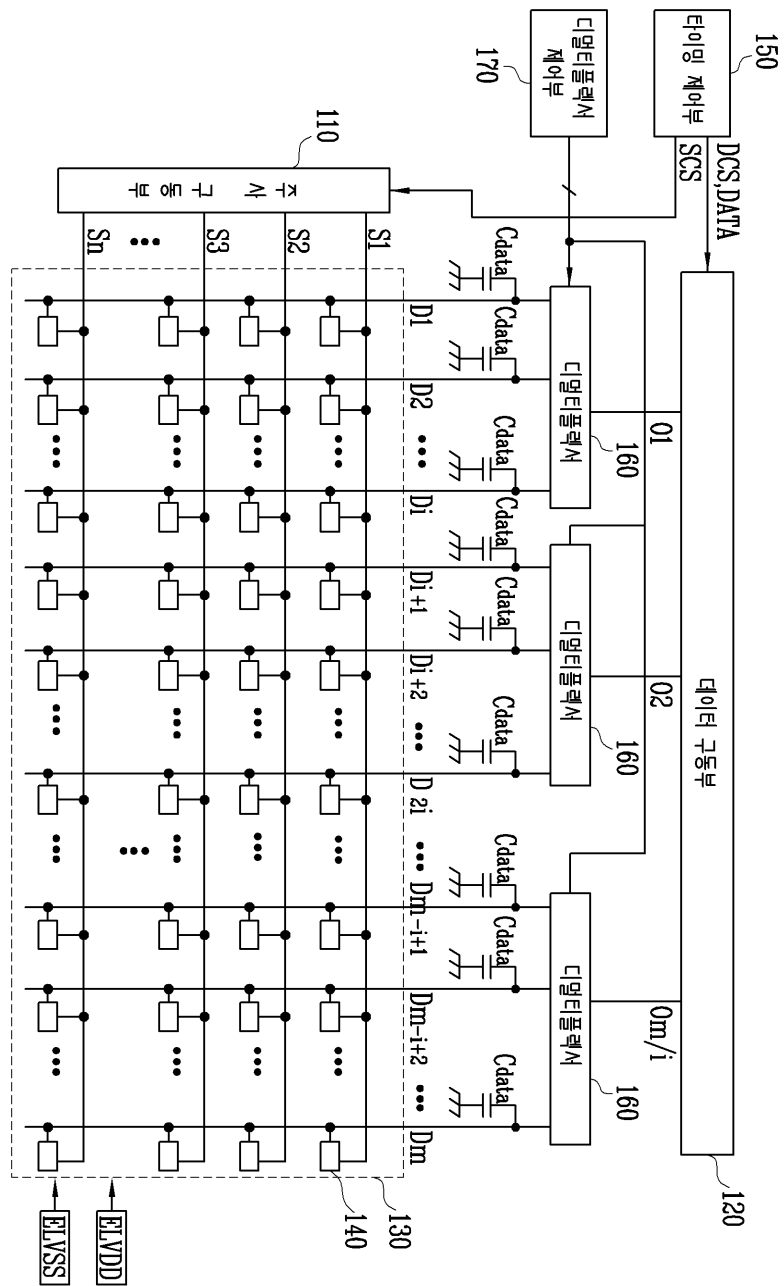
- | | | |
|------|---------------|------------------|
| <12> | 2 : 화소회로 | 4 : 화소 |
| <13> | 100 : 입력부 | 102 : 출력부 |
| <14> | 110 : 주사 구동부 | 120 : 데이터 구동부 |
| <15> | 130 : 화소부 | 140 : 화소 |
| <16> | 150 : 타이밍 제어부 | 160 : 디멀티플렉서 |
| <17> | 162 : 버퍼 | 170 : 디멀티플렉서 제어부 |

도면

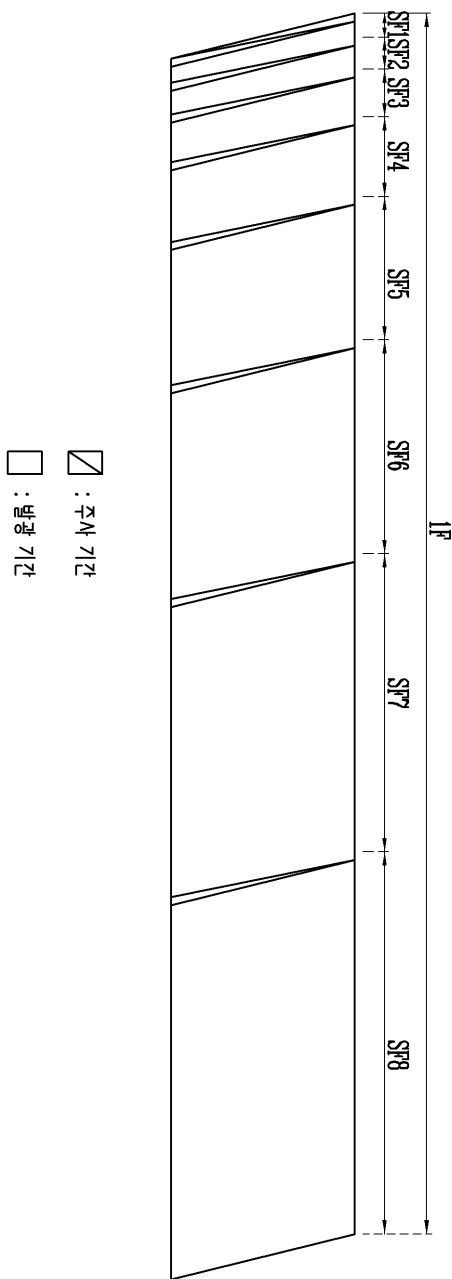
도면1



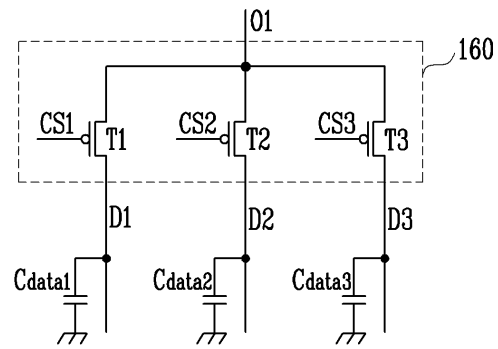
도면2



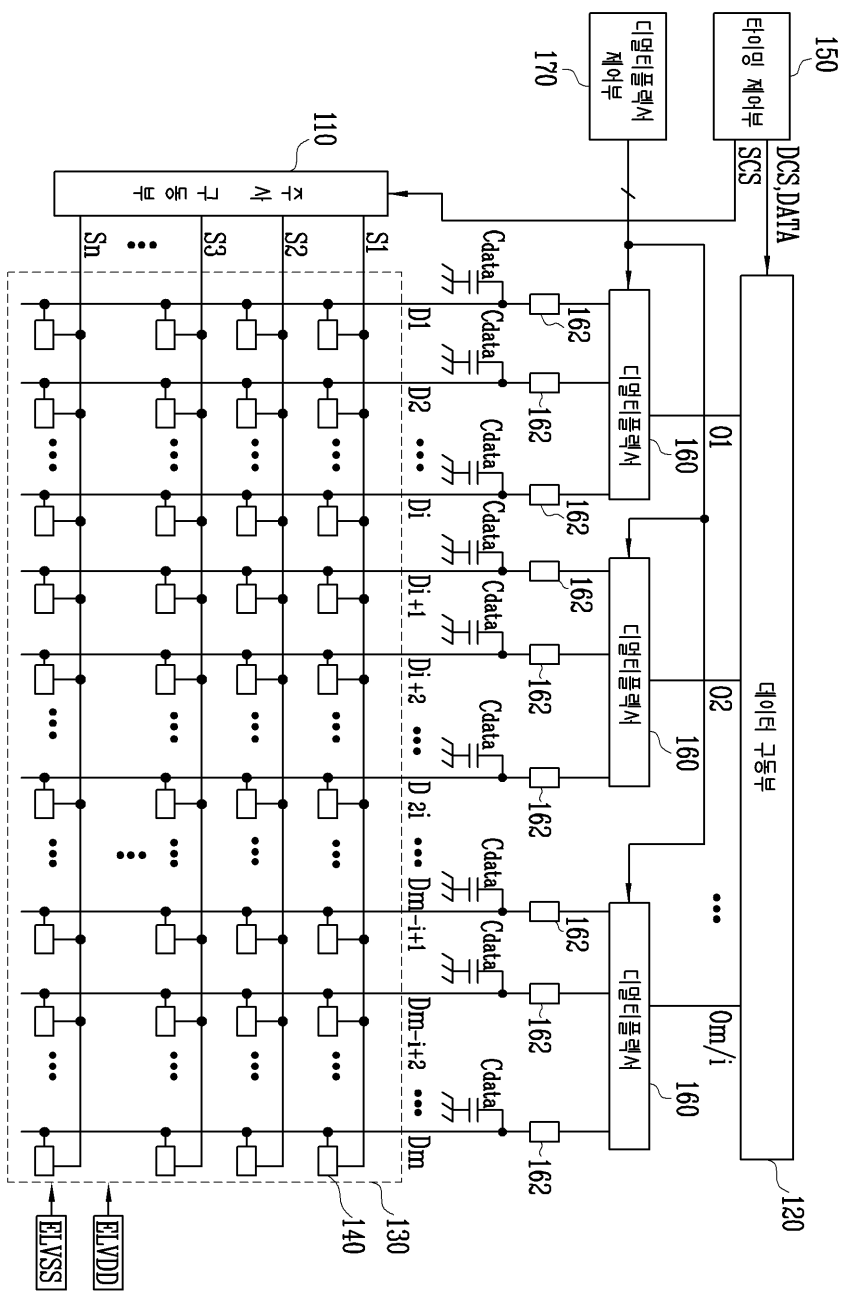
도면3



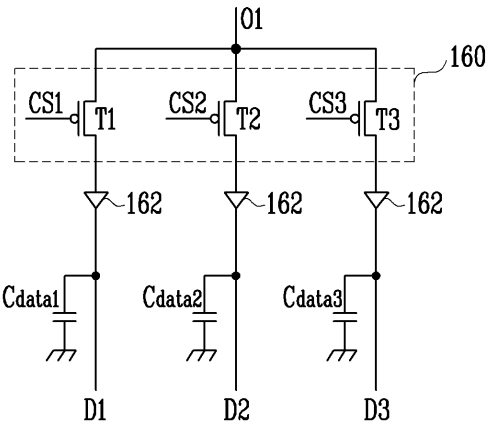
도면4



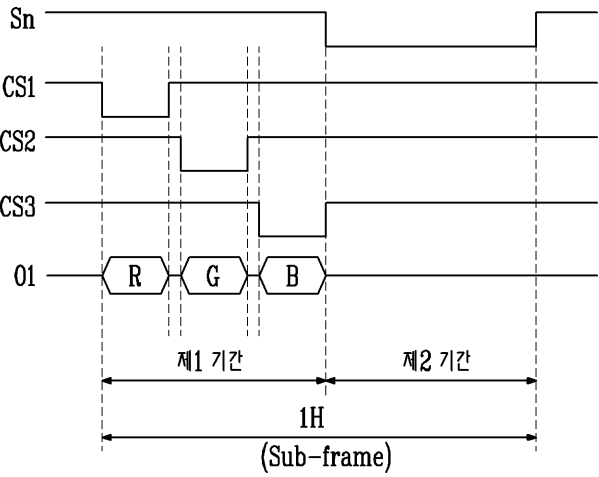
도면5



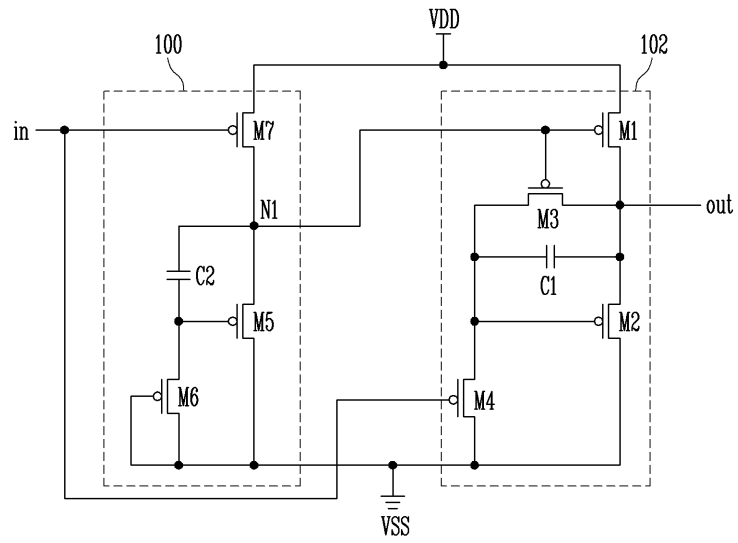
도면6



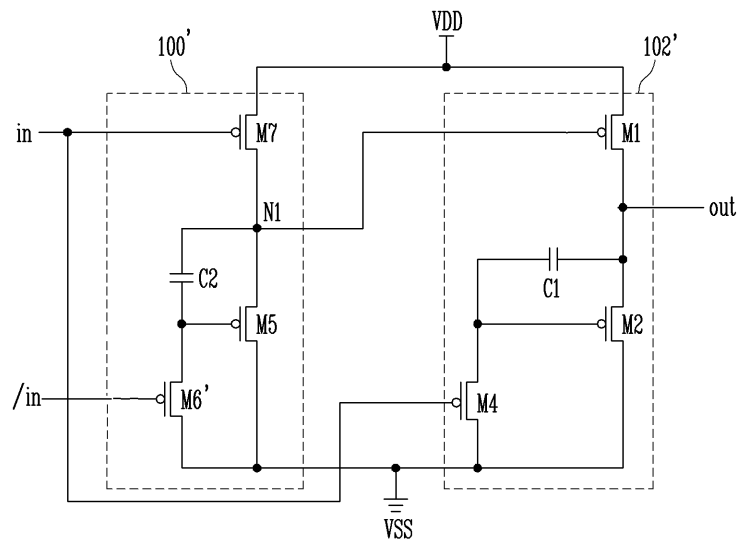
도면7



도면8



도면9



도면10

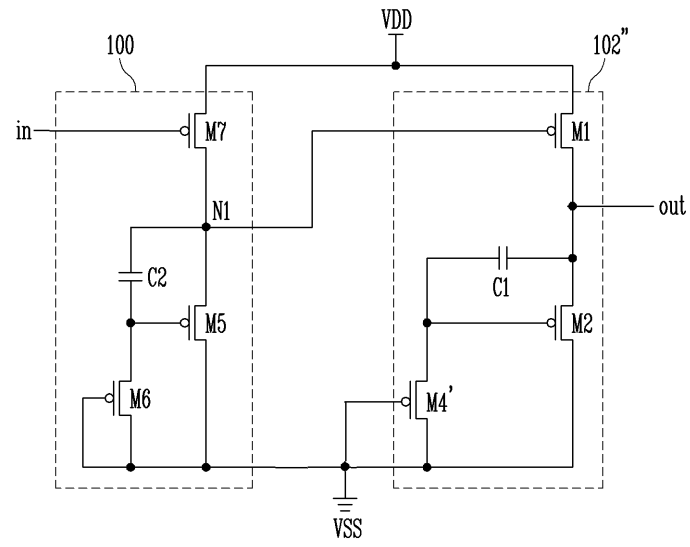


Figure 1 is a block diagram of a data bus system. At the top, a DCS DATA bus (150) and a DCS SCS bus (151) are connected to a Data Bus Controller (120). The controller outputs address signals O1, O2, ..., Om/i to multiple Data Multiplexers (160). Each multiplexer has 162 input/output ports connected to a Data Bus (130). The Data Bus is a grid of switches controlled by address signals D1, D2, ..., Di, Di+1, Di+2, ..., D2i, ..., Dm-i+1, Dm-i+2, ..., Dm. The bus is connected to a Data Bus Controller (110) and a Data Bus (140). Power supply lines ELVDD and ELVSS are also shown.