



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월17일
(11) 등록번호 10-0822205
(24) 등록일자 2008년04월08일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)

H05B 33/08 (2006.01)

(21) 출원번호 10-2006-0100380

(22) 출원일자 2006년10월16일

심사청구일자 2006년10월16일

(56) 선행기술조사문헌

JP16133240 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

김양완

경기 용인시 기흥구 공세동 428-5

(74) 대리인

리애평특허법인

전체 청구항 수 : 총 8 항

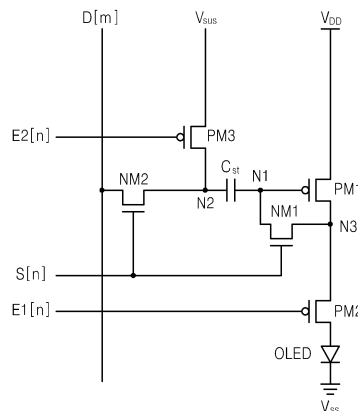
심사관 : 김남인

(54) 화소 회로 및 그를 포함하는 유기 발광 표시 장치

(57) 요약

본 발명은 화소 회로에 포함된 구동 트랜지스터의 문턱 전압의 편차를 보상하여 균일한 휘도를 표현하고, 스위칭 트랜지스터의 킥백 현상에 의해 발생하는 구동 전압의 변화를 최소화하여 고해상도 구현이 가능한 화소 회로 및 그를 포함하는 유기 발광 표시 장치를 제공하는 것을 목적으로 한다. 이를 위하여, 본 발명은 전원 전압이 인가되는 제 1 전극, 유기 발광 소자에 전기적으로 연결되는 제 2 전극, 및 게이트를 구비하는 제 1 PMOS 트랜지스터; 상기 제 1 PMOS 트랜지스터의 상기 제 2 전극 및 상기 게이트 간에 연결되어 상기 제 1 트랜지스터를 다이오드 연결시키는 제 1 NMOS 트랜지스터; 데이터 신호가 인가되는 제 1 전극, 상기 제 1 PMOS 트랜지스터의 상기 게이트 전극에 전기적으로 연결되는 제 2 전극, 및 주사 신호가 인가되는 게이트를 구비하는 제 2 NMOS 트랜지스터; 및 상기 제 2 NMOS 트랜지스터의 제 2 전극에 연결되는 제 1 전극, 및 상기 제 1 PMOS 트랜지스터의 게이트 전극에 연결되는 제 2 전극을 구비하는 커패시터를 포함하는 유기 발광 표시 장치의 화소 회로 및 그를 포함하는 유기 발광 표시 장치를 제공한다.

대표도 - 도5



특허청구의 범위

청구항 1

전원 전압이 인가되는 제 1 전극, 유기 발광 소자에 전기적으로 연결되는 제 2 전극, 및 게이트를 구비하는 제 1 PMOS 트랜지스터;

상기 제 1 PMOS 트랜지스터의 상기 제 2 전극 및 상기 게이트 간에 연결되어 상기 제 1 PMOS 트랜지스터를 다이오드 연결시키는 게이트를 구비하는 제 1 NMOS 트랜지스터;

데이터 신호가 인가되는 제 1 전극, 상기 제 1 PMOS 트랜지스터의 상기 게이트 전극에 전기적으로 연결되는 제 2 전극, 및 주사 신호가 인가되는 게이트를 구비하는 제 2 NMOS 트랜지스터;

상기 제 1 PMOS 트랜지스터의 게이트 단자에 연결되는 제 1 단자, 및 상기 제 2 NMOS 트랜지스터의 제 2 전극에 연결되는 제 2 단자를 구비하는 커패시터; 및

상기 제 1 PMOS 트랜지스터의 제 2 전극에 연결되는 제 1 전극, 상기 유기 발광 소자의 애노드에 연결되는 제 2 전극, 및 제 1 발광 제어 신호가 인가되는 게이트를 구비하는 제 2 PMOS 트랜지스터를 포함하는 유기 발광 표시 장치의 화소 회로.

청구항 2

삭제

청구항 3

제 1항에 있어서,

유지 전압이 인가되는 제 1 전극, 상기 커패시터의 상기 제 2 단자에 연결되는 제 2 전극, 및 제 2 발광 제어 신호가 인가되는 게이트를 구비하는 제 3 PMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 화소 회로.

청구항 4

제 3항에 있어서,

상기 제 1 및 제 2 NMOS 트랜지스터가 턴온 되는 동안에 상기 제 2 및 제 3 PMOS 트랜지스터는 턴오프 되는 것을 특징으로 하는 유기 발광 표시 장치의 화소 회로.

청구항 5

제 1항의 화소 회로 및 상기 화소 회로에 의해 제어되는 유기 발광 소자를 각각 구비하는 복수의 화소;

상기 복수의 화소에 상기 데이터 신호를 전달하는 복수의 데이터선;

상기 복수의 화소에 상기 주사 신호를 전달하는 복수의 주사선; 및

상기 복수의 화소에 상기 제 1 발광 제어 신호를 전달하는 복수의 에미션 주사선을 포함하는 유기 발광 표시 장치.

청구항 6

제 5항에 있어서,

상기 복수의 데이터선에 연결되며 상기 데이터 신호를 공급하는 데이터 구동부를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제 5항에 있어서,

상기 복수의 주사선에 연결되며 상기 주사 신호를 공급하는 스캔 구동부를 더 포함하는 것을 특징으로 하는 유

기 발광 표시 장치.

청구항 8

제 5항에 있어서,

상기 복수의 에미션 주사선에 연결되며 상기 발광 제어 신호를 공급하는 에미션 구동부를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

제 1항에 있어서,

상기 제1 NMOS 트랜지스터의 게이트 및 상기 제2 NMOS 트랜지스터의 게이트에는 주사 신호가 공통으로 인가되는 것을 특징으로 하는 유기 발광 표시 장치의 화소 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <8> 본 발명은 화소 회로에 포함된 구동 트랜지스터의 문턱 전압의 편차를 보상하여 균일한 휘도를 표현하고, 스위칭 트랜지스터의 킥백 현상에 의해 발생하는 구동 전압의 변화를 최소화하여 고해상도 구현이 가능한 화소 회로 및 그를 포함하는 유기 발광 표시 장치에 관한 것이다.
- <9> 일반적으로 유기발광 표시장치는 형광성 유기화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, 행렬 형태로 배열된 복수개의 유기 발광셀들을 전압 구동 혹은 전류 구동하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀들은 다이오드 특성을 가져서 유기발광 다이오드(OLED)로 불린다.
- <10> 도 1은 유기발광소자의 개념도이다.
- <11> 도 1을 참조하면, 유기발광소자는 애노드(ITO), 유기 박막, 캐소드 전극층(금속)의 구조를 가진다. 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송층(electron transport layer, ETL) 및 정공 수송층(hole transport layer, HTL)을 포함한다.
- <12> 이와 같이 이루어지는 유기 발광셀을 구동하는 방식에는 단순 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor, TFT) 또는 MOSFET를 이용한 능동 구동(active matrix) 방식이 있다. 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동 방식은 박막 트랜지스터를 각 ITO(indium tin oxide) 화소 전극에 연결하고 박막트랜지스터의 게이트에 연결된 커패시터 용량에 의해 유지된 전압에 따라 구동하는 방식이다. 한편, 능동 구동 방식은 커패시터에 전압을 기입하여 유지시키기 위해 인가되는 신호의 형태에 따라 전압 기입(voltage programming) 방식과 전류 기입(current programming) 방식으로 나누어진다.
- <13> 도 2는 종래의 유기 발광 표시 장치에 채용된 화소의 회로도이다.
- <14> 도 2를 참조하면, 유기 발광 표시장치의 화소는 유기 발광 소자(OLED) 및 두 개의 트랜지스터(M1, M2)와 하나의 커패시터(C_{st})를 구비하며, 일반적으로 상기 스위칭 트랜지스터(M1) 및 구동 트랜지스터(M2)는 박막 트랜지스터(TFT)가 사용된다.
- <15> 도 2의 화소 회로에서는 스위칭 트랜지스터(M1)의 제 1 전극이 데이터 신호선에 연결된다. 이때 게이트 전극에 인가되는 선택신호(S[n])에 의하여 상기 스위칭 트랜지스터(M1)가 온 되어짐으로써, 데이터 신호(D[m])가 화소 회로로 인가된다.
- <16> 한편, 상기 커패시터(C_{st})는 구동 트랜지스터(M2)의 제 1 전극과 게이트 전극 사이에 연결되어, 데이터 전압을 일정 기간 유지한다. 또한, 상기 구동 트랜지스터(M2)는 커패시터(C_{st})의 양 전극 사이에 걸린 전압에 대응하는 전류를 상기 유기 발광 소자(OLED)로 공급한다.

<17> 상기 스위칭 트랜지스터(M1)가 온 되어지면, 데이터 신호선을 통해 인가된 데이터 전압이 커패시터(C_{st})에 저장되며, 이후 스위칭 트랜지스터(M1)가 오프 되어지는 경우에도 상기 커패시터(C_{st})에 저장된 데이터 전압에 대응하는 전류가 구동 트랜지스터(M2)를 통해 유기 발광 소자(OLED)로 인가된다. 이에 따라 스위칭 트랜지스터(M1)가 오프된 경우에도 상기 유기 발광 소자(OLED)는 소정의 기간 동안 발광을 유지하게 된다.

<18> 이때, 유기 발광 소자(OLED)에 흐르는 전류는 다음의 수학적 식 1과 같다.

<19> [수학적 식 1]

$$I_{OLED} = \frac{\beta}{2} (V_{gs} - V_{th})^2 = \frac{\beta}{2} (V_{DD} - V_{data} - |V_{th}|)^2$$

<20> 상기 수학적 식 1에서, I_{OLED}는 유기 발광 소자(OLED)에 흐르는 전류, V_{gs}는 구동 트랜지스터(M2)의 게이트 전극과 제 1 전극 사이의 전압, V_{th}는 구동 트랜지스터(M2)의 문턱 전압, V_{DD}는 전원전압, V_{data}는 데이터 전압, β는 이득 계수(gain factor)를 나타낸다.

<21> 그러나, 상기와 같은 전압 기입 방식의 화소 회로에서는, 구동 트랜지스터와 같은 구동 트랜지스터가 그 제조 공정 상 문턱전압(V_{th})의 편차가 발생함으로써, 균일한 밝기의 화면을 얻기 어려운 문제점이 발생한다. 즉, 소정의 구동 트랜지스터가 높은 문턱전압의 절대값을 갖는 경우, 상기 수학적 식 1에 언급한 바와 같이 I_{OLED} 값이 낮아지며, 상기 낮은 I_{OLED}에 의해 유기 발광 소자(OLED)는 어두운 빛을 발광하게 된다. 또한, 스위칭 트랜지스터(M1)가 턴오프 되면서 채널 형성 시에 사용되었던 전하들이 커패시터로 누설되는 킥백(kick-back) 현상이 발생하여 정확한 화면을 표시할 수 없는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<22> 본 발명의 목적은 화소 회로에 포함된 구동 트랜지스터의 문턱 전압의 편차를 보상하여 균일한 휘도를 표현할 수 있을 뿐만 아니라 킥백(kick-back) 현상에 의해 발생하는 구동 전압의 변화를 최소화하여 고해상도 구현이 가능한 화소 회로 및 그를 포함하는 유기 발광 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

<23> 본 발명은 전원 전압이 인가되는 제 1 전극, 유기 발광 소자에 전기적으로 연결되는 제 2 전극, 및 게이트를 구비하는 제 1 PMOS 트랜지스터; 상기 제 1 PMOS 트랜지스터의 상기 제 2 전극 및 상기 게이트 간에 연결되어 상기 제 1 트랜지스터를 다이오드 연결시키는 제 1 NMOS 트랜지스터; 데이터 신호가 인가되는 제 1 전극, 상기 제 1 PMOS 트랜지스터의 상기 게이트 전극에 전기적으로 연결되는 제 2 전극, 및 주사 신호가 인가되는 게이트를 구비하는 제 2 NMOS 트랜지스터; 및 상기 제 1 PMOS 트랜지스터의 게이트 단자에 연결되는 제 1 단자, 및 상기 제 2 NMOS 트랜지스터의 제 2 전극에 연결되는 제 2 단자를 구비하는 커패시터를 포함하는 유기 발광 표시 장치의 화소 회로를 제공한다.

<24> 상기 유기 발광 표시 장치의 화소 회로는 상기 제 1 PMOS 트랜지스터의 제 2 전극에 연결되는 제 1 전극, 상기 유기 발광 소자의 애노드에 연결되는 제 2 전극, 및 제 1 발광 제어 신호가 인가되는 게이트를 구비하는 제 2 PMOS 트랜지스터를 더 포함할 수 있다.

<25> 상기 유기 발광 표시 장치의 화소 회로는 유지 전압이 인가되는 제 1 전극, 상기 커패시터의 상기 제 2 단자에 연결되는 제 2 전극, 및 제 2 발광 제어 신호가 인가되는 게이트를 구비하는 제 3 PMOS 트랜지스터를 더 포함할 수 있다.

<26> 상기 제 1 및 제 2 NMOS 트랜지스터가 턴온 되는 동안에 상기 제 2 및 제 3 PMOS 트랜지스터는 턴오프 될 수 있다.

<27> 또한, 본 발명은 제 1항의 화소 회로 및 상기 화소 회로에 의해 제어되는 유기 발광 소자를 각각 구비하는 복수의 화소; 상기 복수의 화소에 상기 데이터 신호를 전달하는 복수의 데이터선; 상기 복수의 화소에 상기 주사 신호를 전달하는 복수의 주사선; 및 상기 복수의 화소에 상기 발광 제어 신호를 전달하는 복수의 에미션 주사선을 포함하는 유기 발광 표시 장치를 제공한다.

<28> 상기 유기 발광 표시 장치는 상기 복수의 데이터선에 연결되며 상기 데이터 신호를 공급하는 데이터 구동부를

더 포함할 수 있다.

- <30> 상기 유기 발광 표시 장치는 상기 복수의 주사선에 연결되며 상기 주사 신호를 공급하는 스캔 구동부를 더 포함할 수 있다.
- <31> 상기 유기 발광 표시 장치는 상기 복수의 에미션 주사선에 연결되며 상기 발광 제어 신호를 공급하는 에미션 구동부를 더 포함할 수 있다.
- <32> 이하, 첨부된 도면들을 참조하여 본 발명의 실시예에 대하여 상세히 설명한다.
- <33> 도 3은 본 발명의 일 실시예에 따른 문턱 전압 보상을 위한 화소 회로의 회로도이다.
- <34> 도 3을 참조하면, 화소 회로는 적색, 녹색, 청색, 백색 등의 색을 표시하는 유기 발광 소자(OLED)에 전류를 공급하여 유기 발광 소자(OLED)를 제어한다. 다시 말해서, 화소 회로는 데이터선(D[m]), 주사선(S[n]) 및 에미션 주사선(E1[n], E2[n])에 각각 인가되는 데이터 신호, 주사 신호 및 발광 제어 신호에 의해 제 1 전원 전압(V_{DD})과 제 2 전원 전압(V_{SS}) 사이에 연결되는 유기 발광 소자(OLED)를 제어한다.
- <35> 화소 회로는 구동 트랜지스터인 제 1 트랜지스터(PM1), 스위칭 트랜지스터인 제 2 내지 제 5 트랜지스터(PM2~PM5) 및 커패시터(Cst)를 포함한다.
- <36> 제 1 트랜지스터(PM1)의 제 1 전극은 전원 전압에 연결되고, 제 2 전극은 유기 발광 소자에 전기적으로 연결되며, 게이트는 제 1 노드(N1)에 연결된다. 제 1 트랜지스터(PM1)는 구동 트랜지스터로서 제 2 트랜지스터(PM2)가 온 상태인 기간 동안 커패시터(Cst)의 제 1 단자와 제 2 단자 사이에 걸린 전압에 대응하는 전류를 유기 발광 소자(OLED)에 공급하는 기능을 수행한다.
- <37> 제 2 트랜지스터(PM2)의 제 1 전극은 제 1 트랜지스터(PM1)의 제 2 전극에 연결되고, 제 2 전극은 유기 발광 소자(OLED)의 애노드에 연결되며, 게이트는 제 1 에미션 주사선(E1[n])에 연결된다. 제 2 트랜지스터(PM2)는 제 1 에미션 주사선(E1[n])에 인가되는 제 1 에미션 신호에 응답하여 제 1 트랜지스터(PM1)에 흐르는 전류를 유기 발광 소자(OLED)에 공급하는 기능을 수행한다.
- <38> 제 3 트랜지스터(PM3)의 제 1 전극은 유지 전압(V_{sus})에 연결되고, 제 2 전극은 제 2 노드(N2)에 연결되며, 게이트는 제 2 에미션 주사선(E2[n])에 연결된다. 제 3 트랜지스터(PM3)는 제 2 에미션 주사선(E2[n])에 인가되는 제 2 에미션 신호에 응답하여 유지 전압(V_{sus})을 제 2 노드(N2)에 인가하는 기능을 수행한다.
- <39> 제 4 트랜지스터(PM4)의 게이트는 주사선(S[n])에 접속되고 제 1 전극은 제 3 노드(N3)에 접속되고 제 2 전극은 제 1 노드(N1)에 접속된다. 제 4 트랜지스터(PM4)는 주사선(S[n])에 인가되는 주사 신호에 응답하여 제 1 트랜지스터(PM1)의 게이트와 드레인을 접속시킴으로써 제 1 트랜지스터(PM1)를 다이오드 연결하는 기능을 수행한다.
- <40> 제 5 트랜지스터(PM5)의 게이트는 제 2 에미션 주사선(E2[n])에 접속되고 제 1 전극은 데이터선(D[m])에 접속되고 제 2 전극은 제 2 노드(N2)에 접속된다. 제 5 트랜지스터(PM5)는 주사선(S[n])에 인가되는 주사 신호에 응답하여 데이터선(D[m])에 인가되는 데이터 전압을 제 2 노드(N2)에 인가하는 기능을 수행한다.
- <41> 커패시터(Cst)의 제 1 단자는 제 1 노드(N1)에 접속되고 제 2 단자는 제 2 노드(N2)에 접속된다. 커패시터(Cst)는 제 4 및 5 트랜지스터(PM4, PM5)가 온 상태인 기간에 제 1 트랜지스터(PM1)의 문턱 전압에 해당하는 전하량을 충전하고, 제 4 및 5 트랜지스터(PM4, PM5)가 오프 상태인 기간 동안에 상기 문턱 전압을 유지하는 기능을 수행한다.
- <42> 유기 발광 소자(OLED)의 애노드는 제 2 트랜지스터(PM2)의 제 2 전극에 연결되고, 유기 발광 소자(OLED)의 캐소드는 기준 전압(V_{SS})에 연결되어 제 2 트랜지스터(PM2)가 턴-온 되어 제 1 트랜지스터(PM1)로부터 인가되는 전류의 양에 대응하는 빛을 방출한다. 이때, 기준 전압(V_{SS})은 전원 전압(V_{DD}) 보다 낮은 레벨의 전압으로서, 그라운드 전압, 음의 전압 등이 사용될 수 있다.
- <43> 도 4는 도 3에 도시된 화소 회로를 구동하기 위한 구동 파형도이다.
- <44> 제 1 기간(T1)에는 제 1 에미션 신호(E1[n])는 로우이고, 주사 신호(S[n]) 및 제 2 에미션 신호(E2[n])는 하이이다. 그에 의해 제 2 트랜지스터(PM2)는 온 상태가 되고, 제 3 내지 5 트랜지스터(PM3, PM4, PM5)는 오프 상태가 된다. 이 기간 동안에 커패시터(C_{st})에 저장되어 있던 전하가 클리어 된다.
- <45> 제 2 기간(T2)에는 주사 신호(S[n])는 로우이고, 제 1 에미션 신호(E1[n]) 및 제 2 에미션 신호(E2[n])는 하이

이다. 그에 의해 제 4 및 5 트랜지스터(PM4, PM5)는 온 상태가 되고, 제 2 및 3 트랜지스터(PM2, PM3)는 오프 상태가 된다. 이 기간에 제 1 트랜지스터(PM1)에 흐르는 전류는 0 A가 되므로 구동 트랜지스터(MD)의 게이트 및 소스 사이의 전압 V_{GS} 는 문턱 전압 즉 $-|V_{TH}|$ 가 되고, 커패시터(Cst)의 제 1 단자의 전압은 $V_{DATA} - |V_{TH}|$ 가 된다.

<46> 제 3 기간(T3)에는 제 2 에미션 신호(E2[n])는 로우이고, 주사 신호(S[n]) 및 제 1 에미션 신호(E1[n])는 하이이다. 그에 의해 제 3 트랜지스터(PM3)는 온 상태가 되고, 제 2, 4 및 5 트랜지스터(PM2, PM4, PM5)는 오프 상태가 된다. 커패시터(Cst)의 플로팅 상태인 제 1 단자의 전압은 $V_{DATA} - |V_{TH}|$ 가 된다.

<47> 제 4 기간(T4)에는 제 1 에미션 신호(E1[n]) 및 제 2 에미션 신호(E2[n])는 로우이고, 주사 신호(S[n])는 하이이다. 그에 의해 제 2 및 3 트랜지스터(PM2, PM3)는 온 상태가 되고, 제 4 및 5 스위칭 트랜지스터(PM4, PM5)는 오프 상태가 된다. 이 기간에 제 1 트랜지스터(PM1)의 게이트 및 소스 사이의 전압이 수학식 2와 같이 유지되므로, 유기 발광 소자(OLED)에 흐르는 전류 I_{OLED} 는 수학식 3과 같다.

<48> [수학식 2]

<49>
$$V_{GS} = V_{DATA} - |V_{TH}| - V_{DD}$$

<50> [수학식 3]

<51>
$$I_{OLED} = (\beta/2) (V_{GS} - V_{TH})^2 = (\beta/2) (V_{GS} + |V_{TH}|)^2 = (\beta/2) (V_{DD} - V_{DATA})^2$$

<52> 이로써, 문턱 전압의 편차를 보상하여 균일한 휘도를 표현할 수 있게 된다.

<53> 그러나, T3 구간에서 제 4 및 5 트랜지스터(PM4, PM5)가 턴-오프 되면서 제 4 및 5 트랜지스터(PM4, PM5)의 채널 형성 시에 사용되었던 전하들이 커패시터(C_{st})로 누설되는 킥-백(Kick-back) 현상이 발생한다. 이 누설 전류는 커패시터(C_{st})의 양단 전압에 영향을 미쳐, 커패시터(C_{st}) 양단의 전압이 상승하게 된다. 이어서, T4 구간에서 유기 발광 소자(OLED)에는 커패시터(C_{st})에 저장된 전압에 대응하는 전류가 흐르게 되어 발광하게 되는데, 상기에서와 같이 커패시터(C_{st}) 양단의 전압이 변동하여 결국 유기 발광 소자(OLED)에 흐르는 전류(I_{OLED})도 변하게 된다. 또한, 상기 커패시터(C_{st}) 양단의 전압의 상승에 의하여 제 4 및 5 트랜지스터(PM4, PM5)가 확실히 턴오프 되지 못하고 턴온 상태로 남아 데이터가 섞여 문제가 발생할 수 있다.

<54> 킥-백 현상에 의해 커패시터(C_{st}) 양단의 전압에 변동이 발생하게 되면, 고해상도 구현에 문제가 발생한다. 고해상도 구현을 위해서는 커패시터(C_{st})의 크기를 최소로 구현해야 하는데, 이렇게 되면 커패시터(C_{st})의 크기 감소에 따른 킥-백 현상에 의한 전압 변화량이 커진다. 따라서 킥-백 현상에 의한 전압 변화를 줄이는 방법은 커패시터(C_{st})의 크기를 크게 하는 방법 밖에는 없고, 이 또한 고해상도 구현에 적합하지 않은 구조가 된다.

<55> 도 5는 본 발명의 다른 실시예에 따른 킥백 현상을 보상하기 위한 화소 회로의 회로도이다.

<56> 도 5를 참조하면, 도 3의 제 4 및 5 트랜지스터(PM4, PM5)가 제 1 및 2 NMOS 트랜지스터(NM1, NM2)로 변경되어 있다. 즉, 화소 회로는 구동 트랜지스터인 제 1 PMOS 트랜지스터(PM1), 스위칭 트랜지스터인 제 2 및 제 3 PMOS 트랜지스터(PM2, PM3), 제 1 및 제 2 NMOS 트랜지스터(NM1, NM2) 및 커패시터(Cst)를 포함한다.

<57> 도 3과 마찬가지로, 제 1 PMOS 트랜지스터(PM1)의 제 1 전극은 전원 전압에 연결되고, 제 2 전극은 유기 발광 소자에 전기적으로 연결되며, 게이트는 제 1 노드(N1)에 연결된다. 또한, 제 2 PMOS 트랜지스터(PM2)의 제 1 전극은 제 1 PMOS 트랜지스터(PM1)의 제 2 전극에 연결되고, 제 2 전극은 유기 발광 소자(OLED)의 애노드에 연결되며, 게이트는 제 1 에미션 주사선(E1[n])에 연결된다. 또한, 제 3 PMOS 트랜지스터(PM3)의 제 1 전극은 유지 전압(V_{sus})에 연결되고, 제 2 전극은 제 2 노드(N2)에 연결되며, 게이트는 제 2 에미션 주사선(E2[n])에 연결된다.

<58> 제 1 NMOS 트랜지스터(NM1)의 게이트는 주사선(S[n])에 접속되고 제 1 전극은 제 3 노드(N3)에 접속되고 제 2 전극은 제 1 노드(N1)에 접속된다. 제 1 NMOS 트랜지스터(NM1)는 주사선(S[n])에 인가되는 주사 신호에 응답하여 제 1 트랜지스터(PM1)의 게이트와 드레인을 접속시킴으로써 제 1 PMOS 트랜지스터(PM1)를 다이오드 연결하는 기능을 수행한다.

- <59> 제 2 NMOS 트랜지스터(NM2)의 게이트는 제 2 에미션 주사선(E2[n])에 접속되고 제 1 전극은 데이터선(D[m])에 접속되고 제 2 전극은 제 2 노드(N2)에 접속된다. 제 2 NMOS 트랜지스터(NM2)는 주사선(S[n])에 인가되는 주사 신호에 응답하여 데이터선(D[m])에 인가되는 데이터 전압을 제 2 노드(N2)에 인가하는 기능을 수행한다.
- <60> 도 6은 도 5에 도시된 화소 회로를 구동하기 위한 구동 파형도이다.
- <61> 도 6을 참조하면, T2 구간의 주사 신호(S[n])가 로우 대신에 하이인 점을 제외하면 도 4의 구동 파형도와 동일함을 알 수 있다.
- <62> 상기와 같은 구성을 갖는 도 5에 따른 화소 회로는 킥백에 의해 상승할 수 있는 커패시터(Cst) 양단의 전압을 떨어뜨림으로써, 상기 종래 화소의 킥백 문제를 해결할 수 있다. 상기 커패시터(Cst) 양단의 전압이 아무리 떨어지더라도 제 1 및 2 NMOS 트랜지스터(NM1, NM2)의 턴오프 전압(-6V) 이하로 떨어지지 않기 때문에, 킥백에 의해 제 1 및 2 NMOS 트랜지스터(NM1, NM2)가 턴오프 되지 못하고 턴온 상태로 유지되는 문제를 해결할 수 있다.
- <63> 도 7은 본 발명의 일 실시예에 따른 화소 회로를 포함하는 유기 발광 표시 장치를 도시한 블록도이다.
- <64> 도 7을 참조하면, 유기 발광 디스플레이 장치는 화상 표시부(71), 스캔 구동부(72), 에미션 구동부(73), 및 데이터 구동부(74)를 포함한다.
- <65> 화상 표시부(71)는 N×M개의 화소(75), 행 방향으로 형성된 N개의 주사선(S[1]...S[N]), N개의 제 1 에미션 주사선(E1[1]...E1[N]) 및 N개의 제 2 에미션 주사선(E2[1]...E2[N]), 열 방향으로 형성된 M개의 데이터선(D[1]...D[M])과 M개의 전원선(V[1]...V[M])을 포함한다.
- <66> 각 화소(75)는 유기 발광 소자 및 화소 회로를 구비한다. 주사선(S[1]...S[N]), 제 1 에미션 주사선(E1[1]...E1[N]) 및 제 2 에미션 주사선(E2[1]...E2[N])은 화소(75)에 각각 선택 신호, 제 1 에미션 신호 및 제 2 에미션 신호를 전달한다. 또한, 데이터선(D[1]...D[M]) 및 전원선(V[1]...V[M])은 화소(75)에 각각 데이터 신호 및 전원 전압을 전달한다.
- <67> 데이터 구동부(74)는 데이터선(D[1]...D[M])에 데이터 신호를 인가한다. 데이터 신호는 데이터 구동부 내의 전압원 또는 전류원으로부터 출력될 수 있다.
- <68> 스캔 구동부(72)는 주사선(S[1]...S[N])에 선택 신호를 인가한다. 선택 신호는 주사선들에 순차적으로 인가되며, 선택 신호들에 맞춰 데이터 신호가 화소 회로에 인가된다.
- <69> 에미션 구동부(73)는 제 1 에미션 주사선(E1[1]...E1[N]) 및 제 2 에미션 주사선(E2[1]...E2[N])에 에미션 신호들을 인가한다. 에미션 신호들에 의해 화소 회로 내의 저장소자(커패시터)에 저장된 전압에 따라 구동 전류가 유기 발광 소자로 인가되며, 유기발광소자가 발광하게 된다.
- <70> 상술한 스캔 구동부(72), 에미션 구동부(73) 및/또는 데이터 구동부(74)는 디스플레이 패널과 같은 화상 표시부(71)에 와이어 본딩 등을 통해 전기적으로 연결될 수 있고, 또한 화상 표시부(71)에 접촉되어 전기적으로 연결되는 테이프 캐리어 패키지(tape carrier package: TCP) 등에 칩의 형태로 장착될 수도 있다. 또한, 스캔 구동부(72), 에미션 구동부(73) 및/또는 데이터 구동부(74)는 화상 표시부(71)에 접촉되어 전기적으로 연결되는 연성 인쇄 회로 기판(flexible printed circuit: FPC) 또는 필름 등에 칩 형태로 장착될 수 있는데, 이러한 구조를 통상 COF(chip on film) 방식이라고 한다. 또한, 스캔 구동부(72), 에미션 구동부(73) 및/또는 데이터 구동부(74)는 화상 표시부(71)의 유리 기판 위에 직접 장착될 수 있으며, 유리 기판 위에 주사선, 데이터선 및 TFT와 동일한 층들로 형성되어 있는 구동 회로 내에 장착될 수도 있다.

발명의 효과

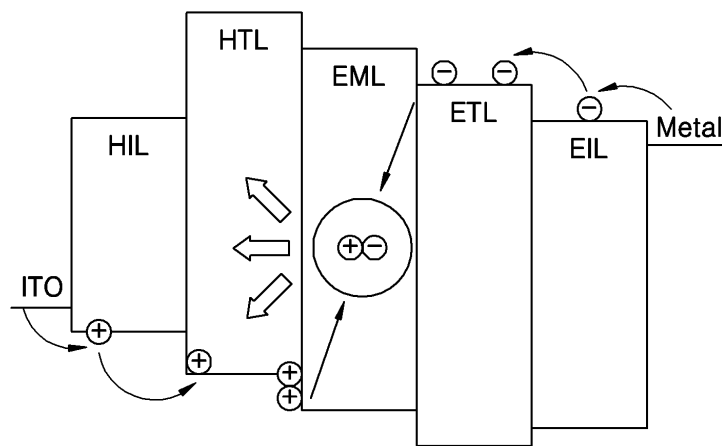
- <71> 상기에서 설명한 바와 같이, 본 발명에 따른 화소 회로 및 그를 포함하는 유기 발광 표시 장치에 의하면 화소 회로에 포함된 구동 트랜지스터의 문턱 전압의 편차를 보상하여 균일한 휘도를 표현할 수 있을 뿐만 아니라 킥백(kick-back) 현상에 의해 발생하는 구동 전압의 변화를 최소화하여 고해상도 구현이 가능하게 된다.
- <72> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면의 간단한 설명

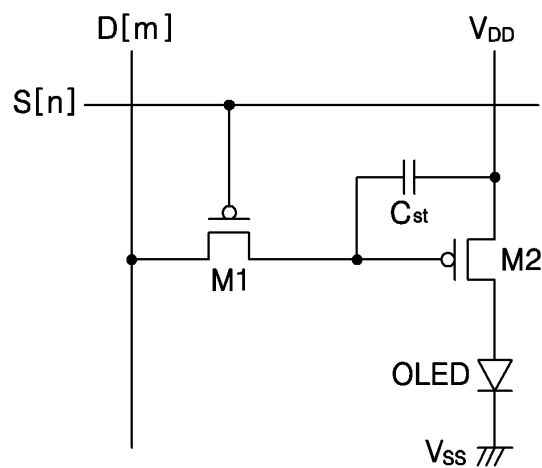
- <1> 도 1은 유기 전계 발광 소자의 개념도이다.
- <2> 도 2는 종래의 유기 발광 표시 장치에 채용된 화소 회로의 회로도이다.
- <3> 도 3은 본 발명의 일 실시예에 따른 문턱 전압 보상을 위한 화소 회로의 회로도이다.
- <4> 도 4는 도 3에 도시된 화소 회로를 구동하기 위한 구동 파형도이다.
- <5> 도 5는 본 발명의 다른 실시예에 따른 킥백 현상을 보상하기 위한 화소 회로의 회로도이다.
- <6> 도 6은 도 5에 도시된 화소 회로를 구동하기 위한 구동 파형도이다.
- <7> 도 7은 본 발명의 일 실시예에 따른 화소 회로를 포함하는 유기 발광 표시 장치를 도시한 블록도이다.

도면

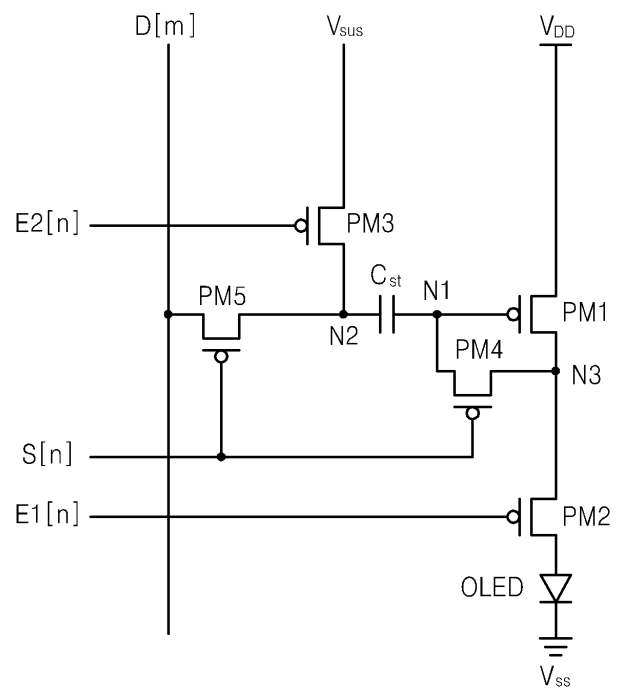
도면1



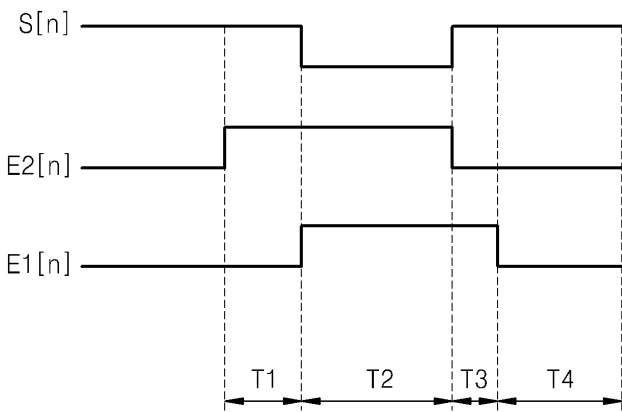
도면2



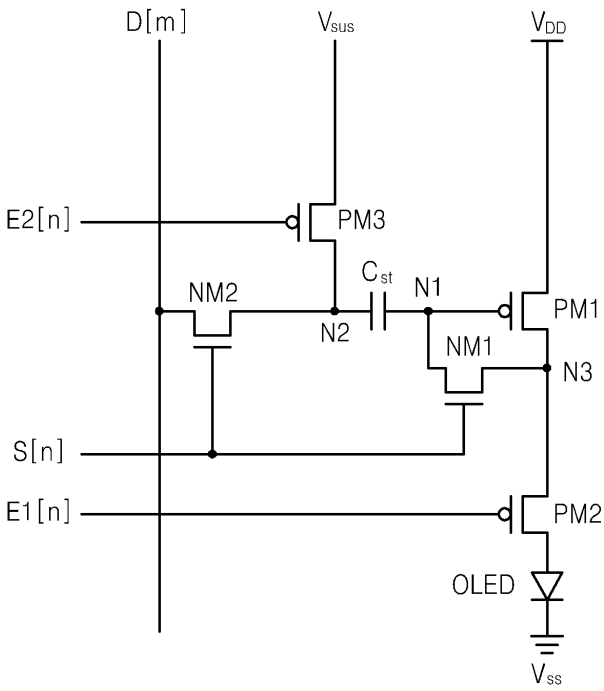
도면3



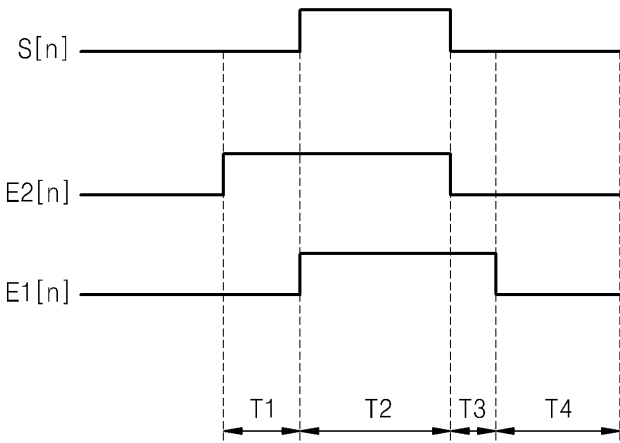
도면4

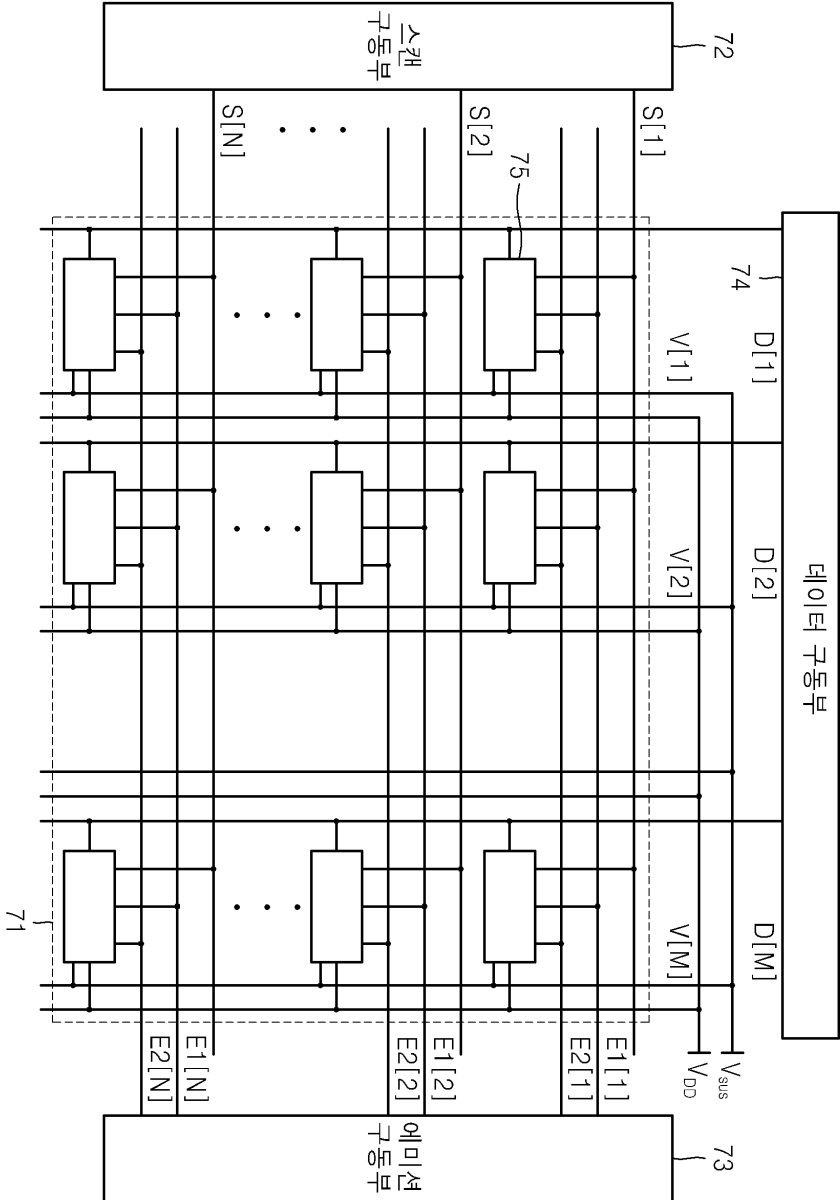


도면5



도면6





도면7

专利名称(译)	像素电路和包括其的有机发光显示器		
公开(公告)号	KR100822205B1	公开(公告)日	2008-04-17
申请号	KR1020060100380	申请日	2006-10-16
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KIM YANG WAN		
发明人	KIM, YANG, WAN		
IPC分类号	G09G3/30 G09G3/32 H05B33/08		
CPC分类号	G09G3/3233 G09G2300/043 G09G2320/0214 G09G2320/0233		
外部链接	Espacenet		

摘要(译)

本发明包括通过补偿包括在像素电路中的驱动晶体管的阈值电压的变化表达均匀的亮度，通过最小化所引起的开关晶体管的像素电路的反冲现象的驱动电压的变化是一种高分辨率可实现和他以及有机发光显示装置。为此，本发明提供一种显示装置，包括：第一PMOS晶体管，具有施加电源电压的第一电极，电连接到有机发光装置的第二电极，以及栅极；第一NMOS晶体管，连接在第一PMOS晶体管的第二电极和栅极之间，二极管连接第一晶体管；第二NMOS晶体管，具有施加数据信号的第一电极，电连接到第一PMOS晶体管的栅电极的第二电极，以及施加扫描信号的栅极；并且，电容器具有连接到第二NMOS晶体管的第二电极的第一电极和连接到第一PMOS晶体管的栅电极的第二电极，提供一种有机发光显示装置。

