

## (19)대한민국특허청(KR) (12) 등록특허공보(B1)

|                                               |                                                                        |
|-----------------------------------------------|------------------------------------------------------------------------|
| (51) 。 Int. Cl.<br><i>G09G 3/30</i> (2006.01) | (45) 공고일자 2006년04월12일<br>(11) 등록번호 10-0570627<br>(24) 등록일자 2006년04월06일 |
|-----------------------------------------------|------------------------------------------------------------------------|

|           |                 |           |                 |
|-----------|-----------------|-----------|-----------------|
| (21) 출원번호 | 10-2004-0035484 | (65) 공개번호 | 10-2005-0110463 |
| (22) 출원일자 | 2004년05월19일     | (43) 공개일자 | 2005년11월23일     |

|           |                                                                                 |
|-----------|---------------------------------------------------------------------------------|
| (73) 특허권자 | 삼성에스디아이 주식회사<br>경기 수원시 영통구 신동 575                                               |
| (72) 발명자  | 마쯔에다요지로<br>경기도수원시팔달구영통동벽적골9단지아파트904동1101호<br><br>박용성<br>서울특별시송파구신천동한신코아아파트1425호 |
| (74) 대리인  | 유미특허법인                                                                          |

심사관 : 조지은

### (54) 유기 전계발광 표시 장치

#### 요약

화면을 표시하는 표시부와 표시부의 화소를 구동하는 주변 회로가 동일 기판 위에 형성되는 유기 전계발광 표시 장치에서, 화소에 전원 전압을 공급하는 전원 배선이 데이터 구동부와 표시부 사이에 형성된다. 그리고 데이터 구동부에서 디지털 아날로그 변환부를 전원 배선에 인접하도록 배치한다. 이와 같이 하면, 전원 배선이 실드 배선 역할을 하여 노이즈가 표시부로 전달되는 것을 방지한다.

#### 대표도

도 1

#### 색인어

유기EL, SoP, 데이터 구동부, DAC, 전원 배선, 감마, 박막 트랜지스터

#### 명세서

#### 도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 유기 EL 표시 장치의 개략적인 도면이다.

도 2는 도 1의 유기 EL 표시 장치의 유기 EL 표시부의 개략적인 도면이다.

도 3은 본 발명의 실시예에 따른 부화소의 등가 회로도이다.

도 4는 도 3의 화소 회로의 구동 타이밍도이다.

도 5는 본 발명의 실시예에 따른 데이터 구동부의 개략적인 도면이다.

도 6은 도 5의 데이터 구동부의 디지털 아날로그 변환부를 나타내는 도면이다.

도 7은 도 6의 저항 래더 및 LSB 디코더를 나타내는 도면이다.

도 8은 DAC의 출력 전압과 감마 보정 곡선 사이의 관계를 나타내는 도면이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계발광 표시 장치에 관한 것으로, 특히 주변 회로와 화면 표시 영역이 동일 기판 위에 형성되는 표시 장치에 관한 것이다.

최근, 액정을 이용한 표시 장치, 유기 물질의 전계발광을 이용한 표시 장치 등의 평판 표시 장치가 널리 보급되고 있다. 일반적으로, 이러한 액정 표시 장치, 유기 전계발광(이하, "유기 EL"이라 함) 표시 장치 등은 능동 구동 방식을 취하고 있다. 이러한 능동 구동 방식의 표시 장치는 기존의 음극선관을 이용한 표시 장치에 비해 소비 전력이 낮고 표시 장치의 부피가 작다.

능동 구동 방식의 표시 장치는 능동 구동을 위해 능동 소자를 필요로 하고, 이러한 능동 소자는 일반적으로 절연 기판 위의 반도체층과 금속층에 의해 형성되는 박막 트랜지스터이다. 최근, 반도체층으로서 다결정 실리콘이 사용되고 있다. 이러한 다결정 실리콘을 사용하여 표시 장치의 표시 패널을 구동하기 위한 주변 회로를 형성할 수 있으므로, 절연 기판 위에 표시 영역을 형성하는 화소와 함께 올리는 연구가 행해지고 있다. 이와 같이 절연 기판 위에 화소 영역과 주변 회로를 같이 형성하는 방식을 SoP(system on panel) 방식이라 한다. 주변 회로를 액정 표시 패널 위에 집적하는 기술은 이미 어느 정도의 성공을 이루었으며, 이러한 기술로서 국제공개특허 WO01/029814호에 기재된 기술이 있다. 그런데, 유기 EL 표시 장치에서 표시 영상의 고화질화와 박막 트랜지스터 회로를 표시 패널 위에 집적하는 실용성을 동시에 만족하기는 어렵다.

특히, 유기 EL 표시 장치는 최근 높은 해상도의 화면이 요구되는 경향에 따라 고정세화(高精細化)가 요구되고 있다. 그런데, 고정세화가 되면 데이터 드라이버의 구동 주파수는 증가해서, 데이터 드라이버로부터 발생한 노이즈가 표시 영역에 영향을 미치고, 이에 따라 플리커(flicker)나 지터(jitter) 등에 의해 화질이 나빠지는 문제점이 있다. 특히, 절연 기판에 형성된 다결정 실리콘을 사용하는 회로는 단결정 실리콘을 사용하는 회로에 비해 전자(또는 정공) 이동도가 낮아서 구동을 위해서 높은 전압이 필요하므로, 이러한 노이즈의 문제는 더 크다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 주변 회로와 일체형으로 형성된 표시 장치에서 노이즈에 의한 화질 저하를 방지하는 것이다.

### 발명의 구성 및 작용

이러한 과제를 해결하기 위해, 본 발명은 전원 배선을 표시부와 데이터 구동부 사이에 형성한다.

본 발명의 한 특징에 따르면, 표시부, 주사 구동부, 적어도 하나의 데이터 구동부 및 적어도 하나의 제1 전원 배선이 동일 기판 위에 형성되어 있는 유기 EL 표시 장치가 제공된다. 상기 표시부는 행렬 형태로 배열된 복수의 화소에 각각 형성된 박막 트랜지스터의 구동에 의해 데이터를 기입하고, 기입된 데이터에 따라 유기 물질의 전계발광을 이용하여 화상을 표시한다. 주사 구동부는 상기 표시부의 박막 트랜지스터를 동작시키는 선택 신호를 전달하며 상기 표시부의 측면에 배치된다.

상기 데이터 구동부는 상기 표시부로 상기 데이터를 전달하며 상기 표시부의 측면에서 상기 주사 구동부가 배치된 측면과 인접하는 측면에 배치된다. 상기 제1 전원 배선은 상기 데이터 구동부와 상기 표시부 사이에 배치되며 상기 표시부의 화소로 제1 레벨의 전원 전압을 공급한다.

본 발명의 한 실시예에 따르면, 상기 데이터 구동부는 상기 표시부의 제1 측면에 위치하는 제1 데이터 구동부 및 상기 표시부의 제1 측면과 반대되는 제2 측면에 위치하는 제2 데이터 구동부를 포함하며, 상기 제1 전원 배선은 상기 표시부의 제1 측면과 상기 제1 데이터 구동부 사이 및 상기 표시부의 제2 측면과 상기 제2 데이터 구동부에 각각 형성된다.

본 발명의 한 실시예에 따르면, 상기 표시부는 적어도 두 색상의 화소를 포함하며, 상기 제1 전원 배선은 상기 적어도 두 색상의 화소에 공통으로 전원 전압을 공급한다.

본 발명의 한 실시예에 따르면, 상기 화소의 상기 유기 물질은 제1 전극과 제2 전극 사이에 형성되며, 상기 화소의 발광 시에 상기 제1 전극에는 상기 제1 레벨의 전원 전압이 공급되고 상기 제2 전극에는 제2 레벨의 전원 전압이 공급되며, 상기 제2 전극은 상기 표시부 및 상기 제1 전원 배선을 덮는 형태로 형성된다.

본 발명의 한 실시예에 따르면, 상기 화소의 상기 유기 물질은 제1 전극과 제2 전극 사이에 형성되며, 상기 화소의 발광 시에 상기 제1 전극에는 상기 제1 레벨의 전원 전압이 공급되고 상기 제2 전극에는 제2 레벨의 전원 전압이 공급되며, 상기 제2 레벨의 전원 전압을 공급하는 제2 전원 배선이 상기 표시부에서 상기 주사 구동부가 배치된 측면과 반대되는 측면에 배치된다.

본 발명의 한 실시예에 따르면, 상기 제1 전원 배선은 상기 표시부에서 상기 데이터를 전달하는 배선과 동일한 층에 형성된다.

본 발명의 한 실시예에 따르면, 상기 데이터 구동부는 디지털 형태의 영상 신호를 수신하여 아날로그 형태의 계조 전압으로 변경하는 디지털 아날로그 변환부를 포함하며, 상기 디지털 아날로그 변환부는 상기 제1 전원 배선에 인접하여 배치된다.

본 발명의 다른 실시예에 따르면, 상기 디지털 아날로그 변환부는 복수의 디지털 아날로그 변환 셀을 포함하며, 상기 셀의 피치는 상기 표시부의 화소의 피치의 정수배에 해당한다.

본 발명의 다른 실시예에 따르면, 상기 디지털 아날로그 변환부는 n비트의 디지털 데이터를 수신한다. 그리고 상기 디지털 아날로그 변환 셀은, 복수의 기준 전압을 전달하며 가로 방향으로 뻗어 있는 복수의 기준 전압 배선, 상기 n비트 중 상위 m비트에 따라 상기 복수의 기준 전압 배선 중 2개의 기준 전압 배선을 선택하여 선택된 기준 전압 배선의 기준 전압을 출력하는 제1 디코더, 상기 제1 디코더에서 출력되는 두 기준 전압 사이에 직렬로 연결되는 복수의 저항으로 이루어지는 저항 래더, 그리고 상기 n비트 중 하위 (n-m)비트에 따라 상기 복수의 저항 사이의 출력되는 전압 중 하나의 전압을 선택하여 상기 계조 전압으로 출력하는 제2 디코더를 포함한다.

본 발명의 다른 실시예에 따르면, 상기 제1 및 제2 디코더는 각각 상기 상위 m비트 및 하위 (n-m)비트에 따라 동작하는 복수의 n채널 박막 트랜지스터로 이루어지며, 상기 데이터 구동부는 상기 디지털 데이터의 신호 레벨 중 정전압 레벨을 보다 높은 전압 레벨로 변경하는 레벨 시프터를 더 포함한다.

본 발명의 다른 실시예에 따르면, 상기 제1 및 제2 디코더는 각각 상기 상위 m비트 및 하위 (n-m)비트에 따라 동작하는 복수의 p채널 박막 트랜지스터로 이루어지며, 상기 데이터 구동부는 상기 디지털 데이터의 신호 레벨 중 부전압 레벨을 보다 낮은 전압 레벨로 변경하는 레벨 시프터를 더 포함한다.

본 발명의 다른 실시예에 따르면, 상기 저항 래더는 직렬로 연결되는  $(2^{n-m}-1)$ 개의 저항을 포함한다.

본 발명의 한 실시예에 따르면, 본 발명의 유기 EL 표시 장치는 상기 주사 구동부에 음의 전압을 공급하며 상기 동일 기판 위에 형성되는 DC/DC 변환부를 더 포함한다.

본 발명의 다른 특징에 따르면, 표시부, 주사 구동부, 제1 및 제2 데이터 구동부, 제1 및 제2 전원 배선이 동일 기판 위에 형성되어 있는 유기 전계발광 표시 장치가 제공된다. 표시부는 행렬 형태로 배열된 복수의 화소에 각각 형성된 박막 트랜지스터의 구동에 의해 데이터를 기입하고, 기입된 데이터에 따라 유기 물질의 전계발광을 이용하여 화상을 표시한다. 주사

구동부는 상기 표시부의 박막 트랜지스터를 동작시키는 선택 신호를 전달하며 상기 표시부의 제1 측면에 배치된다. 제1 및 제2 데이터 구동부는 상기 표시부로 상기 데이터를 전달하며 상기 제1 측면과 인접하는 상기 표시부의 제2 측면 및 제3 측면에 각각 배치된다. 제1 전원 배선은 상기 제1 데이터 구동부와 상기 표시부의 상기 제2 측면 사이에 배치되며 상기 표시부의 화소로 제1 레벨의 전원 전압을 공급하며, 제2 전원 배선은 상기 제1 데이터 구동부와 상기 표시부의 상기 제3 측면 사이에 배치되며 상기 표시부의 화소로 상기 제1 레벨의 전원 전압을 공급한다. 제3 전원 배선은 상기 표시부의 제4 측면에 배치되며 상기 표시부의 화소로 상기 제1 레벨의 전원 전압에 대해서 반대되는 극성의 전원 전압을 공급한다.

본 발명의 또다른 특징에 따르면, 표시부, 주사 구동부, 적어도 하나의 데이터 구동부 및 적어도 하나의 전원 배선이 동일 기판 위에 형성되어 있는 유기 전계발광 표시 장치가 제공된다. 표시부는 행렬 형태로 배열된 복수의 화소에 각각 형성된 박막 트랜지스터의 구동에 의해 데이터를 기입하고, 기입된 데이터에 따라 유기 물질의 전계발광을 이용하여 화상을 표시한다. 주사 구동부는 상기 표시부의 박막 트랜지스터를 동작시키는 선택 신호를 전달하며 상기 표시부의 제1 측면에 배치된다. 데이터 구동부는 상기 표시부로 상기 데이터를 전달하며 상기 제1 측면과 인접하는 상기 표시부의 측면에 배치된다. 전원 배선은 상기 데이터 구동부와 상기 표시부 사이에 배치되며 상기 표시부의 화소로 제1 레벨의 전원 전압을 공급한다. 그리고 상기 제1 레벨의 전원 전압이 전달되는 전극이 상기 유기 물질에 접해 있는 표면과 반대되는 표면에서 상기 유기 물질과 접해서 제2 레벨의 전원 전압을 전달하며 상기 표시부 및 상기 전원 배선을 덮는 형태로 형성되는 면전극이 형성되어 있다.

아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.

이제 본 발명의 실시예에 따른 유기 EL 표시 장치에 대하여 도면을 참고로 하여 상세하게 설명한다.

도 1은 본 발명의 실시예에 따른 유기 EL 표시 장치의 개략적인 도면이며, 도 2는 도 1의 유기 EL 표시 장치의 유기 EL 표시부(10)의 개략적인 도면이다.

본 발명의 실시예에 따른 유기 EL 표시 장치는 대향하고 있는 두 개의 절연 기판(도시하지 않음)을 포함한다. 도 1에 도시한 바와 같이, 두 절연 기판 중 제1 절연 기판 위에는 유기 EL 표시부(10), 데이터 구동부(20a, 20b), 전원 배선(30a, 30b), 시프트 레지스터(40), 레벨 시프터 및 버퍼(50) 및 직렬/병렬 변환부(60)가 형성되어 있으며, 제2 절연 기판 위에는 전원 배선(120)이 형성되어 있다. 여기서, 시프트 레지스터(40)와 레벨 시프터 및 버퍼(50)가 주사 구동부를 형성한다.

유기 EL 표시부(10)는 행렬 형태로 배열된 복수의 화소에 각각 형성된 박막 트랜지스터의 구동에 의해 데이터를 기입하고, 기입된 데이터에 따라 유기 물질의 전계발광을 이용하여 화상을 표시하는 부분이다. 데이터 구동부(20a, 20b)는 각각 표시부(10)의 상측 및 하측에 배치되어 표시부(10)의 데이터선( $D_{11} \sim D_{1m}$ ,  $D_{21} \sim D_{2m}$ )으로 데이터 신호를 전달한다. 전원 배선(30a, 30b)은 표시부(10)의 화소 회로에 정극성 전원 전압(ELVDD)을 공급한다. 시프트 레지스터(40)는 표시부(10)의 선택 신호를 순차적으로 출력하고, 레벨 시프터 및 버퍼(50)는 주사 구동부(40)로부터의 선택 신호를 수신하여 선택 신호의 전압 레벨을 변경한 후 표시부(10)의 주사선( $S_1 \sim S_n$ )으로 전달한다. 직렬/병렬 변환부(60)(serial to parallel converter, 이하, "S/P"라 함)는 외부의 영상 신호원(도시하지 않음)으로부터 직렬로 전달되는 R(red), G(green), B(blue) 영상 데이터를 홀수 및 짝수 번째 영상 데이터로 분리하여 데이터 구동부(20a, 20b)로 전달한다. 그리고 DC/DC 변환부(70)는 레벨 시프터 및 버퍼(50)의 부극성 전원을 생성하기 위해 부극성 전압을 생성하여 레벨 시프터 및 버퍼(50)로 전달한다. 이는 일반적으로 표시부(10)로 전달되는 선택 신호가 정극성 및 부극성 전압 사이를 스위칭하는 펄스이기 때문이다.

먼저, 도 1 및 도 2를 보면, 표시부(10)에는 복수의 화소가 행렬 형태로 배열되어 있으며, 컬러 표시 장치인 경우에 한 화소는 일반적으로 R, G, B 세 개의 부화소로 이루어진다. 도 2에서는 부화소가 델타형 구조로 배열되어 하나의 화소를 형성하는 것으로 도시하였다.

표시부(10)에는 복수의 데이터선( $D_{11} \sim D_{1m}$ ,  $D_{21} \sim D_{2m}$ )과 복수의 주사선( $S_1 \sim S_n$ )이 형성된다. 이웃하는 두 데이터선과 이웃하는 두 주사선에 의해 화소 영역이 정의되며 이 화소 영역에 부화소가 형성되며, 화소 영역에서 데이터선과 주사선에는 박막 트랜지스터(도시하지 않음)가 연결된다. 데이터선( $D_{11} \sim D_{1m}$ ,  $D_{21} \sim D_{2m}$ )은 세로 방향으로 뻗어 있으며 화상을 나타내는 데이터 신호를 전달하고, 주사선( $S_1 \sim S_n$ )은 데이터선( $D_{11} \sim D_{1m}$ ,  $D_{21} \sim D_{2m}$ )과 절연되어 가로 방향으로 뻗어 있으며

박막 트랜지스터를 동작시키는 선택 신호를 전달한다. 도 1 및 도 2에서는 홀수 번째 데이터선( $D_{11} \sim D_{1m}$ )은 표시부(10)의 상측에 위치하는 데이터 구동부(20a)로부터 데이터 신호를 수신하고, 짝수 번째 데이터선( $D_{21} \sim D_{2m}$ )은 표시부(10)의 하측에 위치하는 데이터 구동부(20b)로부터 데이터 신호를 수신하는 것으로 도시하였다.

그리고 도 2의 부화소에는 예를 들어 도 3에 도시한 바와 같은 화소 회로가 형성될 수 있다. 도 3은 본 발명의 실시예에 따른 부화소의 등가 회로도이며, 도 4는 도 3의 화소 회로의 구동 타이밍도이다. 도 3에서는 설명의 편의상  $m$ 번째 데이터선( $D_m$ )과  $n$ 번째 주사선( $S_n$ )에 연결된 부화소의 화소 회로만을 도시하였다. 그리고 도 4에서는  $n$ 번째 주사선( $S_n$ )과  $(n-1)$ 번째 주사선( $S_{n-1}$ )에 인가되는 선택 신호를 각각  $\text{scan}[n]$  및  $\text{scan}[n-1]$ 로 표시하고, 설명의 편의상 도 3에서의  $n$ 번째 및  $(n-1)$ 번째 주사선( $S_n, S_{n-1}$ )을 각각 선택 신호( $\text{scan}[n], \text{scan}[n-1]$ )로 표시하였다.

한편, 주사선에 관한 용어를 정의하면, 데이터 신호를 전달할 수 있도록 능동 소자(박막 트랜지스터)를 동작시키는 선택 신호를 전달하는 주사선을 "현재 주사선"이라 하고, 현재 선택 신호 직전에 선택 신호를 전달하는 주사선을 "직전 주사선"이라 한다.

도 3에 도시한 바와 같이, 본 발명의 실시예에 따른 화소 회로는 5개의 박막 트랜지스터( $M1 \sim M5$ ), 2개의 커패시터( $Cst, C_{vth}$ ) 및 유기 EL 소자(OLED)를 포함한다. 도 3에서는 박막 트랜지스터( $M1, M2, M3, M5$ )는 p채널 전계 효과 트랜지스터로 도시하고, 박막 트랜지스터( $M4$ )는 n채널 전계 효과 트랜지스터로 도시하였다.

박막 트랜지스터( $M1$ )는 유기 EL 소자(OLED)를 구동하기 위한 구동 트랜지스터로서 하이 레벨의 전원 전압을 공급하기 위한 전원(ELVDD)과 박막 트랜지스터( $M4$ ) 사이에 연결되며, 게이트에 인가되는 전압에 의하여 박막 트랜지스터( $M4$ )를 통하여 유기 EL 소자(OLED)에 흐르는 전류를 제어한다. 그리고 박막 트랜지스터( $M2$ )는 직전 주사선으로부터의 로우 레벨의 선택 신호( $\text{scan}[n-1]$ )에 응답하여 박막 트랜지스터( $M1$ )를 다이오드 연결시킨다.

박막 트랜지스터( $M1$ )의 게이트에는 커패시터( $C_{vth}$ )의 제1 전극(A)이 연결되고, 커패시터( $C_{vth}$ )의 제2 전극(B) 및 전원(ELVDD) 사이에는 커패시터( $Cst$ )와 박막 트랜지스터( $M5$ )가 병렬로 연결된다. 박막 트랜지스터( $M5$ )는 직전 주사선으로부터의 로우 레벨의 선택 신호에 응답하여 커패시터( $C_{vth}$ )의 제2 전극(B)을 전원(ELVDD)에 직접 연결한다. 그리고 박막 트랜지스터( $M3$ )는 데이터선( $D_m$ )과 커패시터( $C_{vth}$ )의 제2 전극(B) 사이에 연결되어, 현재 주사선으로부터 로우 레벨의 선택 신호( $\text{scan}[n]$ )에 응답하여 데이터선( $D_m$ )으로부터의 전압 형태의 데이터 신호(이하, "데이터 전압"이라 함)를 커패시터( $C_{vth}$ )의 제2 전극(B)으로 전달한다.

박막 트랜지스터( $M4$ )는 박막 트랜지스터( $M1$ )의 드레인과 유기 EL 소자(OLED)의 애노드 사이에 연결되고, 직전 주사선으로부터의 로우 레벨의 선택 신호( $\text{scan}[n-1]$ )에 응답하여 박막 트랜지스터( $M1$ )의 드레인과 유기 EL 소자(OLED)를 전기적으로 차단시키고, 직전 주사선으로부터의 하이 레벨의 선택 신호( $\text{scan}[n-1]$ )에 응답하여 박막 트랜지스터( $M1$ )로부터의 전류를 유기 EL 소자(OLED)로 전달한다.

유기 EL 소자(OLED)는 입력되는 전류에 대응하여 빛을 방출한다. 그리고 유기 EL 소자(OLED)의 캐소드에 연결되는 전압(ELVSS)은 전압(ELVDD)보다 낮은 레벨의 전압으로서, 그라운드 전압, 음의 전압 등이 사용될 수 있다.

이하, 본 발명의 실시예에 따른 화소 회로의 동작을 도 4를 참조하여 설명한다.

먼저, 직전 주사선의 선택 신호( $\text{scan}[n-1]$ )가 로우 레벨로 되면, 박막 트랜지스터( $M2$ )가 턴온되어 박막 트랜지스터( $M1$ )는 다이오드 연결 상태가 된다. 따라서, 박막 트랜지스터( $M1$ )의 게이트 및 소스간 전압이 박막 트랜지스터( $M1$ )의 문턱 전압( $V_{TH}$ )이 될 때까지 변하게 된다. 그리고 커패시터( $C_{vth}$ )의 제2 전극(B)은 전원(ELVDD)에 연결되므로, 박막 트랜지스터( $M1$ )의 게이트 즉, 커패시터( $C_{vth}$ )의 제1 전극(A) 전압은  $(ELVDD + V_{TH})$  전압으로 된다. 그리고  $n$ 채널 박막 트랜지스터( $M4$ )는 로우 레벨의 선택 신호( $\text{scan}[n-1]$ )에 의해 턴오프되어 있으므로, 박막 트랜지스터( $M1$ )의 전류가 유기 EL 소자(OLED)로 흐르는 것이 방지된다.

다음, 직전 주사선의 선택 신호( $\text{scan}[n-1]$ )가 하이 레벨로 되고 현재 주사선의 선택 신호( $\text{scan}[n]$ )가 로우 레벨로 되면, 박막 트랜지스터( $M3, M4$ )가 턴온되고 박막 트랜지스터( $M2, M5$ )가 턴오프된다. 그리고 데이터선( $D_m$ )으로부터 데이터 전압( $V_{DATA}$ )이 박막 트랜지스터( $M3$ )로 전달된다. 그러면 데이터 전압( $V_{DATA}$ )이 커패시터( $C_{vth}$ )의 제2 전극(B)으로 전달되

어, 커패시터(Cvth)의 제1 전극(A) 전압은 데이터 전압( $V_{DATA}$ )과 전전원 전압(ELVDD)의 차이만큼 부스트된다. 따라서 박막 트랜지스터(M1)의 게이트, 즉 커패시터(Cvth)의 제1 전극(A) 전압( $V_G$ )은 수학적 식 1과 같이 되고, 박막 트랜지스터(M1)의 드레인에 흐르는 전류( $I_{OLED}$ )는 수학적 식 2와 같이 된다. 그리고 박막 트랜지스터(M4)가 턴온되어 있으므로, 이 전류( $I_{OLED}$ )가 유기 EL 소자(OLED)로 전달되어 발광이 이루어진다.

#### 수학적 식 1

$$V_G = ELVDD + V_{TH} + (V_{DATA} - ELVDD) = V_{DATA} + V_{TH}$$

#### 수학적 식 2

$$\begin{aligned} I_{OLED} &= \frac{\beta}{2} (V_{GS} - V_{TH})^2 = \frac{\beta}{2} \{ (V_{DATA} + V_{TH} - ELVDD) - V_{TH} \}^2 \\ &= \frac{\beta}{2} (ELVDD - V_{DATA})^2 \end{aligned}$$

여기서,  $V_{GS}$ 는 박막 트랜지스터(M1)의 소스와 게이트 사이의 전압,  $V_{TH}$ 는 박막 트랜지스터(M1)의 문턱 전압,  $V_{DATA}$ 는 데이터 전압,  $\beta$ 는 상수 값을 나타낸다.

수학적 식 2에서 알 수 있듯이, 각 부 화소에 위치하는 박막 트랜지스터(M1)의 문턱 전압( $V_{TH}$ )이 서로 다르더라도, 이 문턱 전압( $V_{TH}$ )의 편차가 커패시터(Cvth)에 의하여 보상되므로, 유기 EL 소자(OLED)에 공급되는 전류는 일정하게 된다. 즉, 본 발명의 실시예에서 예시한 화소 회로에 의하면, 각 부화소 사이의 위치에 따른 박막 트랜지스터의 문턱 전압의 편차에 의해 발생하는 휘도 불균형 문제를 해결할 수 있다.

도 3 및 도 4에서 설명한 것처럼, 유기 EL 표시 장치의 화소 회로가 동작하기 위해서는 정극성 전원 전압(ELVDD)과 부극성 전원 전압(ELVSS)이 필요하다. 본 발명의 실시예에서는 도 1에 도시한 바와 같이, 전원 전압(ELVDD)을 공급하는 제1 전원 배선(30a, 30b)을 데이터 구동부(20a, 20b)와 표시부(10) 사이에 형성한다. 즉, 제1 전원 배선(30a, 30b)은 각각 표시부(10)의 상측과 상측 데이터 구동부(20a) 사이 및 표시부(10)의 하측과 하측 데이터 구동부(20b) 사이에서 주사선( $S_1 \sim S_n$ )과 실질적으로 평행하게 가로 방향으로 뻗어 있으며, 또한 표시부(10)에 가깝게 형성되어 있다. 그러면, 제1 전원 배선(30a, 30b)은 데이터 구동부의 클록 신호나 샘플링 펄스로부터 발생하는 노이즈가 프린지 필드(fringe field)에 의해 표시부의 데이터선으로 전달되는 것으로 방지하는 실드 배선으로서 기능을 할 수 있다.

그리고 일반적으로 제1 절연 기판 위에는 주사선과 박막 트랜지스터의 게이트 전극을 형성하는 금속층, 박막 트랜지스터의 반도체층을 형성하는 다결정 실리콘층, 데이터선과 박막 트랜지스터의 소스/드레인 전극 및 유기 EL 소자의 애노드 전극을 형성하는 금속층이 순차적으로 형성되고, 이후 유기 물질층이 형성된 후, 유기 EL 소자의 캐소드 전극이 형성된다. 즉, 유기 물질은 박막 트랜지스터의 턴온에 의해 전원 전압(ELVDD)이 전달되는 애노드 전극과 전원 전압(ELVSS)이 전달되는 캐소드 전극 사이에 형성된다. 이러한 절연 기판 위의 적층 관계는 본 발명이 속하는 기술분야에 속하는 사람에게는 공지의 기술이므로 자세한 설명 및 도시를 생략한다.

이때, 본 발명의 실시예에서는 캐소드 전극(110)을 도 1에 도시한 바와 같이 표시부(10)와 제1 전원 배선(30a, 30b)이 형성되는 영역을 덮도록 면전극 형태로 형성한다. 이와 같이 캐소드 전극(110)과 제1 전원 배선(30a, 30b)이 대향하는 면적이 넓으면 캐소드 전극(110)과 제1 전원 배선(30a, 30b) 사이에 매우 큰 커패시턴스가 형성되므로, 제1 전원 배선(30a, 30b)은 캐소드 전극(110)과 함께 표시부(10)의 전압 변동을 억제할 수 있는 커패시터로 작용하여 노이즈를 더욱 저감시킬 수 있다.

그리고 R, G, B 부화소에 전달되는 전원 전압(ELVDD)을 모두 제1 전원 배선(30a, 30b)으로 공급함으로써 제1 전원 배선(30a, 30b)을 보다 두꺼운 배선으로 형성할 수 있으며, 이에 따라 제1 전원 배선(30a, 30b)의 저항을 줄여서 전압 강하를 줄일 수 있다. 또한, 제1 전원 배선(30a, 30b)이 두꺼워지면 두꺼워질수록 실드 배선으로서 노이즈를 차단하는 효과는 더욱 증대한다. 이와 같이 R, G, B 부화소에 대해서 동일한 제1 전원 배선을 사용하면, 각 부화소에 공급되는 전원 전압이 동일해진다. 일반적으로, 각 색상의 유기 물질의 특성 차이로 인해, 각 색상의 부화소에서 동일 계조를 표현하기 위해 다른 전압이 요구된다. 그런데 이와 같이 전원 전압(ELVDD)이 동일한 경우에는 데이터 구동부(20a, 20b)에서 공급하는 데이터 전압을 다르게 하면 되므로, 데이터 구동부(20a, 20b)에서 각 색상의 데이터에 사용하는 R, G, B 기준 전압을 다르게 설정하면 된다.

다시 도 1을 보면, 본 발명의 실시예에서는 유기 EL 소자(OLED)의 캐소드 전극(110)에 연결되는 부극성 전원 전압(ELVSS)을 공급하는 제2 전원 배선(120)을 주사 구동부(40, 50)가 형성되어 있지 않는 표시부(10)의 우측에 형성된다. 본 발명의 실시예에서는 제2 전원 배선(120)을 우측에 형성하는 것으로 하였지만, 만약 주사 구동부(40, 50)가 우측에 배치되어 있으면 제2 전원 배선(120)을 좌측에 배치할 수 있다. 그리고 이러한 제2 전원 배선(120)은 표시부(10)가 형성되는 제1 절연 기판이 아니라 제1 절연 기판과 대향하고 있는 제2 절연 기판 위에 형성된 후, 그 부분(130)에서 캐소드 전극(110)과 연결된다. 한편, 제1 전원 배선(30a, 30b)은 제2 전원 배선(120)의 외측(즉, 도 1에서는 제2 전원 배선의 상측 및 하측) 및 주사 구동부(40, 50)와 그 입력 배선의 외측에 충분한 폭을 가지고 배치되어 있다.

이와 같이 하면, 제1 및 제2 전원 배선(30a, 30b, 120), 주사 구동부(40, 50)의 입력 배선 등이 교차하지 않고 배치될 수 있으므로, 배선 임피던스가 저감되는 동시에 노이즈 저감 효과를 높일 수 있다. 그리고 표시부(10)의 외곽을 제1 및 제2 전원 배선(30a, 30b, 120)으로 우선적으로 사용함으로써, 배선의 형상을 용이하게 가공할 수 있으며, 또한 남은 공간을 이 배선으로 채울 수도 있다. 즉, 설계 자유도 증가하며, 배선의 면적이 증가함에 따라 노이즈를 더욱 저감시킬 수 있다.

그리고 본 발명의 실시예에서는 도 3과 같은 화소 회로를 예로 들어 캐소드 전극이 유기 물질층 위에 형성되는 것으로 설명하였지만, 캐소드 전극을 유기 물질층 아래에 형성할 수도 있다. 이 경우에는 제1 전원 배선(30a, 30b)과 제2 전원 배선(120)을 바꾸면 된다.

또한, 본 발명의 실시예에서는 도시하지는 않았지만 제1 전원 배선(30a, 30b)을 박막 트랜지스터의 소스/드레인 전극을 형성하는 금속층으로 형성한다. 일반적으로 소스/드레인 금속 재료가 게이트 금속 재료보다 저항이 작으므로, 제1 전원 배선(30a, 30b)의 저항을 더 줄일 수 있다.

그리고 도 1에서 데이터 구동부(20a, 20b)에서 표시부(10)로 게조 전압을 전달하는 배선을 트랜지스터의 게이트 전극을 형성하는 금속층으로 형성한다. 이와 같이 하면, 데이터 구동부(20a, 20b)와 표시부(10) 사이에 배치되고 소스/드레인 금속층으로 형성된 제1 전원 배선(30a, 30b) 아래로 데이터 구동부(20a, 20b)의 출력 배선이 통과할 수 있다. 또한, 이 출력 배선과 제1 전원 배선(30a, 30b) 사이에는 일정한 커패시턴스가 형성되며, 이 커패시턴스가 앞에서 설명한 것처럼 노이즈를 저감시킬 수 있다.

다음, 도 5 내지 도 7을 참조하여 본 발명의 실시예에 따른 데이터 구동부에 대해서 설명한다. 도 5는 본 발명의 실시예에 따른 데이터 구동부의 개략적인 도면이다. 도 6은 도 5의 데이터 구동부의 디지털 아날로그 변환부를 나타내는 도면이며, 도 7은 도 6의 저항 래더(register ladder) 및 LSB 디코더를 나타내는 도면이다.

도 5를 보면, 본 발명의 실시예에 따른 데이터 구동부(20a, 20b)는 각각 시프트 레지스터(21), 샘플링 래치(22), 홀딩 래치(23), 레벨 시프터(24) 및 디지털/아날로그 변환부(25)(digital to analog converter, 이하 "DAC"이라 함)를 포함한다.

샘플링 래치(22)는 복수의 샘플링 회로를 포함하며, 각 샘플링 회로는 시프트 레지스터(21)로부터 순차적으로 전달되는 샘플링 신호에 따라 S/P(60)로부터 전달되는 R, G, B 디지털 신호를 순차적으로 샘플링한다. 시프트 레지스터(21)는 클럭(Hclk, Hclkb)에 따라 시작 신호(Hsp)로부터 샘플링 신호를 생성하고, 이 샘플링 신호를 클럭(Hclk, Hclkb)에 따라 순차적으로 시프트한다. 홀딩 래치(23)는 인에이블 신호(Venb)에 따라 샘플링 래치(22)에서 순차적으로 샘플링된 R, G, B 디지털 신호를 동시에 출력한다. 레벨 시프터(24)는 입력 전압(LVdd)에 따라 홀딩 래치(23)에서 출력되는 R, G, B 디지털 신호의 전압 레벨을 DAC(25)에서 사용할 수 있는 레벨로 변경한다. DAC(25)는 입력되는 R, G, B 디지털 신호를 R, G, B 기준 전압(VR0~VR8, VG0~VG8, VB0~VB8)에 따라 각각 아날로그 게조 전압으로 변경한다.

본 발명의 실시예에서는 DAC(25)를 데이터 구동부(20a, 20b)의 최외곽, 즉 제1 전원 배선(30a, 30b) 근처에 형성한다. DAC(25)는 디지털 데이터를 기준 전압에 따라 아날로그 게조 전압으로 변환하는 부분으로서, 노이즈의 영향을 가장 쉽게 받는 부분 중 하나이다. 따라서 본 발명의 실시예와 같이 DAC(25)를 제1 전원 배선(30a, 30b) 근처에 형성함으로써, 노이즈에 의한 영향을 줄일 수 있다.

다음, 도 6을 보면, DAC(25)는 MSB 디코더(25a), 기준 전압 배선부(25b), LSB 디코더(25c) 및 저항 래더부(25d)로 이루어진다. 도 6에는 R, G, B 3개의 부화소에 대응되는 DAC 셀만을 도시하였다. 그리고 본 발명의 실시예에서는 R, G, B 디지털 데이터는 각각 6비트 데이터로 가정한다. 여기서, MSB 디코더(25a)가 9개의 기준 전압(VR0~VR8) 중에서 연속하는 두 개의 기준 전압을 선택함으로써 상위 3비트를 담당하며, LSB 디코더(25c)가 하위 3비트를 담당한다.

기준 전압 배선부(25b)에는, R 기준 전압(VR0~VR8)을 각각 전달하는 9개의 가로 배선, G 기준 전압(VG0~VG8)을 각각 전달하는 9개의 가로 배선 및 B 기준 전압(VB0~VB8)을 각각 전달하는 9개의 가로 배선이 각각 가로 방향으로 뻗어 있다. 그리고 9개의 가로 배선에는 각각 세로 방향으로 뻗어 있는 세로 배선이 연결되고, 이 세로 배선의 일단은 MSB 디코더(25a)에 연결된다.

아래에서 MSB 디코더(25a), 기준 전압 배선부(25b), LSB 디코더(25c) 및 저항 래더부(24d)의 자세한 구조 및 동작에 대해서는, 설명의 편의상 R 디지털 데이터에 대한 하나의 DAC 셀을 기준으로 설명한다.

MSB 디코더(25a)는 R 디지털 데이터의 상위 3비트에 따라 각각 9개의 가로 배선 중에서 2개의 연속되는 가로 배선을 선택한다. 그리고 MSB 디코더(25a)에서 선택된 2개의 가로 배선에 전달된 기준 전압(VRH, VRL)을 전달하기 위한 2개의 세로 배선이 세로 방향으로 뻗어서 저항 래더부(25d)에 연결된다.

도 6 및 도 7을 보면, 저항 래더부(25d)는 MSB 디코더(25a)의 2개의 기준 전압(VRH, VRL) 사이에 직렬로 연결되는 7개의 저항(R1~R7)을 포함하며, LSB 디코더(25c)는 기준 전압(VRH)과 저항(R1)의 접점, 인접한 두 저항의 접점 및 저항(R7)과 기준 전압(VRL)의 접점에 각각 연결되는 8개의 박막 트랜지스터(SW1~SW8)를 포함한다. 그리고 LSB 디코더(25c)는 R 디지털 데이터의 하위 3비트에 따라 8개의 박막 트랜지스터(SW1~SW8) 중 하나의 박막 트랜지스터를 선택하여 R 계조 전압을 출력한다. 또한, MSB 디코더(25a)의 자세한 구조에 대해서 위에서 설명하지 않았지만, MSB 디코더(25a) 또한 LSB 디코더(25c)에 대칭되도록 박막 트랜지스터를 사용하여 형성한다.

이와 같이, 본 발명의 실시예에서는 LSB 디코더(25c)에서 처리하는 비트 수가 n비트인 경우에 저항 래더부(25d)의 하나의 저항 래더에서 총  $(2^n-1)$ 개의 저항을 사용한다. 도 7에서는 6비트 데이터 중 LSB 디코더(25d)에서 3비트를 처리하고, 총  $7(=2^3-1)$ 개의 저항을 사용하는 저항 래더를 예시하였다. 일반적으로 n비트를 처리하는 경우에 저항 래더에서  $2^n$ 개의 저항을 사용한다. 그런데, 박막 트랜지스터의 저항도 저항 래더의 저항에 비해 무시할 수 없을 정도로 크기 때문에, 구동 전압을 최적화하고 박막 트랜지스터도 저항 래더의 일부로서 설계할 수 있다. 따라서 본 발명의 실시예에서처럼 저항을 하나 제거하고  $(2^n-1)$ 개의 저항과  $2^n$ 개의 박막 트랜지스터로 저항 래더를 형성할 수 있으며, 이에 따라 소자 개수를 줄여서 면적을 최소화시킬 수 있다.

이상에서 설명한 것처럼, DAC(25)에서 하나의 디지털 데이터를 처리하는 DAC 셀은 2개의 기준 전압을 선택하기 위해 세로 방향으로 뻗어 있는 8개의 세로 배선, 선택된 2개의 기준 전압을 전달하기 위한 2개의 세로 배선, 선택된 기준 전압에 따라 계조 전압을 출력하기 위해 직렬로 연결된 7개의 저항 및 기준 전압과 계조 전압을 선택하기 위한 MSB 및 LSB 디코더(25a, 25c)로 이루어지며, 이들 요소들이 세로 방향으로 형성되어 있다. 또한, 이러한 DAC 셀은 하나의 부화소 또는 복수의 부화소에 대응하도록 형성할 수 있다. 즉, DAC 셀의 레이아웃 상의 피치를 부화소의 레이아웃 상의 피치와 같도록 또는 부화소의 레이아웃 상의 피치에 대해서 정수배가 되도록 형성할 수 있다.

이와 같이 하면, DAC 셀이 세로 방향으로, 즉 제1 전원 배선(30a, 30b)에 대해서 수직 방향으로 형성되고 또한 DAC 셀의 레이아웃 피치가 부화소의 레이아웃 피치의 정수배가 되도록 배치되면, 불필요한 배선 영역이 없어지는 동시에 DAC(25)의 모든 출력 배선의 길이를 실질적으로 동일하게 할 수 있다. 그 결과, 레이아웃 면적을 최소화하고 DAC(25) 출력의 편차를 제거할 수 있다.

다시, 도 5 및 도 6을 참조하여 데이터 구동부(20a, 20b)의 내부 배치를 보면, 시프트 레지스터(21), 샘플링 래치(22), 홀딩 래치(23), 레벨 시프터(24), MSB 디코더(25a), 기준 전압 배선부(25b), LSB 디코더(25c), 저항 래더부(25d), 제1 전원 배선(30a, 30b) 순으로 배치되어 있다. 그리고 도시하지는 않았지만 시프트 레지스터(21)와 샘플링 래치(22) 사이에는 R, G, B 디지털 데이터를 전달하는 디지털 데이터 배선이 배치된다.

일반적으로, 시프트 레지스터(21)와 디지털 데이터 배선이 노이즈를 발생시키는 원인으로 작용하는데, 본 발명의 실시예와 같은 배치에서는 시프트 레지스터(21)와 디지털 데이터 배선이 노이즈에 약한 저항 래더부(25d)로부터 가장 멀리 떨어져 있으므로 노이즈에 의한 영향을 줄일 수 있다. 또한, DAC(25)에서 MSB 디코더(25a)가 2개의 기준 전압 배선(25b)을 선택하고, 이를 저항 래더부(25d)가 분할한 전압을 LSB 디코더(25c)가 선택한다. 그런데, 본 발명의 실시예와 같이 데이터 전달되는 순서인 샘플링 래치(22), 홀딩 래치(23), 레벨 시프터(24), MSB 디코더(25a), 기준 전압 배선부(25b), LSB 디코더(25c), 저항 래더부(25d) 순으로 배치되면, 회로 사이의 배선 길이를 최소화할 수 있다. 즉, 면적이 최소화될 수 있다.

그리고 앞서 설명한 것처럼 MSB 디코더(25a)와 LSB 디코더(25c)는 박막 트랜지스터로 이루어지는데, 이들 박막 트랜지스터를 CMOS 트랜지스터로 형성하면 MSB 및 LSB 디코더(25a, 25c)의 면적이 증가한다. 따라서 본 발명의 실시예에서는 이들 박막 트랜지스터를 p 채널 트랜지스터 또는 n 채널 트랜지스터로 형성하여 MSB 디코더(25a)와 LSB 디코더(25c)의 면적을 최소화한다.

만약, MSB 디코더(25a)와 LSB 디코더(25c)의 박막 트랜지스터를 n 채널 트랜지스터로 형성하면, 레벨 시프터(24)에서는 디지털 데이터의 정전압을 보다 높은 레벨로 변경하여 출력해서 n 채널 트랜지스터를 최소한의 전압으로 동작시킬 수 있다. 또한, MSB 디코더(25a)와 LSB 디코더(25c)의 박막 트랜지스터를 p 채널 트랜지스터로 형성하면, 레벨 시프터(24)에서는 디지털 데이터의 부전압을 보다 낮은 레벨로 변경하여 출력하면 p 채널 트랜지스터를 최소한의 전압으로 동작시킬 수 있다.

또한, 도 6에 도시한 바와 같이, MSB 디코더(25a)와 LSB 디코더(25c)는 기준 전압 배선부(25b)의 양측면에 대칭으로 형성되어 있으므로, 이들 레이아웃 또한 대칭으로 되어 면적이 감소된다. 그리고 앞에서 설명한 것처럼 MSB 디코더(25a)와 LSB 디코더(25c)의 박막 트랜지스터 배치 또한 대칭으로 형성할 수 있다. 여기서, 기준 전압 배선부(25b)에서 복수의 가로 배선들과 이들 가로 배선들에서 기준 전압을 추출하는 배선들이 가장 큰 면적을 차지하지만 MSB 디코더(25a)에서 LSB 디코더(25c)로의 출력 배선은 2개만 있으면 된다. 따라서 기준 전압 배선들을 배치하고 이 영역에 MSB 디코더(25a)에서 LSB 디코더(25c)로의 출력 배선을 배치하면 배선들을 가장 짧게 형성할 수 있다.

그리고 도 6에 도시한 바와 같이, DAC(25)에서 DAC 셀을 좌우로 거의 대칭으로 배치함으로써 레이아웃을 간단하게 할 수 있다. 구체적으로, 출력 배선 중 높은 전압을 전달하는 배선(이하, "정극성 배선"이라 함)(VRH)과 낮은 전압을 전달하는 배선(이하, "부극성 배선"이라 함)(VRL)을 번갈아 가면서 DAC의 셀에 양단에 배치한다. 즉, 하나의 DAC 셀에서 좌측에 정극성 배선(VRH)을 배치하고 우측에 부극성 배선(VRL)을 배치하면, 인접한 DAC 셀에서는 좌측에 부극성 배선(VGL)을 배치하고 우측에 정극성 배선(VGH)을 배치한다. 이와 같이 하면, 인접한 DAC 셀에서 정극성 배선이 서로 이웃하면서 배치되고 부극성 배선이 서로 이웃하면서 배치된다. 따라서 MSB 및 LSB 디코더(25a, 25c)에서 정극성 배선과 박막 트랜지스터를 연결하는 접속부를 인접한 두 DAC 셀이 공유할 수 있으므로, 면적을 최소화할 수 있다. 그리고 대칭 구조를 인해서 공간이 남으면 이 공간으로 배선 폭을 넓힐 수 있으므로 노이즈를 저감시킬 수도 있다.

또한, 본 발명의 실시예에서는 박막 트랜지스터의 방향을 박막 트랜지스터의 양측에 연결되는 배선의 방향과 수직으로 고정한다. DAC 셀의 면적은 박막 트랜지스터보다 배선이 거의 차지하고 있으므로, 배선의 방향을 박막 트랜지스터의 방향에 대해서 수직으로 고정함으로써 배선 면적을 최소화시킬 수 있다.

다시 도 1을 보면, 본 발명의 실시예에서는 레벨 시프터 및 버퍼(50)로 음의 전압을 출력하는 DC/DC 변환부(70) 또한 제1 절연 기판 위에 형성되어 있다. 일반적으로 주사 구동부(40, 50)에서 레벨 시프터 및 버퍼(50) 부분의 소비 전력은 매우 낮으므로 박막 트랜지스터로 형성한 DC/DC 변환부(70)를 사용할 수 있다. 그리고 DC/DC 변환부(70)를 도 1과 같이 전원 배선(30a, 30b)으로부터 멀리 떨어진 위치(즉, 입력 패드 근처)에 배치함으로써 노이즈 발생을 억제시킬 수 있다. 또한, DC/DC 변환부(70)를 박막 트랜지스터로 형성하여 제1 절연 기판 위에 형성함으로써 동작 주파수를 자유로이 선택할 수 있으므로, 노이즈 발생의 관점에서 가장 영향이 없는 주파수로 DC/DC 컨버터(70)의 동작 주파수를 설정할 수도 있다.

또한, 본 발명의 실시예에서는 DAC(50)가 감마 보정된 계조 전압을 출력하며, 아래에서는 도 8을 참조하여 DAC(50)에서 감마 보정을 수행하는 방법에 대해서 설명한다.

도 8에 도시한 바와 같이 입력 계조에 대해서 감마 보정된 계조 전압이 점선과 같이 주어질 때, 본 발명의 실시예에서는 입력 계조를 일정 간격으로 분할한다. 앞에서 예시한 것처럼 영상 데이터가 6비트이고 MSB 디코더(25a)에서 상위 3비트를 처리하고 LSB 디코더(25c)에서 하위 3비트를 처리할 때, 입력 계조를 상위 3비트, 즉 8계조 간격으로 분할한다. 따라서 6비트 데이터에서는 8계조 간격으로 8개의 구간이 형성된다. 이때, 인접한 두 구간의 끝을 동일하게 하면, 8개의 구간에서 생기는 7개의 접점 및 처음과 마지막 구간의 2개의 끝점을 합해서 총 9개의 경계점이 형성된다. 이 9개의 경계점을 DAC(25)에 입력되는 9개의 기준 전압(VR0~VR8)으로 설정하고, 각 구간의 기울기를 감마 보정 곡선에 따라 다르게 설명한다. 그러면 도 8에 도시한 바와 같이 8개의 구간으로 감마 보정 곡선에 근사한 그래프를 형성할 수 있다. 단, 도 8에서는 편의상 4개의 구간만을 도시하였다.

그리고 각 구간에서의 계조는 LSB 디코더(25c)와 저항 래더(25d)로 세분화한다. 저항 래더(25d)에 사용되는 7개의 저항의 크기를 동일하게 설명하면, 각 구간에서 DAC(25)의 출력 계조 전압은 선형적으로 변한다. 그리고 저항의 크기를 다르게 설명하면, 각 구간에서 DAC(25)의 출력 계조 전압을 각 구간 내의 감마 보정 곡선에 더욱 근사하게 할 수도 있다.

다시 정리하면, 9개의 기준 전압(VR0~VR8)을 전압의 크기 순으로 배열할 때, 인접한 두 전압 사이의 차이들(VR1-VR0, VR2-VR1, ..., VR8-VR7) 중에서 전압의 차이가 서로 같지 않은 쌍이 적어도 하나 존재하도록 기준 전압을 설정할 수 있다. 또한, 저항 래더(25d)의 7개의 저항(R1~R7) 중 크기가 서로 같지 않은 쌍이 적어도 하나 존재하도록 저항(R1~R7)의 크기를 설정할 수도 있다.

다시 도 1을 보면, 본 발명의 실시예에서 S/P(60)는 외부의 영상 신호원으로부터 직렬로 전달되는 R, G, B 영상 데이터를 홀수 및 짝수 번째 영상 데이터로 분리하여 홀수 번째 R, G, B 영상 데이터는 데이터 구동부(20a)로 전달하고 짝수 번째 R, G, B 영상 데이터는 데이터 구동부(20b)로 전달한다. 이와 같이 하면, 외부 영상 신호원과 S/P(60)는 세 개의 신호선만으로 연결될 수 있다. 즉, 외부로부터 홀수 및 짝수 번째 R, G, B 영상 신호를 분리하여 수신하는 경우에는 총 6개의 신호선을 필요로 하지만, 본 발명의 실시예에서는 3개의 신호선만으로 R, G, B 영상 데이터를 수신할 수 있다. 따라서 영상 데이터를 입력하기 위한 인터페이스를 줄일 수 있고, 절연 기관에 형성되는 배선 수를 줄여 공정의 간략화를 꾀할 수 있다.

이상, 본 발명의 실시예에서는 델타 형태의 화소 구조를 가지고 데이터 구동부를 상하 2개 사용하는 유기 EL 표시 장치를 예로 들어 설명하였지만, 본 발명은 이에 한정되지 않고 데이터 구동부를 1개 사용하거나 다른 형태의 화소 구조를 가지는 유기 EL 표시 장치에도 적용할 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

#### 발명의 효과

이와 같이 본 발명에 의하면, 주변 회로와 일체형으로 형성된 표시 장치에서 노이즈를 최소화할 수 있으므로 화질 저하를 방지할 수 있다. 또한 주변 회로의 절연 기관 상에서의 레이아웃을 최소화 및 간략화할 수 있다.

#### (57) 청구의 범위

##### 청구항 1.

행렬 형태로 배열된 복수의 화소에 각각 형성된 박막 트랜지스터의 구동에 의해 데이터를 기입하고, 기입된 데이터에 따라 유기 물질의 전계발광을 이용하여 화상을 표시하는 표시부,

상기 표시부의 박막 트랜지스터를 동작시키는 선택 신호를 전달하며 상기 표시부의 측면에 배치되는 주사 구동부,

상기 표시부로 상기 데이터를 전달하며 상기 표시부의 측면에서 상기 주사 구동부가 배치된 측면과 인접하는 측면에 배치되는 적어도 하나의 데이터 구동부, 그리고

상기 데이터 구동부와 상기 표시부 사이에 배치되며 상기 표시부의 화소로 제1 레벨의 전원 전압을 공급하는 적어도 하나의 제1 전원 배선을 포함하며,

상기 표시부, 상기 주사 구동부, 상기 데이터 구동부 및 상기 제1 전원 배선이 동일 기관 위에 형성되어 있는 유기 전계발광 표시 장치.

##### 청구항 2.

제1항에 있어서,

상기 데이터 구동부는 상기 표시부의 제1 측면에 위치하는 제1 데이터 구동부 및 상기 표시부의 제1 측면과 반대되는 제2 측면에 위치하는 제2 데이터 구동부를 포함하며,

상기 제1 전원 배선은 상기 표시부의 제1 측면과 상기 제1 데이터 구동부 사이 및 상기 표시부의 제2 측면과 상기 제2 데이터 구동부에 각각 형성되는 유기 전계발광 표시 장치.

### 청구항 3.

제1항 또는 제2항에 있어서,

상기 표시부는 적어도 두 색상의 화소를 포함하며,

상기 제1 전원 배선은 상기 적어도 두 색상의 화소에 공통으로 전원 전압을 공급하는 유기 전계발광 표시 장치.

### 청구항 4.

제1항 또는 제2항에 있어서,

상기 화소의 상기 유기 물질은 제1 전극과 제2 전극 사이에 형성되며, 상기 화소의 발광 시에 상기 제1 전극에는 상기 제1 레벨의 전원 전압이 공급되고 상기 제2 전극에는 제2 레벨의 전원 전압이 공급되며,

상기 제2 전극은 상기 표시부 및 상기 제1 전원 배선을 덮는 형태로 형성되는 유기 전계발광 표시 장치.

### 청구항 5.

제1항 또는 제2항에 있어서,

상기 화소의 상기 유기 물질은 제1 전극과 제2 전극 사이에 형성되며, 상기 화소의 발광 시에 상기 제1 전극에는 상기 제1 레벨의 전원 전압이 공급되고 상기 제2 전극에는 제2 레벨의 전원 전압이 공급되며,

상기 제2 레벨의 전원 전압을 공급하는 제2 전원 배선이 상기 표시부에서 상기 주사 구동부가 배치된 측면과 반대되는 측면에 배치되는 유기 전계발광 표시 장치.

### 청구항 6.

제5항에 있어서,

상기 제2 전원 배선은 상기 제1 전원 배선이 형성된 기관과 대향하고 있는 기관 위에 형성되는 유기 전계발광 표시 장치.

### 청구항 7.

제1항 또는 제2항에 있어서,

상기 제1 전원 배선은 상기 표시부에서 상기 데이터를 전달하는 배선과 동일한 층에 형성되는 유기 전계발광 표시 장치.

### 청구항 8.

제7항에 있어서,

상기 데이터 구동부에서 출력되는 계조 전압을 전달하는 배선은 상기 표시부에서 상기 선택 신호를 전달하는 배선과 동일한 층에 형성되는 유기 전계발광 표시 장치.

## 청구항 9.

제1항 또는 제2항에 있어서,

상기 데이터 구동부는, 디지털 형태의 영상 신호를 수신하여 아날로그 형태의 계조 전압으로 변경하는 디지털 아날로그 변환부를 포함하며,

상기 디지털 아날로그 변환부는 상기 제1 전원 배선에 인접하여 배치되는 유기 전계발광 표시 장치.

## 청구항 10.

제9항에 있어서,

상기 디지털 아날로그 변환부는 복수의 디지털 아날로그 변환 셀을 포함하며, 상기 셀의 피치는 상기 표시부의 화소의 피치의 정수배에 해당하는 유기 전계발광 표시 장치.

## 청구항 11.

제9항에 있어서,

상기 디지털 아날로그 변환부는 n비트의 디지털 데이터를 수신하며,

상기 디지털 아날로그 변환 셀은,

복수의 기준 전압을 전달하며 가로 방향으로 뻗어 있는 복수의 기준 전압 배선,

상기 n비트 중 상위 m비트에 따라 상기 복수의 기준 전압 배선 중 2개의 기준 전압 배선을 선택하여 선택된 기준 전압 배선의 기준 전압을 출력하는 제1 디코더,

상기 제1 디코더에서 출력되는 두 기준 전압 사이에 직렬로 연결되는 복수의 저항으로 이루어지는 저항 래더, 그리고

상기 n비트 중 하위 (n-m)비트에 따라 상기 복수의 저항 사이의 출력되는 전압 중 하나의 전압을 선택하여 상기 계조 전압으로 출력하는 제2 디코더를 포함하는 유기 전계발광 표시 장치.

## 청구항 12.

제11항에 있어서,

상기 제1 전원 배선에 멀어지는 방향으로, 상기 저항 래더, 상기 제2 디코더, 상기 복수의 기준 전압 배선, 상기 제1 디코더 순으로 배치되는 유기 전계발광 표시 장치.

## 청구항 13.

제11항에 있어서,

상기 제1 및 제2 디코더는 각각 상기 상위 m비트 및 하위 (n-m)비트에 따라 동작하는 복수의 n채널 박막 트랜지스터로 이루어지며,

상기 데이터 구동부는 상기 디지털 데이터의 신호 레벨 중 정전압 레벨을 보다 높은 전압 레벨로 변경하는 레벨 시프터를 더 포함하는 유기 전계발광 표시 장치.

#### 청구항 14.

제11항에 있어서,

상기 제1 및 제2 디코더는 각각 상기 상위 m비트 및 하위 (n-m)비트에 따라 동작하는 복수의 p채널 박막 트랜지스터로 이루어지며,

상기 데이터 구동부는 상기 디지털 데이터의 신호 레벨 중 부전압 레벨을 보다 낮은 전압 레벨로 변경하는 레벨 시프터를 더 포함하는 유기 전계발광 표시 장치.

#### 청구항 15.

제11항에 있어서,

상기 m과 (n-m)은 동일하며,

상기 제1 디코더와 상기 제2 디코더는 상기 복수의 기준 전압 배선을 기준으로 실질적으로 대칭적으로 형성되는 유기 전계발광 표시 장치.

#### 청구항 16.

제11항에 있어서,

상기 제1 디코더에서 상기 두 개의 기준 전압을 출력하는 배선은 두 기준 전압 중 높은 전압을 출력하는 제1 출력 배선과 낮은 전압을 출력하는 제2 출력 배선을 포함하며,

상기 제1 출력 배선과 상기 제2 출력 배선은 상기 셀에서 양단에 형성되고,

상기 셀이 형성되는 방향에서 번갈아 가면서 배치되는 유기 전계발광 표시 장치.

#### 청구항 17.

제11항에 있어서,

상기 저항 래더는 직렬로 연결되는  $(2^{n-m}-1)$ 개의 저항을 포함하는 유기 전계발광 표시 장치.

#### 청구항 18.

제11항에 있어서,

상기 복수의 기준 전압을 전압의 크기 순으로 배열할 때,

인접한 두 전압 사이의 차이들 중에서 전압의 차이가 서로 같지 않은 쌍이 적어도 하나 존재하는 유기 전계발광 표시 장치.

## 청구항 19.

제18항에 있어서,

상기 저항 래더에 형성되는 복수의 저항 중 크기가 서로 같지 않은 쌍이 적어도 하나 존재하는 유기 전계발광 표시 장치.

## 청구항 20.

제9항에 있어서,

상기 데이터 구동부는,

입력되는 디지털 데이터를 순차적으로 샘플링하는 샘플링 래치,

상기 샘플링 래치가 상기 디지털 데이터를 순차적으로 샘플링하도록 샘플링 신호를 순차적으로 출력하는 시프트 레지스터,

상기 샘플링 래치에서 샘플링된 디지털 데이터를 동시에 출력하는 홀딩 래치, 그리고

상기 홀딩 래치에서 출력되는 디지털 데이터의 전압 레벨을 변경하는 레벨 시프터를 더 포함하는 유기 전계발광 표시 장치.

## 청구항 21.

제20항에 있어서,

상기 제1 전원 배선에서 멀어지는 방향으로, 상기 레벨 시프터, 상기 홀딩 래치, 상기 샘플링 래치, 상기 시프트 레지스터 순으로 배치되는 유기 전계발광 표시 장치.

## 청구항 22.

제1항 또는 제2항에 있어서,

상기 주사 구동부에 음의 전압을 공급하며 상기 동일 기판 위에 형성되는 DC/DC 변환부를 더 포함하는 유기 전계발광 표시 장치.

## 청구항 23.

제2항에 있어서,

외부로부터 영상 데이터를 수신한 후 상기 영상 데이터를 제1 영상 데이터와 제2 영상 데이터로 분리하고, 상기 제1 영상 데이터를 상기 제1 데이터 구동부로 전달하고 상기 제2 영상 데이터를 상기 제2 데이터 구동부로 전달하는 직렬/병렬 변환부를 더 포함하며,

상기 직렬/병렬 변환부는 상기 동일 기관 위에 형성되는 유기 전계발광 표시 장치.

#### 청구항 24.

행렬 형태로 배열된 복수의 화소에 각각 형성된 박막 트랜지스터의 구동에 의해 데이터를 기입하고, 기입된 데이터에 따라 유기 물질의 전계발광을 이용하여 화상을 표시하는 표시부,

상기 표시부의 박막 트랜지스터를 동작시키는 선택 신호를 전달하며 상기 표시부의 제1 측면에 배치되는 주사 구동부,

상기 표시부로 상기 데이터를 전달하며 상기 제1 측면과 인접하는 상기 표시부의 제2 측면 및 제3 측면에 각각 배치되는 제1 및 제2 데이터 구동부,

상기 제1 데이터 구동부와 상기 표시부의 상기 제2 측면 사이에 배치되며 상기 표시부의 화소로 제1 레벨의 전원 전압을 공급하는 제1 전원 배선,

상기 제1 데이터 구동부와 상기 표시부의 상기 제3 측면 사이에 배치되며 상기 표시부의 화소로 상기 제1 레벨의 전원 전압을 공급하는 제2 전원 배선, 그리고

상기 표시부의 제4 측면에 배치되며 상기 표시부의 화소로 상기 제1 레벨의 전원 전압에 대해서 반대되는 극성의 전원 전압을 공급하는 제3 전원 배선을 포함하며,

상기 표시부, 상기 주사 구동부, 상기 제1 및 제2 데이터 구동부, 상기 제1 및 제2 전원 배선이 동일 기관 위에 형성되어 있는 유기 전계발광 표시 장치.

#### 청구항 25.

행렬 형태로 배열된 복수의 화소에 각각 형성된 박막 트랜지스터의 구동에 의해 데이터를 기입하고, 기입된 데이터에 따라 유기 물질의 전계발광을 이용하여 화상을 표시하는 표시부,

상기 표시부의 박막 트랜지스터를 동작시키는 선택 신호를 전달하며 상기 표시부의 제1 측면에 배치되는 주사 구동부,

상기 표시부로 상기 데이터를 전달하며 상기 제1 측면과 인접하는 상기 표시부의 측면에 배치되는 적어도 하나의 데이터 구동부,

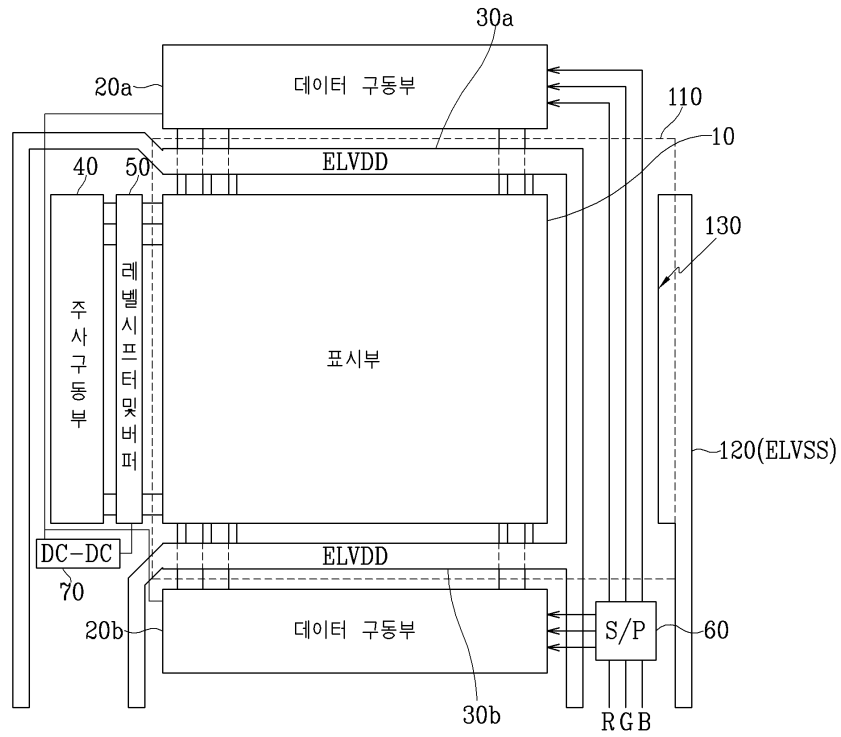
상기 데이터 구동부와 상기 표시부 사이에 배치되며 상기 표시부의 화소로 제1 레벨의 전원 전압을 공급하는 적어도 하나의 전원 배선, 그리고

상기 제1 레벨의 전원 전압이 전달되는 전극이 상기 유기 물질에 접해 있는 표면과 반대되는 표면에서 상기 유기 물질과 접해서 제2 레벨의 전원 전압을 전달하며 상기 표시부 및 상기 전원 배선을 덮는 형태로 형성되는 면전극을 포함하며,

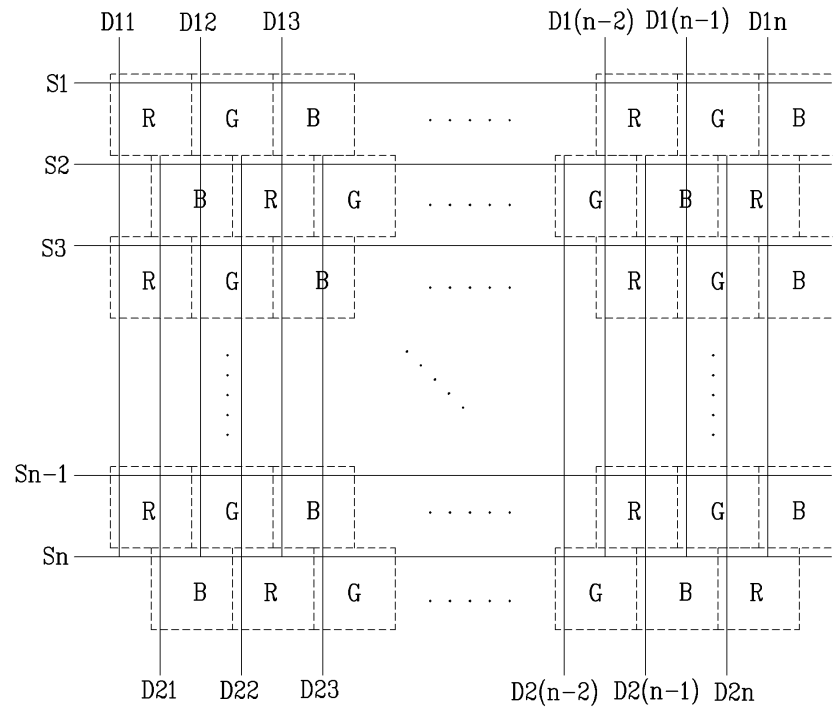
상기 표시부, 상기 주사 구동부, 상기 데이터 구동부 및 상기 제1 전원 배선이 동일 기관 위에 형성되어 있는 유기 전계발광 표시 장치.

도면

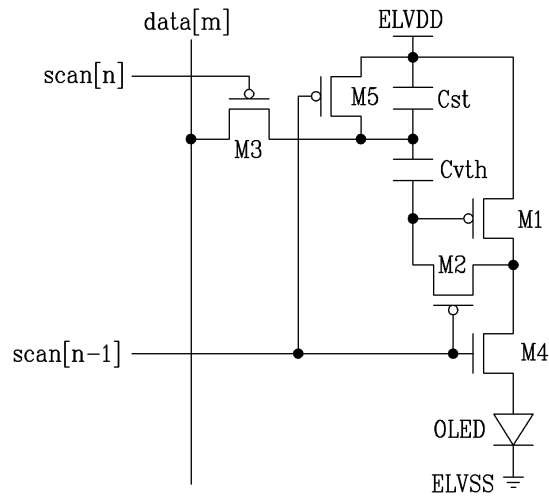
도면1



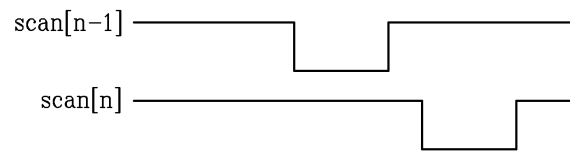
도면2



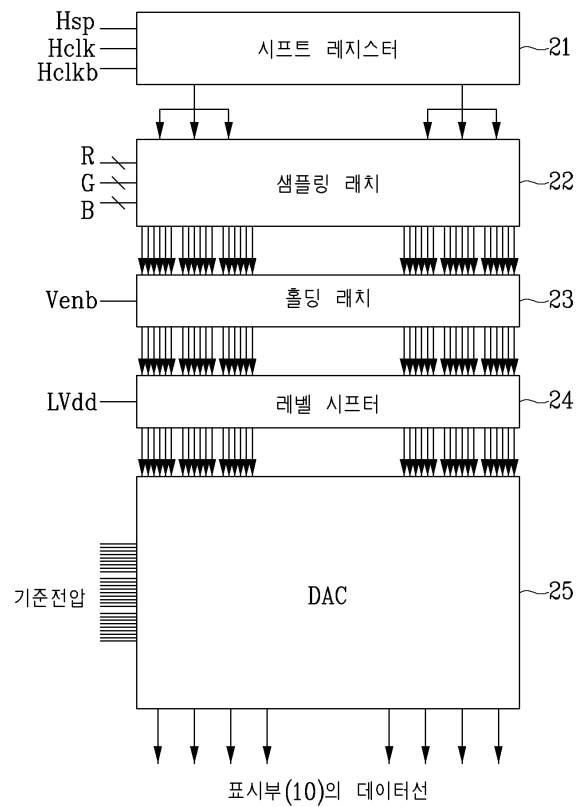
도면3



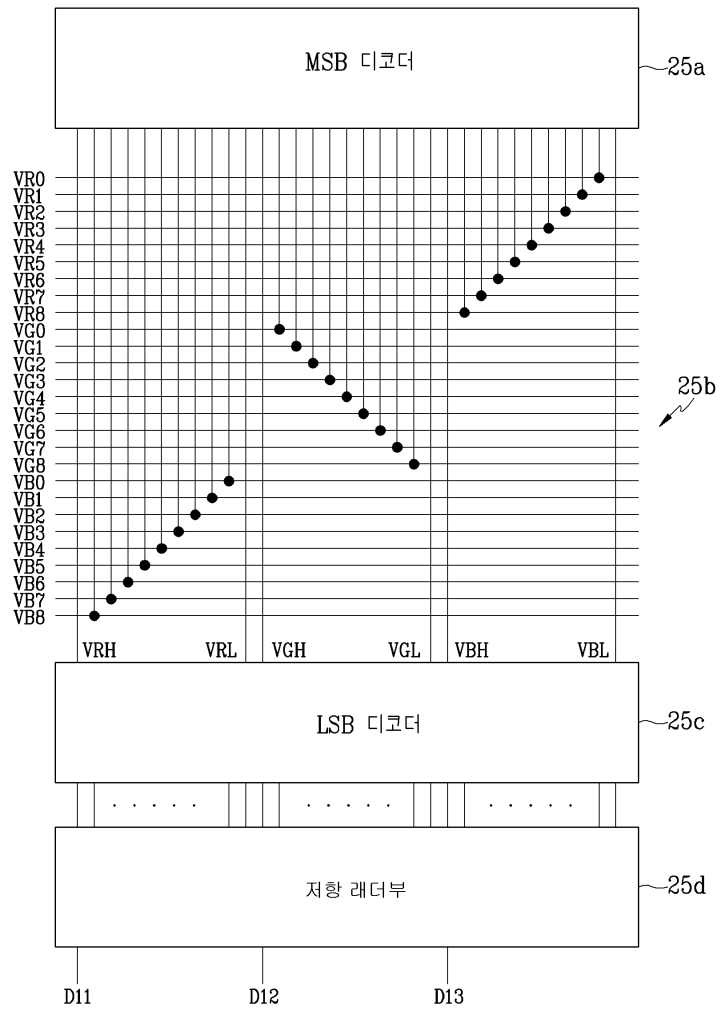
도면4



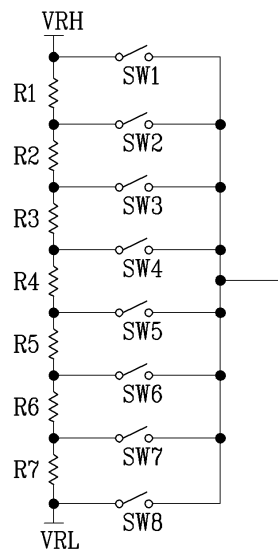
도면5



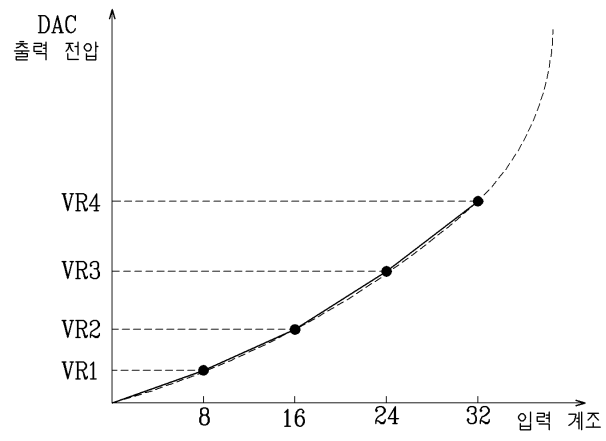
도면6



도면7



도면8



|               |                                                    |         |            |
|---------------|----------------------------------------------------|---------|------------|
| 专利名称(译)       | 有机电致发光显示装置                                         |         |            |
| 公开(公告)号       | <a href="#">KR100570627B1</a>                      | 公开(公告)日 | 2006-04-12 |
| 申请号           | KR1020040035484                                    | 申请日     | 2004-05-19 |
| 申请(专利权)人(译)   | 三星SD眼有限公司                                          |         |            |
| 当前申请(专利权)人(译) | 三星SD眼有限公司                                          |         |            |
| [标]发明人        | MATSUEDA YOJIRO<br>마쓰에다요지로<br>PARK YONGSUNG<br>박용성 |         |            |
| 发明人           | 마쓰에다요지로<br>박용성                                     |         |            |
| IPC分类号        | G09G3/30                                           |         |            |
| CPC分类号        | E01D19/062 E01D19/065 E01D19/083                   |         |            |
| 代理人(译)        | 您是我的专利和法律公司                                        |         |            |
| 其他公开文献        | KR1020050110463A                                   |         |            |
| 外部链接          | <a href="#">Espacenet</a>                          |         |            |

#### 摘要(译)

用于驱动显示单元和用于形成在同一基板上的有机发光显示器上显示的画面的显示单元的像素的外围电路中，在数据驱动器与显示器之间形成有用于供给电源电压施加到像素的电源布线。在数据驱动程序中，模拟转换单元与电源布线相邻设置。以这种方式，电源布线用作屏蔽布线，从而防止噪声传输到显示部分。1 指数方面 有机EL，SoP，数据驱动器，DAC，电源布线，伽玛，薄膜三极管

