



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0031364
(43) 공개일자 2012년04월03일

(51) 국제특허분류(Int. Cl.)

H01L 51/56 (2006.01)

(21) 출원번호 10-2010-0092853

(22) 출원일자 2010년09월24일

심사청구일자 없음

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

문상호

경기도 용인시 기흥구 삼성2로 95 (농서동)

강기녕

경기도 용인시 기흥구 삼성2로 95 (농서동)

(74) 대리인

리엔목특허법인

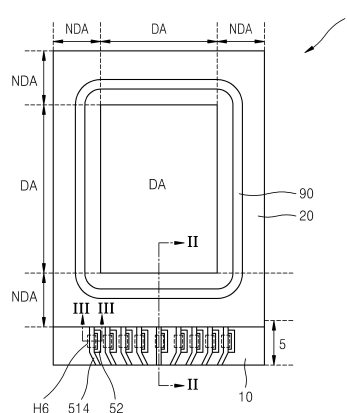
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 유기 발광 디스플레이 장치 및 이의 제조 방법

(57) 요약

제조 공정이 단순화되고, 패드부에서의 저항 균일도가 향상되어 휘도가 향상된 유기 발광 디스플레이 장치 및 이의 제조 방법을 제공하기 위하여, 본 발명은 활성층, 게이트 하부전극과 게이트 상부전극을 포함하는 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터; 상기 박막 트랜지스터와 전기적으로 연결되고, 상기 게이트 하부전극과 동일층에 동일 물질로 형성된 화소 전극, 발광층을 포함하는 중간층 및 대향 전극이 순차 적층된 유기 발광 소자; 상기 게이트 하부전극과 동일층에 동일 물질로 형성되는 제1 패드 전극; 및 상기 게이트 하부전극과 동일층에 동일 물질로 형성되는 제2 패드 하부전극 및 상기 게이트 상부전극과 동일층에 동일 물질로 형성되는 제2 패드 상부전극을 포함하는 제2 패드 전극;을 포함하는 유기 발광 디스플레이 장치를 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

활성층, 게이트 하부전극과 게이트 상부전극을 포함하는 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터;

상기 박막 트랜지스터와 전기적으로 연결되고, 상기 게이트 하부전극과 동일층에 동일 물질로 형성된 화소 전극, 발광층을 포함하는 중간층 및 대향 전극이 순차 적층된 유기 발광 소자;

상기 게이트 하부전극과 동일층에 동일 물질로 형성되는 제1 패드 전극; 및

상기 게이트 하부전극과 동일층에 동일 물질로 형성되는 제2 패드 하부전극 및 상기 게이트 상부전극과 동일층에 동일 물질로 형성되는 제2 패드 상부전극을 포함하는 제2 패드 전극;을 포함하는 유기 발광 디스플레이 장치.

청구항 2

제 1 항에 있어서,

상기 제2 패드 전극의 양단부는 상기 제1 패드 전극과 전기적으로 연결되며, 상기 제2 패드 전극은 상기 제1 패드 전극과 나란한 방향으로 연장 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 3

제 1 항에 있어서,

상기 제2 패드 전극을 덮는 하나 이상의 절연층을 더 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 4

제 1 항에 있어서,

상기 박막 트랜지스터, 상기 유기 발광 소자, 상기 제1 패드 전극 및 상기 제2 패드 전극의 적어도 일부를 덮는 하나 이상의 절연층을 더 포함하고, 상기 절연층에는 하나 이상의 개구부가 형성되며, 상기 개구부와 상기 제2 패드 전극은 서로 중첩되지 아니하도록 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 5

제 1 항에 있어서,

상기 제1 패드 전극의 일 단부는 외부로 노출되어, 상기 유기 발광 디스플레이 장치의 구동을 위해 전류를 공급하는 드라이버 IC와 전기적으로 연결되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 6

제 5 항에 있어서,

상기 제1 패드 전극을 통해 입력된 전류의 적어도 일부가 상기 제2 패드 전극을 거쳐서 상기 박막 트랜지스터 및 상기 유기 발광 소자로 전달되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 7

제 1 항에 있어서,

상기 게이트 하부전극, 상기 화소 전극, 상기 제1 패드 전극 및 상기 제2 패드 하부전극은 ITO , IZO , ZnO , 및 In_2O_3 중 하나 이상을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 8

제 1 항에 있어서,

상기 게이트 상부전극 및 상기 제2 패드 상부전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 9

제 8 항에 있어서,

상기 게이트 상부전극 및 상기 제2 패드 상부전극은 Mo - Al - Mo의 삼층 구조를 포함하도록 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 10

기관상에 형성된 제1 절연층;

상기 제1 절연층 상에 형성된 박막 트랜지스터의 활성층;

상기 활성층을 덮도록 형성된 제2 절연층;

상기 제2 절연층 상에 형성된 화소 전극과, 상기 활성층 상부에 상기 화소 전극과 동일층에 동일물질로 소정 간격 이격되어 형성된 게이트 하부전극과, 상기 게이트 하부전극과 동일층에 동일물질로 소정 간격 이격되어 형성된 제1 패드 전극과, 상기 제1 패드 전극과 동일층에 동일물질로 형성되며 상기 제1 패드 전극과 전기적으로 연결되는 제2 패드 하부전극;

상기 게이트 하부전극 상에 형성된 게이트 상부전극과, 상기 게이트 상부전극과 동일층에 동일물질로 형성되며 상기 제2 패드 하부전극 상에 형성된 제2 패드 상부전극;

상기 화소 전극, 상기 게이트 상부전극, 상기 제1 패드 전극 및 상기 제2 패드 상부전극의 적어도 일부를 덮도록 형성된 제3 절연층; 및

상기 화소 전극과 접촉하며 상기 제3 절연층 상부에 형성된 소스 및 드레인 전극을 포함하는 유기 발광 디스플레이 장치.

청구항 11

제 10 항에 있어서,

상기 제2 패드 전극은 대략 'ㄷ'자 형상으로 형성되고, 상기 'ㄷ'자 형상의 양단부가 상기 제1 패드 전극과 연결되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 12

제 10 항에 있어서,

상기 제1 패드 전극을 통해 입력된 전류의 적어도 일부가 상기 제2 패드 전극을 거쳐서 상기 박막 트랜지스터 및 상기 유기 발광 소자로 전달되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 13

제 10 항에 있어서,

상기 게이트 하부전극, 상기 화소 전극, 상기 제1 패드 전극 및 상기 제2 패드 하부전극은 ITO, IZO, ZnO, 및 In₂O₃ 중 하나 이상을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 14

제 10 항에 있어서,

상기 게이트 상부전극 및 상기 제2 패드 상부전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 15

제 14 항에 있어서,

상기 게이트 상부전극 및 상기 제2 패드 상부전극은 Mo - Al - Mo의 삼층 구조를 포함하도록 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 16

기관상에 박막 트랜지스터의 활성층을 형성하는 제1 마스크 공정 단계;

상기 활성층 상부에, 게이트 전극 및 제2 패드 전극과, 화소 전극 및 제1 패드 전극을 형성하기 위한 전극 패턴을 각각 형성하는 제2 마스크 공정 단계;

상기 활성층의 양측과 상기 전극 패턴의 일부를 노출하는 개구를 갖는 층간 절연막을 형성하는 제3 마스크 공정 단계;

상기 활성층의 노출된 양측과 접촉하는 소스 및 드레인 전극과, 상기 화소 전극 및 상기 제1 패드 전극을 각각 형성하는 제4 마스크 공정 단계; 및

상기 화소 전극의 적어도 일부를 노출하는 화소 정의막을 형성하는 제5 마스크 공정 단계;를 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 17

제 16 항에 있어서,

상기 제2 마스크 공정은,

상기 활성층 상부에 제2 절연층, 제1 도전층 및 제2 도전층을 순차 증착하는 단계; 및

상기 제1 도전층 및 상기 제2 도전층을 패터닝하여, 상기 제1 도전층을 게이트 하부전극으로 하고 상기 제2 도전층을 게이트 상부전극으로 하는 상기 게이트 전극을 형성하는 동시에, 상기 제1 도전층을 제2 패드 하부전극으로 하고 상기 제2 도전층을 제2 패드 상부전극으로 하는 상기 제2 패드 전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 18

제 16 항에 있어서,

상기 제3 마스크 공정은,

상기 게이트 전극 및 상기 전극 패턴 상부에 제3 절연층을 증착하는 단계; 및

상기 제3 절연층을 패터닝하여 상기 활성층의 소스 및 드레인 영역의 일부와 상기 전극 패턴의 일부를 노출하는 개구를 형성하는 단계;를 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 19

제 16 항에 있어서,

상기 제4 마스크 공정은,

상기 층간 절연막 상부에 제3 도전층을 증착하는 단계; 및

상기 제3 도전층을 패터닝하여 상기 소스 및 드레인 전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 20

제 16 항에 있어서,

상기 제4 마스크 공정은,

상기 소스 및 드레인 전극을 형성하는 단계; 및

상기 전극 패턴을 구성하는 상기 제2 도전층을 제거하여, 상기 제1 도전층을 전극으로 하는 상기 화소 전극 및 상기 제1 패드 전극을 각각 형성하는 단계;를 더 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 21

제 16 항에 있어서,

상기 제5 마스크 공정은,

상기 기판 전면에서 제4 절연층을 적층하는 단계; 및

상기 제4 절연층을 패터닝하여 상기 화소 정의막을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 22

제 17 항에 있어서,

상기 제1 도전층은 ITO, IZO, ZnO, 및 In_2O_3 중 하나 이상을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 23

제 17 항에 있어서,

상기 제2 도전층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 24

제 23 항에 있어서,

상기 제2 도전층은 Mo - Al - Mo의 삼층 구조를 포함하도록 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

명세서

기술 분야

[0001] 본 발명은 유기 발광 디스플레이 장치 및 그의 제조 방법에 관한 것으로, 상세하게는 제조 공정이 단순화되고, 패드부에서의 저항 균일도가 향상되어 휘도가 향상된 유기 발광 디스플레이 장치 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 디스플레이 장치, 액정 디스플레이 장치 등과 같은 평판 표시 장치는 박막 트랜지스터(Thin Film Transistor: TFT) 및 커패시터 등과 이들을 연결하는 배선을 포함하는 패턴이 형성된 기판상에 제작된다.

[0003] 일반적으로, 평판 표시 장치가 제작되는 기판은 TFT 등을 포함하는 미세 구조의 패턴을 형성하기 위하여, 이와 같은 미세 패턴이 그려진 마스크를 이용하여 패턴을 상기 어레이 기판에 전사한다.

[0004] 마스크를 이용하여 패턴을 전사하는 공정은 일반적으로 포토 리소그래피(photo-lithography) 공정을 이용한다. 포토 리소그래피 공정에 의하면, 패턴을 형성할 기판 상에 포토레지스트(photoresist)를 균일하게 도포하고, 스텝퍼(stepper)와 같은 노광 장비로 포토레지스트를 노광시킨 후, (포지티브(positive) 포토레지스트의 경우) 감광된 포토레지스트를 현상(developing)하는 과정을 거친다. 또한, 포토레지스트를 현상한 후에는, 잔존하는 포토레지스트를 마스크로 하여 패턴을 식각(etching)하고, 불필요한 포토레지스트를 제거하는 일련의 과정을 거친다.

[0005] 이와 같이 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 제조 공정이 단순화되고, 패드부에서의 저항 균일도가 향상되어 휘도가 향상된 유기 발광 디스플레이 장치 및 이의 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명은 활성층, 게이트 하부전극과 게이트 상부전극을 포함하는 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터; 상기 박막 트랜지스터와 전기적으로 연결되고, 상기 게이트 하부전극과 동일층에 동일 물질로 형성된 화소 전극, 발광층을 포함하는 중간층 및 대향 전극이 순차 적층된 유기 발광 소자; 상기 게이트 하부전극과 동일층에 동일 물질로 형성되는 제1 패드 전극; 및 상기 게이트 하부전극과 동일층에 동일 물질로 형성되는 제2 패드 하부전극 및 상기 게이트 상부전극과 동일층에 동일 물질로 형성되는 제2 패드 상부전극을 포함하는 제2 패드 전극;을 포함하는 유기 발광 디스플레이 장치를 제공한다.

[0008] 본 발명에 있어서, 상기 제2 패드 전극의 양단부는 상기 제1 패드 전극과 전기적으로 연결되며, 상기 제2 패드 전극은 상기 제1 패드 전극과 나란한 방향으로 연장 형성될 수 있다.

[0009] 본 발명에 있어서, 상기 제2 패드 전극을 덮는 하나 이상의 절연층을 더 포함할 수 있다.

[0010] 본 발명에 있어서, 상기 박막 트랜지스터, 상기 유기 발광 소자, 상기 제1 패드 전극 및 상기 제2 패드 전극의 적어도 일부를 덮는 하나 이상의 절연층을 더 포함하고, 상기 절연층에는 하나 이상의 개구부가 형성되며, 상기 개구부와 상기 제2 패드 전극은 서로 중첩되지 아니하도록 형성될 수 있다.

[0011] 본 발명에 있어서, 상기 제1 패드 전극의 일 단부는 외부로 노출되어, 상기 유기 발광 디스플레이 장치의 구동을 위해 전류를 공급하는 드라이버 IC와 전기적으로 연결될 수 있다.

[0012] 본 발명에 있어서, 상기 제1 패드 전극을 통해 입력된 전류의 적어도 일부가 상기 제2 패드 전극을 거쳐서 상기 박막 트랜지스터 및 상기 유기 발광 소자로 전달될 수 있다.

[0013] 본 발명에 있어서, 상기 게이트 하부전극, 상기 화소 전극, 상기 제1 패드 전극 및 상기 제2 패드 하부전극은 ITO, IZO, ZnO, 및 In_2O_3 중 하나 이상을 포함할 수 있다.

[0014] 본 발명에 있어서, 상기 게이트 상부전극 및 상기 제2 패드 상부전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다.

[0015] 여기서, 상기 게이트 상부전극 및 상기 제2 패드 상부전극은 Mo - Al - Mo의 삼층 구조를 포함하도록 형성될 수 있다.

[0016] 다른 측면에 따른 본 발명은, 기판상에 형성된 제1 절연층; 상기 제1 절연층 상에 형성된 박막 트랜지스터의 활성층; 상기 활성층을 덮도록 형성된 제2 절연층; 상기 제2 절연층 상에 형성된 화소 전극과, 상기 활성층 상부에 상기 화소 전극과 동일층에 동일물질로 소정 간격 이격되어 형성된 게이트 하부전극과, 상기 게이트 하부전극과 동일층에 동일물질로 소정 간격 이격되어 형성된 제1 패드 전극과, 상기 제1 패드 전극과 동일층에 동일물질로 형성되며 상기 제1 패드 전극과 전기적으로 연결되는 제2 패드 하부전극; 상기 게이트 하부전극 상에 형성된 게이트 상부전극과, 상기 게이트 상부전극과 동일층에 동일물질로 형성되며 상기 제2 패드 하부전극 상에 형성된 제2 패드 상부전극; 상기 화소 전극, 상기 게이트 상부전극, 상기 제1 패드 전극 및 상기 제2 패드 상부전극의 적어도 일부를 덮도록 형성된 제3 절연층; 및 상기 화소 전극과 접촉하며 상기 제3 절연층 상부에 형성된 소스 및 드레인 전극을 포함하는 유기 발광 디스플레이 장치를 제공한다.

[0017] 본 발명에 있어서, 상기 제2 패드 전극은 대략 'ㄷ'자 형상으로 형성되고, 상기 'ㄷ'자 형상의 양단부가 상기 제1 패드 전극과 연결될 수 있다.

[0018] 본 발명에 있어서, 상기 제1 패드 전극을 통해 입력된 전류의 적어도 일부가 상기 제2 패드 전극을 거쳐서 상기

박막 트랜지스터 및 상기 유기 발광 소자로 전달될 수 있다.

- [0019] 본 발명에 있어서, 상기 게이트 하부전극, 상기 화소 전극, 상기 제1 패드 전극 및 상기 제2 패드 하부전극은 ITO, IZO, ZnO, 및 In_2O_3 중 하나 이상을 포함할 수 있다.
- [0020] 본 발명에 있어서, 상기 게이트 상부전극 및 상기 제2 패드 상부전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다.
- [0021] 여기서, 상기 게이트 상부전극 및 상기 제2 패드 상부전극은 Mo - Al - Mo의 삼층 구조를 포함하도록 형성될 수 있다.
- [0022] 또 다른 측면에 따른 본 발명은, 기판상에 박막 트랜지스터의 활성층을 형성하는 제1 마스크 공정 단계; 상기 활성층 상부에, 게이트 전극 및 제2 패드 전극과, 화소 전극 및 제1 패드 전극을 형성하기 위한 전극 패턴을 각각 형성하는 제2 마스크 공정 단계; 상기 활성층의 양측과 상기 전극 패턴의 일부를 노출하는 개구를 갖는 층간 절연막을 형성하는 제3 마스크 공정 단계; 상기 활성층의 노출된 양측과 접촉하는 소스 및 드레인 전극과, 상기 화소 전극 및 상기 제1 패드 전극을 각각 형성하는 제4 마스크 공정 단계; 및 상기 화소 전극의 적어도 일부를 노출하는 화소 정의막을 형성하는 제5 마스크 공정 단계;를 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법을 제공한다.
- [0023] 본 발명에 있어서, 상기 제2 마스크 공정은, 상기 활성층 상부에 제2 절연층, 제1 도전층 및 제2 도전층을 순차 증착하는 단계; 및 상기 제1 도전층 및 상기 제2 도전층을 패터닝하여, 상기 제1 도전층을 게이트 하부전극으로 하고 상기 제2 도전층을 게이트 상부전극으로 하는 상기 게이트 전극을 형성하는 동시에, 상기 제1 도전층을 제2 패드 하부전극으로 하고 상기 제2 도전층을 제2 패드 상부전극으로 하는 상기 제2 패드 전극을 형성하는 단계;를 포함할 수 있다.
- [0024] 본 발명에 있어서, 상기 제3 마스크 공정은, 상기 게이트 전극 및 상기 전극 패턴 상부에 제3 절연층을 증착하는 단계; 및 상기 제3 절연층을 패터닝하여 상기 활성층의 소스 및 드레인 영역의 일부와 상기 전극 패턴의 일부를 노출하는 개구를 형성하는 단계;를 포함할 수 있다.
- [0025] 본 발명에 있어서, 상기 제4 마스크 공정은, 상기 층간 절연막 상부에 제3 도전층을 증착하는 단계; 및 상기 제3 도전층을 패터닝하여 상기 소스 및 드레인 전극을 형성하는 단계;를 포함할 수 있다.
- [0026] 본 발명에 있어서, 상기 제4 마스크 공정은, 상기 소스 및 드레인 전극을 형성하는 단계; 및 상기 전극 패턴을 구성하는 상기 제2 도전층을 제거하여, 상기 제1 도전층을 전극으로 하는 상기 화소 전극 및 상기 제1 패드 전극을 각각 형성하는 단계;를 더 포함할 수 있다.
- [0027] 본 발명에 있어서, 상기 제5 마스크 공정은, 상기 기판 전면에서 제4 절연층을 적층하는 단계; 및 상기 제4 절연층을 패터닝하여 상기 화소 정의막을 형성하는 단계;를 포함할 수 있다.
- [0028] 여기서, 상기 제1 도전층은 ITO, IZO, ZnO, 및 In_2O_3 중 하나 이상을 포함할 수 있다.
- [0029] 여기서, 상기 제2 도전층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다.
- [0030] 여기서, 상기 제2 도전층은 Mo - Al - Mo의 삼층 구조를 포함하도록 형성될 수 있다.

발명의 효과

- [0031] 이와 같은 본 발명에 의해서, 유기 발광 디스플레이 장치의 제조 공정이 단순화되고, 패드부에서의 저항 균일도가 향상되어 휘도가 향상되는 효과를 얻을 수 있다.

도면의 간단한 설명

- [0032] 도 1은 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치의 구조를 개략적으로 나타낸 평면도이다.
- 도 2는 도 1의 II-II선을 따라 절개한 단면도이다.
- 도 3은 도 1의 III-III선을 따라 절개한 단면도이다.
- 도 4 내지 도 12는 도 2에 도시된 유기 발광 디스플레이 장치의 제조 공정을 개략적으로 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0034] 도 1은 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치의 구조를 개략적으로 나타낸 평면도이다.
- [0035] 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치(1)는 TFT(thin film transistor) 및 발광 화소 등을 포함하는 제1 기판(10) 및 상기 제1 기판(10)과 실링을 통해 합착되는 제2 기판(20)을 포함한다.
- [0036] 제1 기판(10)에는 박막 트랜지스터(TFT), 유기 발광 소자(EL), 스토리지 커패시터(Cst) 등이 형성될 수 있다. 또한, 제1 기판(10)은 LTPS(crystalline silicon) 기판, 유리 기판, 플라스틱 기판, 스테인리스 스틸(Stainless Using Steel; SUS) 기판 등일 수 있다.
- [0037] 제2 기판(20)은 제1 기판(10)에 구비된 TFT 및 발광 화소 등을 외부 수분, 공기 등으로부터 차단하도록 제1 기판(10) 상에 배치되는 봉지 기판일 수 있다. 제2 기판(20)은 제1 기판(10)과 대향되도록 위치하고, 제1 기판(10)과 제2 기판(20)은 그 가장자리를 따라 배치되는 실링 부재(90)에 의해 서로 접합된다. 제2 기판(20)은 투명 재질의 유리 기판 또는 플라스틱 기판일 수 있다.
- [0038] 제1 기판(10)은 빛이 출사되는 발광 영역(DA)과 이 발광 영역(DA)의 외곽에 위치한 비발광 영역(NDA)을 포함한다. 본 발명의 실시예들에 따르면, 발광 영역(DA) 외측의 비발광 영역(NDA)에 실링 부재(90)가 배치되어, 제1 기판(10)과 제2 기판(20)을 접합한다.
- [0039] 상술한 바와 같이, 제1 기판(10)의 발광 영역(DA)에는 유기 발광 소자(EL), 이를 구동하는 박막 트랜지스터(TFT) 및 이들과 전기적으로 연결된 배선이 형성된다. 그리고, 비발광 영역(NDA)에는 발광 영역(DA)의 배선으로부터 연장 형성된 패드 전극이 위치하는 패드 영역(5)이 포함될 수 있다.
- [0040] 여기서, 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치는 패드 영역(5)이 제1 패드 전극(514)과 제2 패드 전극(52)을 포함하도록 형성되는 것을 일 특징으로 하는바, 이와 같은 제1 패드 전극(514)과 제2 패드 전극(52)에 대해서는 도 3에서 상세히 설명하도록 한다.
- [0041] 도 2는 도 1의 II-II 선을 따라 절개한 단면도이다.
- [0042] 도 3을 참조하면, 본 발명의 유기 발광 디스플레이 장치(1)는, 채널 영역(2), 저장 영역(3), 발광 영역(4) 및 패드 영역(5)을 포함한다.
- [0043] 채널 영역(2)에는 구동소자로서 박막 트랜지스터(TFT)가 구비된다. 박막트랜지스터(TFT)는, 활성층(212), 게이트 전극(21) 및 소스/드레인 전극(217a/217b)으로 구성된다. 상기 게이트 전극(21)은 게이트 하부전극(214)과 게이트 상부전극(215)으로 구성되고, 이때 상기 게이트 하부전극(214)은 투명한 전도성 물질로 형성될 수 있다. 상기 게이트 전극(21)과 활성층(212) 사이에는 이들 간의 절연을 위한 제2 절연층(13)이 개재되어 있다. 또한, 상기 활성층(212)의 양쪽 가장자리에는 고농도의 불순물이 주입된 소스/드레인 영역(212a/212b)이 형성되어 있으며, 이들은 상기 소스/드레인 전극(217a/217b)에 각각 연결되어 있다.
- [0044] 저장 영역(3)에는 스토리지 커패시터(Cst)가 구비된다. 스토리지 커패시터(Cst)는 하부전극(312) 및 상부전극(314)으로 이루어지며, 이들 사이에 제2 절연층(13)이 개재된다. 여기서, 상기 커패시터 하부전극(312)은 상기 박막 트랜지스터(TFT)의 활성층(212)과 동일한 층에 동일한 물질로 형성될 수 있다. 한편, 상기 커패시터 상부전극(314)은 상기 박막 트랜지스터(TFT)의 게이트 하부전극(214), 유기 발광 소자(EL)의 화소 전극(414), 제1 패드 전극(514) 및 제2 패드 전극(도 3의 52 참조)의 제2 패드 하부전극(도 3의 524 참조)과 동일한 층에 동일한 물질로 형성될 수 있다.
- [0045] 발광 영역(4)에는 유기 발광 소자(EL)가 구비된다. 유기 발광 소자(EL)는 상기 박막 트랜지스터(TFT)의 소스/드레인 전극(217a/217b) 중 하나와 접속된 화소 전극(414), 화소 전극(414)과 마주보도록 형성된 대향 전극(420) 및 그 사이에 개재된 중간층(419)으로 구성된다. 상기 화소 전극(414)은 투명한 전도성 물질로 형성되며, 상기 박막 트랜지스터(TFT)의 게이트 하부전극(214) 등과 동일한 층에 동일한 물질로 형성될 수 있다.
- [0046] 패드 영역(5)은 제1 패드 전극(514)과 제2 패드 전극(도 3의 52 참조)을 포함하며, 제2 패드 전극(도 3의 52 참

조)은 제2 패드 하부전극(도 3의 524 참조) 및 제2 패드 상부전극(도 3의 525 참조)을 포함한다.

[0047] 여기서, 제1 패드 전극(514)과 제2 패드 하부전극(도 3의 524 참조)은 박막 트랜지스터(TFT)의 게이트 하부전극(214), 커패시터 상부전극(314) 및 유기 발광 소자(EL)의 화소 전극(414)과 동일한 층에 동일한 물질로 형성될 수 있다. 또한 제2 패드 상부전극(도 3의 525 참조)은 게이트 상부전극(215)과 동일한 층에 동일한 물질로 형성될 수 있다. 이하에서는 이와 같은 패드 영역(5)에 관해서 상세히 설명한다.

[0048] 도 3은 도 1의 III-III선을 따라 절개한 단면도이다.

[0049] 도 1, 도 2 및 도 3을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치(1)는 패드 영역(5)이 제1 패드 전극(514)과 제2 패드 전극(52)을 포함하도록 형성되는 것을 일 특징으로 한다.

[0050] 상세히, 종래 유기 발광 디스플레이 장치의 경우, 소스/드레인 전극(217a/217b)을 형성하기 위한 제3 도전층(도 10의 17 참조)을 패터닝하여 패드 전극을 형성하는 것이 일반적이었으며, 이와 같은 제3 도전층(도 10의 17 참조)으로는 주로 Mo - Al - Mo 재질이 사용되는 것이 일반적이었다. 그런데 이와 같은 Mo - Al - Mo 재질의 패드 전극의 경우, 부식에 취약하다는 문제점이 존재하였다. 이와 같은 문제점을 해결하기 위하여, ITO와 같은 투명 전극을 사용하여 패드 전극을 형성하는 방법이 개발되었다. 상세히, 게이트 전극은 게이트 하부전극(214)과 게이트 상부전극(215)의 2층 구조를 사용하며, 이때 게이트 하부전극(214)으로는 ITO, IZO, ZnO, 또는 In_2O_3 와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있고, 게이트 상부전극(215)으로는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 그리고, 이와 같은 게이트 하부전극(214)을 형성하기 위한 제1 도전층(도 6의 14 참조)을 이용하여 패드 전극을 형성하는 방법이 개발되었다. 그런데 이와 같이 ITO를 사용하여 패드 전극을 형성할 경우, ITO의 저항이 상대적으로 높기 때문에, 발광 영역(DA) 내부로 들어가는 전류는 ITO 패드 전극 내에서도 대부분 발광 영역(DA)과 가까운 위치에 있는 일부로만 흐르게 되며, 패드 전극 하단부에서 들어오는 전류는 패드 전극 상단부를 거쳐 발광 영역(DA) 내부로 들어가기까지 많은 저항을 받으며 발광 영역(DA)에 입력된다. 따라서, 패드 전극 내의 위치별 콘택 저항의 균일도(Uniformity)가 저하되며 이로 인해 발광 영역(DA)의 휘도가 저하된다는 문제점이 존재하였다.

[0051] 이와 같은 문제점을 해결하기 위하여, 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치(1)는 패드 영역(5)이 제1 패드 전극(514)과 제2 패드 전극(52)을 포함하도록 형성되는 것을 일 특징으로 한다.

[0052] 이때, 제2 패드 전극(52)은 제1 패드 전극(514)의 일 측으로부터 분기되어 제1 패드 전극(514)과 나란한 방향으로 연장된 후, 다시 제1 패드 전극(514)과 합류하도록 형성되는, 일종의 바이패스(bypass) 전극으로 형성된다. 여기서, 제1 패드 전극(514)은 ITO, IZO, ZnO, 또는 In_2O_3 와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함하는 단일 층으로 형성되며, 개구부(H6)에 의해 외부로 노출되어 드라이버 IC와 접촉한다. 반면, 제2 패드 전극(52)은 제2 패드 상부전극(524) 및 제2 패드 하부전극(525)의 두 층으로 형성될 수 있다. 여기서, 제2 패드 상부전극(524)은 제1 패드 전극(514)과 동일한 물질로 동일한 층에 형성될 수 있다. 한편, 제2 패드 하부전극(525)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있으며, 바람직하게는 Mo - Al - Mo의 3층 구조로 형성될 수도 있다. 그리고, 이와 같은 제2 패드 전극(52)은 제3 절연층(16)에 의해 덮이도록 형성되어, 제2 패드 전극(52)이 외부로 노출되지 아니하도록 형성될 수 있다.

[0053] 이 경우, 제1 패드 전극(514)의 상단부에 콘택되는 전류는 제1 패드 전극(514)을 통해 바로 발광 영역(DA) 내부로 들어가게 되고, 제1 패드 전극(514)의 하단부에 콘택되는 전류는 저항이 높은 제1 패드 전극(514)을 거쳐 발광 영역(DA) 내부로 입력되는 것이 아니라 저항이 낮은 제2 패드 하부전극(525)으로 대부분 전달되어 발광 영역(DA) 내부로 입력되는 것이다.

[0054] 이와 같은 구조를 통해 기존 ITO 단일 패드 전극의 문제점을 개선할 수 있다. 즉, 종래 ITO만으로 이루어진 제1 패드 전극(514)의 저항이 과도하게 높았던 문제점을, 저항이 낮은 Mo - Al - Mo를 포함하는 제2 패드 전극(52)을 추가함으로써, 발광 영역(DA) 내부로 전류가 인가되기까지의 저항을 줄일 수 있다. 따라서, 제1 패드 전극(514) 및 제2 패드 전극(52)의 위치별 콘택 저항의 균일도가 향상되어, 휘도 균일도(Uniformity)가 향상될 수 있다. 나아가, 제3 절연층(16)에 의해, 부식에 취약한 Mo - Al - Mo로 이루어진 제2 패드 전극(52)이 외부로 노출되지 아니하므로, 신뢰성이 향상되는 효과를 얻을 수 있다.

- [0055] 이하에서는 도 2에 도시된 배면 발광형 유기 발광 디스플레이 장치의 제조 공정을 개략적으로 설명한다. 도 4 내지 도 12는 도 2에 도시된 배면 발광형 유기 발광 디스플레이 장치의 제조 공정을 개략적으로 나타내는 단면 도이다.
- [0056] 먼저, 도 4에 도시된 바와 같이, 기판(10) 상부에 제1 절연층(11)을 형성한다. 상세히, 기판(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.
- [0057] 한편, 기판(10) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층 및/또는 버퍼층과 같은 제1 절연층(11)이 구비될 수 있다. 상기 제1 절연층(11)은 SiO₂ 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다.
- [0058] 다음으로, 도 5에 도시된 바와 같이, 상기 제1 절연층(11) 상부에 박막 트랜지스터(TFT)의 활성층(212)과 스토리지 커패시터(Cst)의 하부전극(312)을 형성한다. 상세히, 제1 절연층(11) 상부에 비정질 실리콘을 먼저 증착한 후 이를 결정화함으로써 다결정 실리콘층(미도시)을 형성한다. 비정질 실리콘은 RTA(rapid thermal annealing)법, SPC(solid phase crystallzation)법, ELA(excimer laser annealing)법, MIC(metal induced crystallzation)법, MILC(metal induced lateral crystallzation)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. 그리고, 이와 같이 다결정 실리콘층은 제1 마스크(미도시)를 사용한 마스크 공정에 의해, 박막 트랜지스터(TFT)의 활성층(212) 및 커패시터(Cst)의 하부전극(312)으로 패터닝된다.
- [0059] 본 실시예에서는, 활성층(212)과 커패시터 하부전극(312)이 분리 형성되었으나, 활성층(212)과 커패시터 하부전극(312)을 일체로 형성할 수도 있다.
- [0060] 다음으로, 도 6에 도시된 바와 같이, 활성층(212)과 커패시터 하부전극(312)이 형성된 기판(10)의 전면에 제2 절연층(13), 제1 도전층(14) 및 제2 도전층(15)을 순차로 증착한다.
- [0061] 제2 절연층(13)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 상기 제2 절연층(13)은, 박막 트랜지스터(TFT)의 활성층(212)과 게이트 전극(21) 사이에 개재되어 박막 트랜지스터(TFT)의 게이트 절연막 역할을 하며, 커패시터 상부전극(314)과 하부전극(312) 사이에 개재되어 커패시터(Cst)의 유전체층 역할을 하게 된다.
- [0062] 제1 도전층(14)은 ITO, IZO, ZnO, 또는 In₂O₃와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 추후 상기 제1 도전층(14)은 화소 전극(414), 게이트 하부전극(214), 커패시터 상부전극(314), 제1 패드 전극(514) 및 제2 패드 하부전극(524)으로 패터닝 될 수 있다.
- [0063] 한편, 제2 도전층(15)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 바람직하게, 상기 제2 도전층(15)은 Mo - Al - Mo의 3층 구조로 형성될 수도 있다. 추후 상기 제2 도전층(15)은 게이트 상부전극(215) 및 제2 패드 상부전극(525)으로 패터닝 될 수 있다.
- [0064] 다음으로, 도 7에 도시된 바와 같이, 기판(10) 상에 게이트 전극(21)과, 전극 패턴(30, 40, 50)과, 제2 패드 전극(도 3의 52 참조)을 각각 형성한다.
- [0065] 상세히, 기판(10) 전면에 차례로 적층된, 상기 제1 도전층(14) 및 상기 제2 도전층(15)은 제2 마스크(미도시)를 사용한 마스크 공정에 의해 패터닝된다.
- [0066] 이때, 채널 영역(2)에는 활성층(212) 상부에 게이트 전극(21)이 형성되고, 상기 게이트 전극(21)은 제1 도전층(14)의 일부로 형성된 게이트 하부전극(214)과 제2 도전층(15)의 일부로 형성된 게이트 상부전극(215)을 포함한다.
- [0067] 여기서, 게이트 전극(21)은 활성층(212)의 중앙에 대응하도록 형성되며, 게이트 전극(21)을 마스크로 하여 활성층(212)으로 n형 또는 p형의 불순물을 도핑하여 게이트 전극(21)의 양측에 대응하는 활성층(212)의 가장자리에 소스/드레인 영역(212a/212b)과 이들 사이의 채널 영역을 형성한다.
- [0068] 저장 영역(3)에는 추후 커패시터 상부전극(314)을 형성하기 위한 전극 패턴(30)이 커패시터 하부전극(312) 상부

에 형성되고, 발광 영역(4)에는 추후 화소 전극(414)을 형성하기 위한 전극 패턴(40)이 형성된다.

- [0069] 그리고, 패드 영역(5)에는 추후 패드 전극을 형성하기 위한 전극 패턴(50)이 형성된다. 또한, 패드 영역(5)에는 제2 패드 전극(도 3의 52 참조)이 형성되고, 여기서 제2 패드 전극(도 3의 52 참조)은 제1 도전층(14)의 일부로 형성된 제2 패드 하부전극(도 3의 524)과 제2 도전층(15)의 일부로 형성된 제2 패드 상부전극(도 3의 525 참조)을 포함한다.
- [0070] 다음으로, 도 8에 도시된 바와 같이, 게이트 전극(21)이 형성된 기판(10)의 전면에 제3 절연층(16)을 증착한다.
- [0071] 상기 제3 절연층(16)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스�핀 코팅 등의 방법으로 형성된다. 제3 절연층(16)은 충분한 두께로 형성되어, 예컨대 전술한 제2 절연층(13)보다 두껍게 형성되어, 박막 트랜지스터의 게이트 전극(21)과 소스/드레인 전극(217a/217b) 사이의 층간 절연막 역할을 수행한다. 한편, 제3 절연층(16)은 상기와 같은 유기 절연 물질뿐만 아니라, 전술한 제2 절연층(13)과 같은 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기 절연 물질을 교번하여 형성할 수도 있다.
- [0072] 다음으로, 도 9에 도시된 바와 같이, 제3 절연층(16)을 패터닝하여 상기 전극 패턴(30, 40, 50)과 소스/드레인 영역(212a/212b)의 일부를 노출하는 개구들(H1, H2, H3, H4, H5, H6)을 갖는 층간 절연막(16)을 형성한다.
- [0073] 상세히, 상기 제3 절연층(16)은 제3 마스크(미도시)를 사용한 마스크 공정에 의해 패터닝됨으로써 상기 개구들(H1, H2, H3, H4, H5, H6)을 형성한다. 여기서, 상기 개구(H1, H2)는 상기 소스/드레인 영역(212a/212b)의 일부를 노출시키고, 상기 개구(H3, H4)는 전극 패턴(30)의 상부를 구성하는 제2 도전층(15)의 일부를 노출시키고, 상기 개구(H5)는 전극 패턴(40)의 상부를 구성하는 제2 도전층(15)의 일부를 노출시킨다. 그리고, 상기 개구(H6)는 전극 패턴(50)의 상부를 구성하는 제2 도전층(15)의 일부를 노출시킨다.
- [0074] 다음으로, 도 10에 도시된 바와 같이, 상기 층간 절연막(16)을 덮도록 기판(10) 전면에서 제3 도전층(17)을 증착한다.
- [0075] 상기 제3 도전층(17)은 전술한 제1 또는 제2 도전층(14, 15)과 동일한 도전 물질 가운데 선택할 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다. 또한, 상기 도전 물질은 전술한 개구들(H1, H2, H3, H4, H5, H6)을 충전할 수 있을 정도로 충분한 두께로 증착된다.
- [0076] 다음으로, 도 11에 도시된 바와 같이, 제3 도전층(도 10의 17 참조)을 패터닝하여, 소스/드레인 전극(217a/217b), 화소 전극(414) 커패시터 상부전극(314) 및 제1 패드 전극(514)을 각각 형성한다.
- [0077] 상세히, 상기 제3 도전층(도 10의 17 참조)을 제4 마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 소스/드레인 전극(217a/217b)을 형성한다.
- [0078] 여기서, 상기 소스/드레인 전극(217a/217b) 중 하나의 전극(본 실시예의 경우 전극(217a))은 화소 전극(414)이 형성될 전극 패턴(도 10의 40 참조)의 상부 제2 도전층(415)의 가장자리 영역의 개구(H3)를 통하여 화소 전극(414)과 접속하도록 형성된다.
- [0079] 한편, 상기 소스/드레인 전극(217a/217b)이 형성된 후, 추가 식각에 의해 화소 전극(414) 및 커패시터 상부전극(314)을 각각 형성한다. 상세히, 상기 전극 패턴(도 10의 40 참조)은 개구(H4)에 의해 노출된 상부 제2 도전층을 제거하여 화소 전극(414)을 형성한다. 그리고, 상기 전극 패턴(도 10의 30 참조)은 개구(H5)에 의해 노출된 상부 제2 도전층을 제거하여 커패시터 상부전극(314)을 형성한다. 그리고, 상기 전극 패턴(도 10의 50 참조)은 개구(H6)에 의해 노출된 상부 제2 도전층을 제거하여 제1 패드 전극(514)을 형성한다.
- [0080] 따라서 게이트 하부전극(214), 커패시터 상부전극(314), 화소 전극(414), 제1 패드 전극(514) 및 제2 패드 하부전극(도 3의 524 참조)은 동일층에서 동일 물질로 형성된다.
- [0081] 여기서, 상기 개구(H5)를 통해 n형 또는 p형의 불순물을 주입하여 커패시터 하부전극(312)을 도핑할 수 있다. 상기 도핑 시 주입되는 불순물은 상기 활성층(212)의 도핑 시 사용된 것과 동일 또는 상이할 수 있다.
- [0082] 다음으로, 도 12에 도시된 바와 같이, 기판(10) 상에 화소정의막(pixel define layer: PDL)(18)을 형성한다.
- [0083] 상세히, 상기 화소 전극(414), 소스/드레인 전극(217a/217b), 커패시터 상부전극(314), 제1 패드 전극(514)이 형성된 기판(10) 전면에서 제4 절연층(18)을 증착한다. 이때 상기 제4 절연층(18)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스�핀

코팅 등의 방법으로 형성될 수 있다. 한편, 상기 제4 절연층(18)은 상기와 같은 유기 절연 물질뿐만 아니라, SiO₂, SiNx, Al₂O₃, CuOx, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있음은 물론이다. 또한 상기 제4 절연층(18)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.

- [0084] 상기 제4 절연층(18)은 제5 마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 화소 전극(414)의 중앙부가 노출되도록 개구(H7)를 형성함으로써, 픽셀을 정의하는 화소 정의막(55)을 형성한다.
- [0085] 이후, 도 2에 도시된 바와 같이, 상기 화소 전극(414)을 노출하는 개구(H7)에 유기 발광층을 포함하는 중간층(419) 및 대향 전극(420)을 형성한다.
- [0086] 상기 중간층(419)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다.
- [0087] 상기 중간층(419)은 저분자 또는 고분자 유기물로 구비될 수 있다.
- [0088] 저분자 유기물로 형성되는 경우, 중간층(419)은 유기 발광층을 중심으로 화소 전극(414)의 방향으로 정공 수송층 및 정공 주입층 등이 적층되고, 대향 전극(420) 방향으로 전자 수송층 및 전자 주입층 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq₃) 등을 비롯하여 다양하게 적용 가능하다.
- [0089] 한편, 고분자 유기물로 형성되는 경우에는, 중간층(419)은 유기 발광층을 중심으로 화소 전극(414) 방향으로 정공 수송층만이 포함될 수 있다. 정공 수송층은 폴리에틸렌 디히드록시티오펜(PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 화소 전극(414) 상부에 형성할 수 있다. 이때 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있으며, 잉크젯 프린팅이나 스핀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.
- [0090] 상기 대향 전극(420)은 기판(10) 전면에 증착되어 공통 전극으로 형성될 수 있다. 본 실시예에 따른 유기 발광 디스플레이 장치의 경우, 화소 전극(414)은 애노드 전극으로 사용되고, 대향 전극(420)은 캐소드 전극으로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0091] 유기 발광 디스플레이 장치가 기판(10)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)의 경우, 화소 전극(414)은 투명전극이 되고 대향 전극(420)은 반사 전극이 된다. 이때 반사 전극은 일함수가 적은 금속, 예를 들자면, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착하여 형성할 수 있다.
- [0092] 전술된 유기 발광 표시 장치를 형성하기 위한 각 마스크 공정시 적층막의 제거는 건식 식각 또는 습식 식각으로 수행될 수 있다.
- [0093] 본 발명의 실시예에 따른 배면 발광 표시 장치에 의하면, 마스크 수 증감없이 금속층을 기판의 최하부에 화소 전극과 격리시켜 형성함으로써, 화소 전극의 발광 효율을 증가시키고 게이트 전극의 식각 특성이 확보되어, 표시 장치의 표시 품질을 향상시키고 공정 단순화 및 불량 개선이 가능해 진다.
- [0094] 한편, 전술한 실시예에서는 유기 발광 표시 장치를 예로 설명하였으나, 본 발명은 이에 한정되지 않고 액정 표시 장치를 비롯한 다양한 표시 소자를 사용할 수 있음은 물론이다.
- [0095] 또한, 본 발명에 따른 실시예를 설명하기 위한 도면에는 하나의 TFT와 하나의 커패시터만 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명은 이에 한정되지 않으며, 본 발명에 따른 마스크 공정을 늘리지 않는 한, 복수 개의 TFT와 복수 개의 커패시터가 포함될 수 있음은 물론이다.
- [0096] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지 않는 것은, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

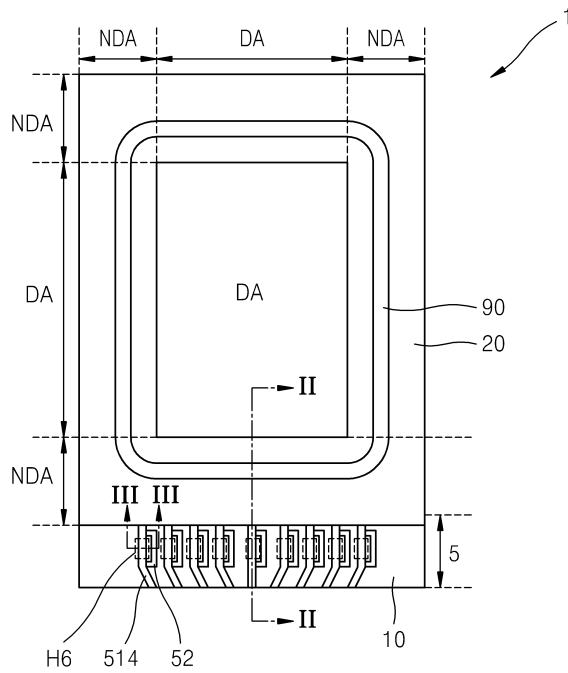
부호의 설명

[0097]

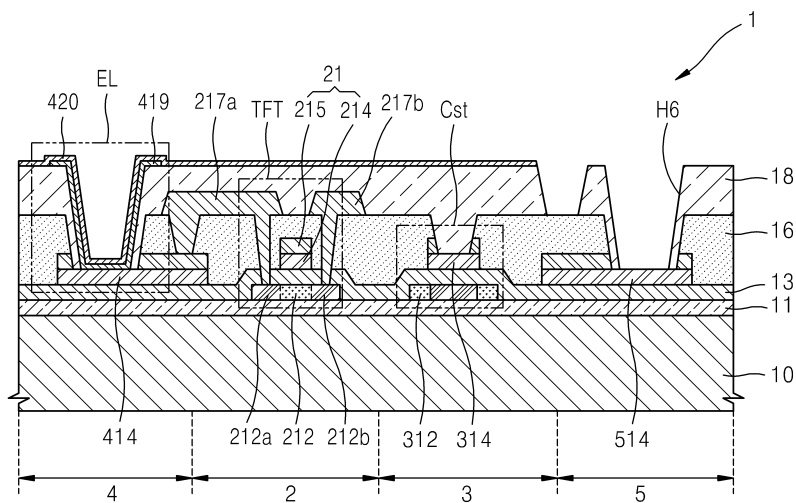
- | | |
|-------------------|-----------|
| 1: 유기 발광 디스플레이 장치 | |
| 10: 제1 기판 | 20: 제2 기판 |
| 2: 채널 영역 | 3: 저장 영역 |
| 4: 발광 영역 | 5: 패드 영역 |

도면

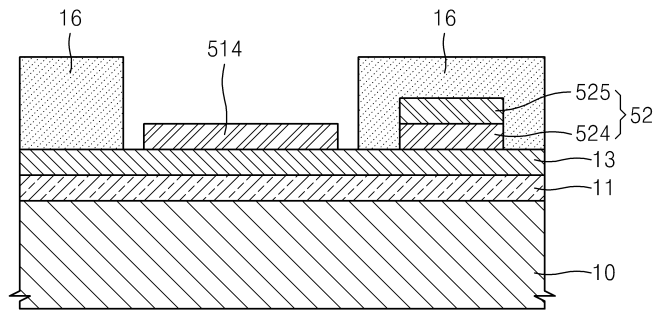
도면1



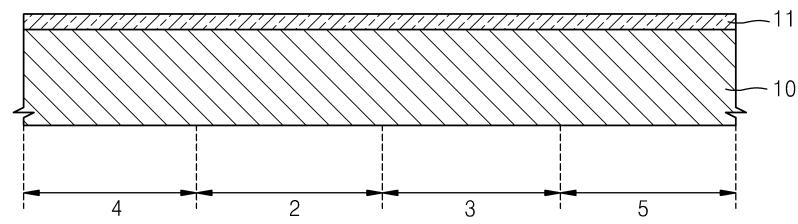
도면2



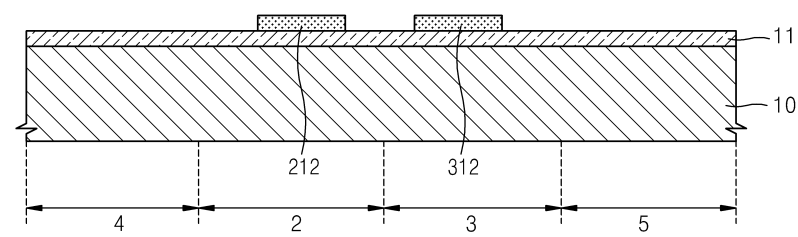
도면3



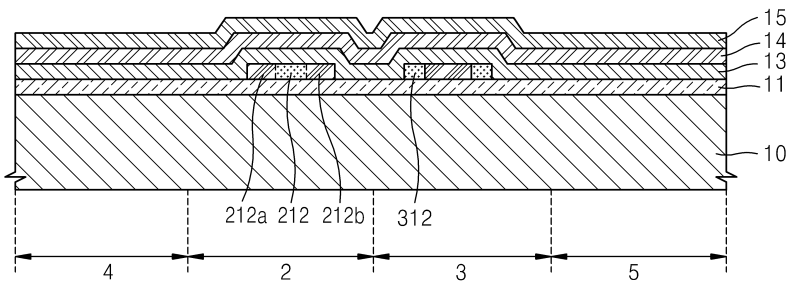
도면4



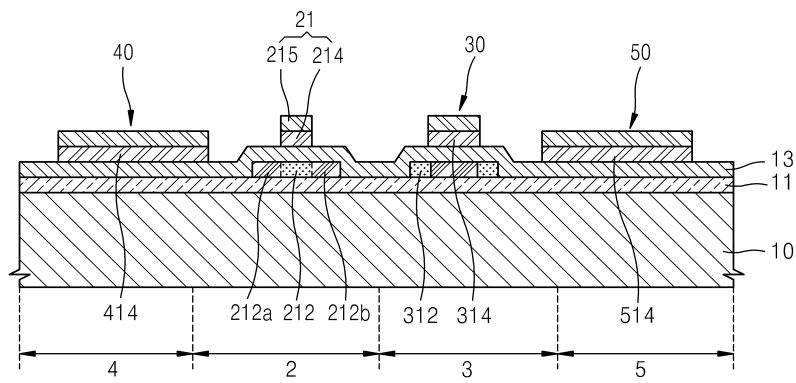
도면5



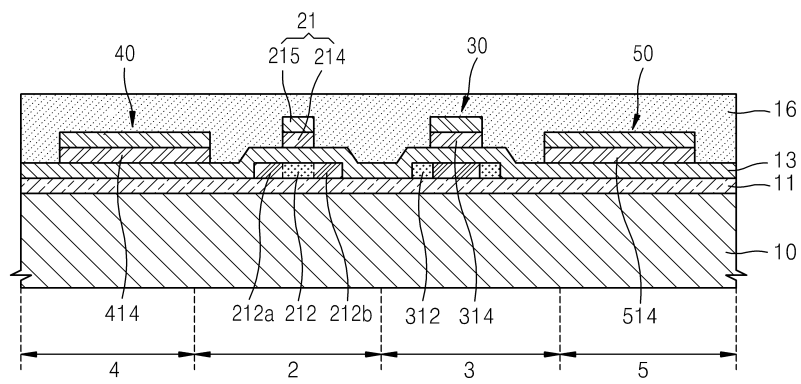
도면6



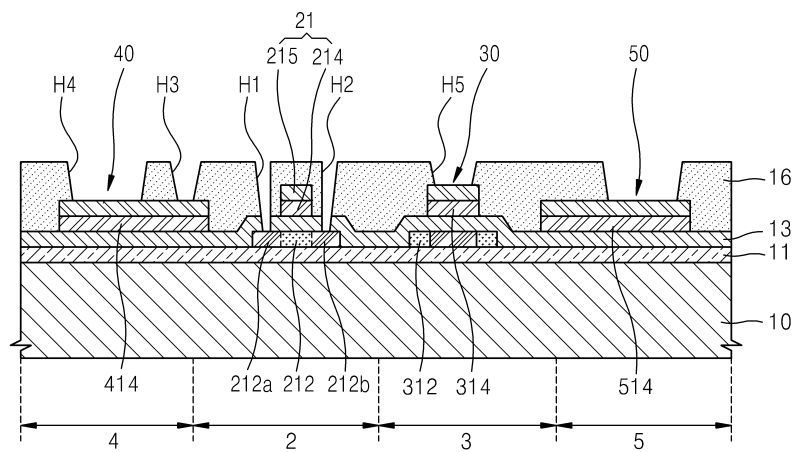
도면7



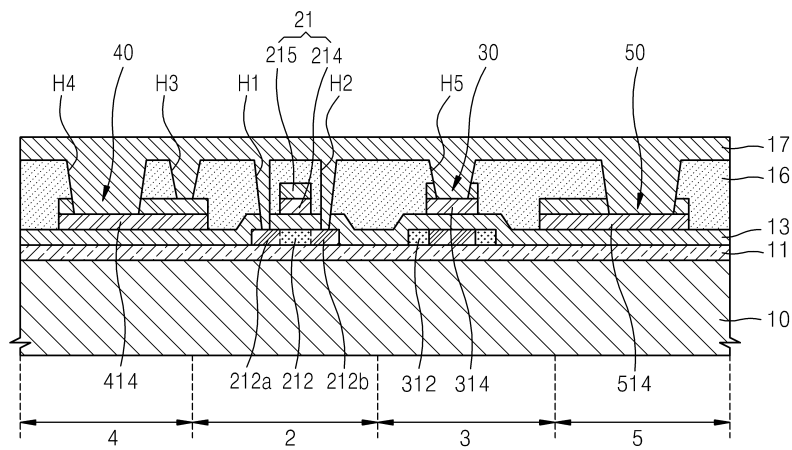
도면8



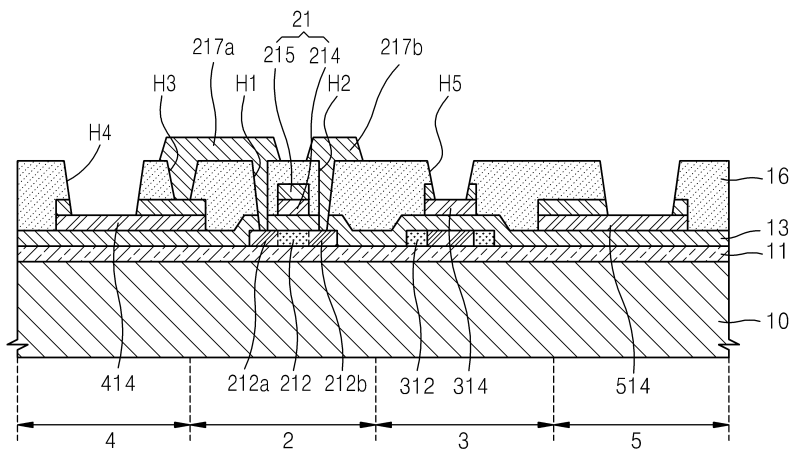
도면9



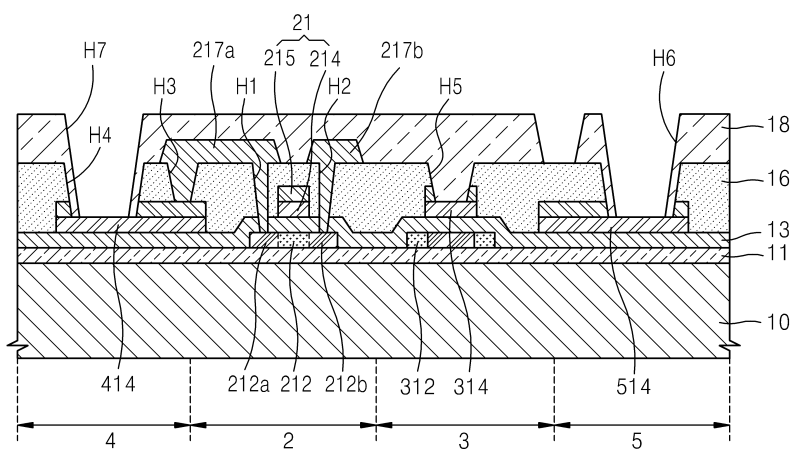
도면10



도면11



도면12



专利名称(译)	标题：OLED显示装置及其制造方法		
公开(公告)号	KR1020120031364A	公开(公告)日	2012-04-03
申请号	KR1020100092853	申请日	2010-09-24
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	MOON SANG HO 문상호 KANG KI NYENG 강기녕		
发明人	문상호 강기녕		
IPC分类号	H01L51/56 H01L27/32 H01L51/52 H01L23/00		
CPC分类号	H01L27/3262 H01L51/5231 H01L24/05 H01L27/3258 H01L2224/05552 H01L2224/05556 H01L2924/15788		
其他公开文献	KR101780250B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种有机发光显示装置及其制造方法，以通过改善焊盘部分的电阻均匀性来改善亮度。组成：薄膜晶体管（TFT）包括在沟道区域（2）中。薄膜晶体管包括有源层（212），栅电极（21）和源/漏电极（217a / 217b）。存储电容器（Cst）包括在存储区域（3）中。存储电容器由下电极（312）和上电极（314）组成。有机发光器件（EL）包括在发光区域（4）中。有机发光装置电连接到薄膜晶体管。焊盘区域（5）包括第一焊盘电极（514）和第二焊盘电极。COPYRIGHT KIPO 2012

