



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0051470
(43) 공개일자 2011년05월18일

(51) Int. Cl.

H01L 51/52 (2006.01) *H01L 29/786* (2006.01)

G09G 3/30 (2006.01)

(21) 출원번호 10-2009-0108062

(22) 출원일자 2009년11월10일

심사청구일자 2009년11월10일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

이원규

경기도 용인시 기흥구 농서동 산 24번지

조규식

경기도 용인시 기흥구 농서동 산 24번지

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

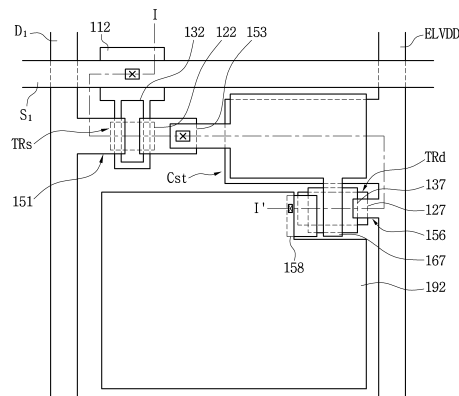
전체 청구항 수 : 총 19 항

(54) 유기전계발광표시장치 및 그의 제조 방법

(57) 요약

유기전계발광표시장치 및 그의 제조 방법에서, 유기전계발광표시장치는 스위칭 트랜지스터 및 구동 트랜지스터를 포함한다. 스위칭 트랜지스터는 게이트 전극 및 게이트 전극 위에 위치하는 반도체층을 포함하고 구동 트랜지스터는 반도체 층 및 반도체층 아래에 위치하는 게이트 전극을 포함한다. 따라서 공정 효율의 저하를 방지할 수 있으며 발광 효율의 높일 수 있다.

대표도 - 도2



(72) 발명자

양태훈

경기도 용인시 기흥구 농서동 산 24번지

추병권

경기도 용인시 기흥구 농서동 산 24번지

문상호

경기도 용인시 기흥구 농서동 산 24번지

최보경

경기도 용인시 기흥구 농서동 산 24번지

박용환

경기도 용인시 기흥구 농서동 산 24번지

최준후

경기도 용인시 기흥구 농서동 산 24번지

신민철

경기도 용인시 기흥구 농서동 산 24번지

이윤규

경기도 용인시 기흥구 농서동 산 24번지

특허청구의 범위

청구항 1

다수의 스캔 라인, 다수의 데이터 라인 및 상기 스캔 라인과 데이터 라인이 교차하는 영역에 위치하는 다수의 화소를 포함하는 유기전계발광표시장치에 있어서,

상기 다수의 화소는 각각 제 1 게이트 전극, 상기 제 1 게이트 전극 상에 위치하는 제 1 반도체층, 상기 제 1 게이트 전극과 제 1 반도체층 사이에 위치하는 제 1 게이트 절연막 및 제 1 소오스/드레인 전극을 포함하는 스위칭 트랜지스터;

상기 제 1 반도체층과 동일 층에 위치하는 제 2 반도체층, 상기 제 2 반도체층 상에 위치하는 제 2 게이트 전극, 상기 제 2 게이트 전극과 제 2 반도체층 사이에 위치하는 제 2 게이트 절연막 및 제 2 소오스/드레인 전극을 포함하는 구동 트랜지스터; 및

상기 구동 트랜지스터의 제 2 소오스/드레인 전극과 전기적으로 연결되는 유기전계발광다이오드를 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 2

제 1 항에 있어서,

상기 제 1 반도체층 및 제 2 반도체층은 다결정 실리콘으로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제 2 항에 있어서,

상기 제 1 반도체층 및 제 2 반도체층의 다결정 실리콘은 동일 결정 구조를 가지는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제 1 항에 있어서,

상기 다수의 화소는 각각 상기 제 1 반도체층과 제 1 소오스/드레인 전극 사이에 위치하는 제 1 오믹 콘택층 및 상기 제 2 반도체층과 제 2 소오스/드레인 전극 사이에 위치하는 제 2 오믹 콘택층을 더 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제 4 항에 있어서,

상기 제 1 오믹 콘택층 및 제 2 오믹 콘택층은 불순물로 도핑된 비정질 실리콘으로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제 1 항에 있어서,

상기 다수의 화소는 각각 상기 제 1 반도체층의 일부 영역 상에 위치하는 제 1 식각 방지막 및 상기 제 2 반도체층의 일부 영역 상에 위치하는 제 2 식각 방지막을 더 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 7

제 1 항에 있어서,

상기 유기전계발광다이오드는 상기 제 2 소오스/드레인 전극과 전기적으로 연결되는 하부 전극, 상기 하부 전극 상에 위치하며 하나 또는 다수의 발광층을 포함하는 유기막층 및 상기 유기막층 상에 위치하는 상부 전극을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

제 1 항에 있어서,

상기 제 2 게이트 전극은 상기 제 2 소오스/드레인 전극 상에 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 9

제 1 항에 있어서,

상기 제 1 소오스/드레인 전극 및 제 2 소오스/드레인 전극은 동일 층에 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 10

제 1 영역 및 제 2 영역을 포함하는 기판을 제공하고,

상기 기판의 제 1 영역 상에 제 1 게이트 전극을 형성하고,

상기 제 1 게이트 전극 상에 제 1 게이트 절연막을 형성하고,

상기 제 1 게이트 절연막 상에 다결정 실리콘층을 형성하고,

상기 다결정 실리콘층 상에 도전성 물질층을 형성하고,

상기 다결정 실리콘층 및 도전성 물질층을 식각하여, 상기 제 1 영역에 위치하는 제 1 반도체층 및 제 1 소오스/드레인 전극과 상기 제 2 영역에 위치하는 제 2 반도체층 및 제 2 소오스/드레인 전극을 형성하고,

상기 제 1 소오스/드레인 전극 및 제 2 소오스/드레인 전극 상에 제 2 게이트 절연막을 형성하고,

상기 제 2 게이트 절연막의 제 2 영역 상에 제 2 게이트 전극을 형성하고,

상기 제 2 게이트 전극 상에 보호막을 형성하고,

상기 보호막 및 제 2 게이트 절연막을 식각하여 상기 제 2 소오스/드레인 전극의 일부를 노출시키는 비아홀을 형성하고,

상기 보호막 상에 상기 비아홀을 통해 상기 제 2 소오스/드레인 전극과 전기적으로 연결되는 하부 전극을 포함하는 유기전계발광다이오드를 형성하는 것을 포함하는 유기전계발광표시장치의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 제 1 게이트 절연막 상에 비정질 실리콘층을 형성한 후, 상기 비정질 실리콘을 결정화하여 상기 다결정 실리콘층을 형성하는 것을 더 포함하는 유기전계발광표시장치의 제조 방법.

청구항 12

제 10 항에 있어서,

상기 다결정 실리콘층 상에 비정질 실리콘층을 형성하고,

상기 비정질 실리콘층 상에 도전성 물질층을 형성하고,

상기 다결정 실리콘층 및 도전성 물질층의 식각 공정을 통해 상기 불순물로 도핑 된 비정질 실리콘층을 식각하여, 상기 제 1 반도체층과 제 1 소오스/드레인 전극 사이에 위치하는 제 1 오믹 콘택층 및 상기 제 2 반도체층과 제 2 소오스/드레인 전극 사이에 위치하는 제 2 오믹 콘택층을 형성하는 것을 더 포함하는 유기전계발광표시장치의 제조 방법.

청구항 13

제 10 항에 있어서,

상기 다결정 실리콘층의 제 1 영역 상에 위치하는 제 1 식각 방지막 및 제 2 영역 상에 위치하는 제 2 식각 방지막을 형성하는 것을 더 포함하는 유기전계발광표시장치의 제조 방법.

청구항 14

제 13 항에 있어서,

상기 제 1 식각 방지막 및 제 2 식각 방지막을 상기 제 1 반도체층 및 제 2 반도체층의 일부 영역에 대응되도록 형성하는 것을 더 포함하는 유기전계발광표시장치의 제조 방법.

청구항 15

제 10 항에 있어서,

상기 제 2 게이트 절연막을 식각하여 상기 제 1 소오스/드레인 전극의 일부를 노출시키는 제 1 콘택홀을 형성하고,

상기 제 2 게이트 전극을 상기 제 2 콘택홀을 통해 상기 제 1 소오스/드레인 전극과 전기적으로 연결되도록 형성하는 것을 더 포함하는 유기전계발광표시장치의 제조 방법.

청구항 16

제 10 항에 있어서,

상기 제 2 게이트 절연막을 식각하여 상기 제 2 소오스/드레인 전극의 일부를 노출시키는 제 2 콘택홀을 형성하고,

상기 제 2 게이트 전극과 동시에 상기 제 2 콘택홀을 통해 상기 제 2 소오스/드레인 전극과 전기적으로 연결되는 연결 배선을 형성하고,

상기 비아홀이 상기 연결 배선의 일부를 노출시키도록 하여, 상기 하부 전극을 상기 연결 배선과 전기적으로 연결되도록 형성하는 것을 더 포함하는 유기전계발광표시장치의 제조 방법.

청구항 17

제 10 항에 있어서,

상기 제 1 게이트 전극 및 제 2 게이트 전극을 동일 물질로 형성하는 것을 더 포함하는 유기전계발광표시장치의 제조 방법.

청구항 18

제 10 항에 있어서,

상기 보호막 상에 상기 하부 전극의 일부를 노출시키는 화소 정의막을 형성하고, 상기 화소 정의막에 의해 노출된 하부 전극 상에 하나 또는 다수의 발광층을 포함하는 유기막층을 형성하고, 상기 유기막층 상에 상부 전극을 형성하여 상기 유기전계발광다이오드를 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 19

제 10 항에 있어서,

상기 보호막 상에 평탄화막을 형성하고,

상기 보호막 및 평탄화막을 식각하여 비아홀을 형성하고,

상기 평탄화막 상에 상기 비아홀을 통해 상기 제 2 소오스/드레인 전극과 전기적으로 연결되는 하부 전극을 형성하는 것을 더 포함하는 유기전계발광표시장치의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명의 실시예들은 유기전계발광표시장치 및 그의 제조 방법에 관한 것이다. 보다 구체적으로 본 발명의 실시예들은 유기발광물질로 이미지를 구현할 수 있는 유기전계발광표시장치 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 유기전계발광표시장치는 유기박막에 음극(Cathode)과 양극(Anode)을 통하여 주입된 전자(Electron)와 정공(Hole)이 재결합하여 여기자를 형성하고, 형성된 여기자로부터의 에너지에 의해 특정한 파장의 빛이 발생하는 현상을 이용한 표시장치이다.

[0003] 상기 유기전계발광표시장치는 구동 방법에 따라 수동 구동(Passive matrix) 방식과 능동 구동(Active matrix) 방식으로 나뉘는데, 상기 능동 구동 방식의 유기전계발광표시장치는 상기 유기박막을 포함하는 유기전계발광다이오드를 구동하기 위하여 두 개의 박막트랜지스터(Thin Film Transistor; TFT), 즉 상기 유기전계발광다이오드에 구동 전류를 인가하기 위한 구동 트랜지스터 및 상기 구동 트랜지스터에 데이터 신호를 전달하여 상기 구동 트랜지스터의 on/off를 결정하는 스위칭 트랜지스터가 형성되어야 하므로, 상기 수동 구동 방식의 유기전계발광표시장치와 비교하여 제조가 복잡하다는 단점이 있다.

[0004] 그러나, 상기 수동 구동 방식의 유기전계발광표시장치는 해상도, 구동 전압의 상승, 재료 수명의 저하 등의 문제로 인하여 저해상도 및 소형 디스플레이의 응용분야로 제한되는 반면, 상기 능동 구동 방식의 유기전계발광표시장치는 표시 영역의 각 화소에 위치하는 스위칭 트랜지스터 및 구동 트랜지스터를 이용하여 공급되는 일정한 전류에 따라 안정적인 휘도를 나타낼 수 있으며, 전력소모가 적어, 고해상도 및 대형디스플레이를 구현할 수 있다는 장점이 있다.

[0005] 통상적으로 상기 스위칭 트랜지스터 및 구동 트랜지스터와 같은 박막 트랜지스터는 반도체층, 상기 반도체층의 일측에 위치하여, 상기 반도체층을 통한 전류 흐름을 제어하는 게이트 전극 및 상기 반도체층의 양측 종단부에 각각 연결되어 상기 반도체층을 통해 일정 전류를 이동시키는 소오스 전극 및 드레인 전극을 포함하며, 상기 반도체층은 다결정 실리콘(polycrystalline silicon; poly-si) 또는 비정질 실리콘(amorphous silicon; a-si)으로 형성할 수 있으나, 상기 다결정 실리콘의 전자이동도가 비정질 실리콘의 그것보다 높아 현재는 다결정 실리콘을 주로 적용하고 있다.

[0006] 여기서, 상기 다결정 실리콘으로 이루어진 반도체층을 형성하는 방법은 기판 상에 비정질 실리콘층을 형성하고 고상 결정화법(Solid Phase Crystallization : SPC), 급속열처리방법(Rapid Thermal Annealing : RTA), 금속 유도 결정화(Metal Induced Crystallization : MIC), 금속 유도 측면 결정화(Metal Induced Lateral Crystallization : MILC), 엑시머 레이저 어닐링(Excimer Laser Annealing : ELA) 결정화법 및 순차측면고상(Sequential Lateral Solidification : SLS) 결정화법 중 어느 하나를 이용하여 결정화하는 방법이 주로 사용되고 있다.

발명의 내용

해결 하고자하는 과제

[0007] 상기와 같은 능동 구동 방식의 유기전계발광표시장치는 공정 효율을 향상시키기 위하여, 각 화소의 스위칭 트랜지스터와 구동 트랜지스터를 동일 구조로 형성하고 있으나, 상기 구동 트랜지스터는 유기전계발광다이오드로 일정 구동 전류를 공급하므로 높은 전류 구동 능력이 요구되는 반면, 상기 스위칭 트랜지스터는 상기 구동 트랜지스터의 on/off를 결정하기 위하여 낮은 누설 전류 특성이 유지되어야 하므로, 동일 구조를 통해 상기 스위칭 트랜지스터 및 구동 트랜지스터의 해당 역할을 모두 만족시킬 수 없어 발광 효율이 저하되는 문제점이 있다.

[0008] 또한, 각 화소의 스위칭 트랜지스터 및 구동 트랜지스터가 해당 역할을 모두 만족시키기 위해서는 상기 스위칭 트랜지스터 및 구동 트랜지스터의 반도체층을 각각 형성하거나, 다수 개의 비정질 실리콘층을 형성하여야 하므로, 공정 효율이 저하되는 문제점이 있다.

과제 해결수단

- [0009] 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 상대적으로 적은 공정을 통해 각 화소의 스위칭 트랜지스터 및 구동 트랜지스터가 해당 역할에 적합한 구조로 형성될 수 있도록 함으로써, 공정 효율의 저하를 방지하며 발광 효율을 높일 수 있는 유기전계발광표시장치 및 그의 제조 방법을 제공함에 목적이 있다.
- [0010] 본 발명의 상기 목적은 다수의 스캔 라인, 다수의 데이터 라인 및 스캔 라인과 데이터 라인이 교차하는 영역에 위치하는 다수의 화소를 포함하는 유기전계발광표시장치에 있어서, 다수의 화소는 각각 제 1 게이트 전극, 제 1 게이트 전극 상에 위치하는 제 1 반도체층, 제 1 게이트 전극과 제 1 반도체층 사이에 위치하는 제 1 게이트 절연막 및 제 1 소오스/드레인 전극을 포함하는 스위칭 트랜지스터; 제 1 반도체층과 동일 층에 위치하는 제 2 반도체층, 제 2 반도체층 상에 위치하는 제 2 게이트 전극, 제 2 게이트 전극과 제 2 반도체층 사이에 위치하는 제 2 게이트 절연막 및 제 2 소오스/드레인 전극을 포함하는 구동 트랜지스터; 및 구동 트랜지스터의 제 2 소오스/드레인 전극과 전기적으로 연결되는 유기전계발광다이오드를 포함하는 것을 특징으로 하는 유기전계발광표시장치에 의해 달성된다.
- [0011] 또한, 본 발명의 목적은 제 1 영역 및 제 2 영역을 포함하는 기판을 제공하고, 기판의 제 1 영역 상에 제 1 게이트 전극을 형성하고, 제 1 게이트 전극을 포함하는 기판 상에 제 1 게이트 절연막을 형성하고, 제 1 게이트 절연막 상에 다결정 실리콘층을 형성하고, 다결정 실리콘층을 식각하여 제 1 영역에 위치하는 제 1 반도체층 및 제 2 영역에 위치하는 제 2 반도체층을 형성하고, 제 1 반도체층의 양측 종단부와 전기적으로 연결되는 제 1 소오스/드레인 전극을 형성하고, 제 2 반도체층의 양측 종단부와 전기적으로 연결되는 제 2 소오스/드레인 전극을 형성하고, 제 1 소오스/드레인 전극 및 제 2 소오스/드레인 전극 상에 제 2 게이트 절연막을 형성하고, 제 2 게이트 절연막의 제 2 영역에 제 2 게이트 전극을 형성하고, 제 2 게이트 전극 상에 보호막을 형성하고, 보호막 상에 제 2 소오스/드레인 전극과 전기적으로 연결되는 하부 전극을 형성하고, 하부 전극 상에 하나 또는 다수의 발광층을 포함하는 유기막층을 형성하고, 유기막층 상에 상부 전극을 형성하는 것을 포함하는 유기전계발광표시장치의 제조 방법에 의해 달성된다.

효과

- [0012] 따라서, 본 발명에 따른 유기전계발광표시장치 및 그의 제조 방법은 한 번의 다결정 실리콘층 형성을 통해 낮은 누설 전류 특성이 유지되는 스위칭 트랜지스터 및 높은 구동 능력의 구동 트랜지스터를 모두 형성함으로써, 상대적으로 적은 공정으로 유기전계발광표시장치의 발광 효율을 높이는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0013] 본 발명의 상기 목적과 기술적 구성 및 이에 따른 작용 효과에 관한 자세한 사항은 본 발명의 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 더욱 명확하게 이해될 것이다. 여기서, 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성 요소를 나타내는 것이며, 도면에 있어서 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수 있다.
- [0014] (실시예)
- [0015] 도 1은 본 발명의 실시예에 따른 유기전계발광표시장치를 나타낸 개략도이고, 도 2는 본 발명의 실시예에 따른 유기전계발광표시장치의 단일 화소를 나타낸 평면도이다.
- [0016] 도 1 및 2를 참조하면, 본 발명의 실시예에 따른 유기전계발광표시장치(100)는 일정 영상을 디스플레이하기 위한 화소부(101), 다수의 데이터 라인(D1 ~ Dm)을 통해 화소부(101)에 데이터 신호를 인가하기 위한 데이터 드라이버(102) 및 다수의 스캔 라인(S1 ~ Sn)을 통해 화소부(101)에 스캔 신호를 인가하기 위한 스캔 드라이버(103)를 포함하며, 화소부(101)는 상기 스캔 라인과 데이터 라인이 교차하는 영역에 위치하는 다수의 화소(P)를 포함한다.
- [0017] 다수의 화소(P)는 각각 상기 데이터 신호에 대응되는 색을 구현하기 위한 유기전계발광다이오드(EL), 상기 데이터 신호에 따른 구동 전류를 유기전계발광다이오드(EL)에 공급하기 위한 구동 트랜지스터(TRd), 상기 스캔 신호에 따라 상기 데이터 신호를 전달하여 구동 트랜지스터(TRd)의 온/오프 시키는 스위칭 트랜지스터(TRs) 및 상기 데이터 신호에 대응되는 전압을 저장하기 위한 커패시터(Cst)를 포함한다. 여기서, 다수의 화소(P)는 각각 구동 트랜지스터(TRd)의 문턱 전압을 보상하기 위한 다수의 박막 트랜지스터(미도시) 및 커패시터(미도시)를 더 포함할 수도 있다.

- [0018] 스위칭 트랜지스터(TRs)는 해당 스캔 라인(S1 ~ Sn)과 전기적으로 연결되는 제 1 게이트 전극(112), 제 1 게이트 전극(112) 상에 위치하는 제 1 반도체층(122), 제 1 게이트 전극(112)과 제 1 반도체층(122) 사이에 위치하는 제 1 게이트 절연막(120) 및 제 1 반도체층(122)의 양측 종단부에 전기적으로 연결되는 제 1 소오스/드레인 전극(151, 153)을 포함한다.
- [0019] 구동 트랜지스터(TRd)는 제 1 반도체층(122)와 동일 층에 위치하는 제 2 반도체층(127), 제 2 반도체층(127) 상에 위치하는 제 2 게이트 전극(167), 제 2 반도체층(127)과 제 2 게이트 전극(167) 사이에 위치하는 제 2 게이트 절연막(160) 및 제 2 반도체층(127)의 양측 종단부에 전기적으로 연결되는 제 2 소오스/드레인 전극(156, 158)을 포함한다. 여기서, 제 2 게이트 전극(167)은 제 1 소오스/드레인 전극(151, 153) 중 드레인 전극(153)과 전기적으로 연결된다.
- [0020] 도 3a 및 3b는 게이트 전극이 반도체층 상에 위치하는 인버티드 스테거드(Inverted Staggered) 구조(BG)의 박막 트랜지스터와 반도체층 상에 게이트 전극이 위치하는 스테거드 (Staggered) 구조(TG)의 박막 트랜지스터의 구동 특성을 비교한 그래프로, 도 3a는 게이트 전극에 -20V를 인가하는 경우, 시간에 따른 문턱 전압의 변화를 나타낸 그래프이며, 도 3b는 게이트 전극에 10V를 인가하며, 드레인 전극에 인가되는 전류 조건에 따른 문턱 전압의 변화를 나타낸 그래프이다.
- [0021] 도 3a를 살펴보면, 게이트 전극에 일정한 음의 전압이 지속해서 인가되는 경우, 시간에 따른 문턱 전압의 변화 기울기는 스테거드 구조(TG)의 박막 트랜지스터가 0.4577인 반면, 인버티드 스테거드 구조(BG)의 박막 트랜지스터는 0.3212인 것을 알 수 있으므로, 인버티드 스테거드 구조(BG)의 박막 트랜지스터가 스테거드 구조(TG)의 박막 트랜지스터와 비교하여 상대적으로 시간에 따른 문턱 전압의 변화량이 적다고 할 수 있다.
- [0022] 도 3b를 살펴보면, 게이트 전극에 일정한 양의 전압이 지속해서 인가되고, 드레인 전극에 인가되는 전류가 일정 시간마다 증가하는 경우, 스테거드 구조(TG)의 박막 트랜지스터는 0.08V의 문턱 전압 이동이 발생하는 반면, 인버티드 스테거드 구조(BG)의 박막 트랜지스터는 0.54V의 문턱 전압 이동이 발생하는 것을 알 수 있으므로, 스테거드 구조(TG)의 박막 트랜지스터가 인버티드 스테거드 구조(BG)의 박막 트랜지스터와 비교하여 상대적으로 드레인 전극에 인가되는 전류, 즉 드레인 전계의 변화에 따른 문턱 전압의 변화량이 적다고 할 수 있다.
- [0023] 따라서, 본 발명의 실시예에 따른 유기전계발광표시장치(100)는 상기 스캔 신호에 따라 데이터 신호를 전달하기 위하여, 낮은 누설 전류 특성이 유지되어야 하는 스위칭 트랜지스터(TRs)로 시간에 따른 문턱 전압의 변화량이 적은 인버티드 스테거드 구조(BG)의 박막 트랜지스터를 형성하고, 상기 데이터 신호에 따라 유기전계발광다이오드(EL)로 다양한 구동 전류를 생성하여 인가하기 위하여 높은 구동 특성이 요구되는 구동 트랜지스터(TRd)로 드레인 전계의 변화에 따른 문턱 전압의 변화량이 적은 스테거드 구조(TG)의 박막 트랜지스터로 형성하여, 유기전계발광표시장치(100)의 발광 효율을 높인다.
- [0024] 도 4a 내지 4g는 도 2의 I-I'선을 따라 절단한 단면도들로, 본 발명의 실시예에 따른 유기전계발광표시장치(100)의 제조 방법을 설명하기 위한 단면도들이다.
- [0025] 먼저, 본 발명의 실시예에 따른 유기전계발광표시장치(100)는 도 4a에 도시된 바와 같이, 제 1 영역(A) 및 제 2 영역(B)를 포함하며, 유리나 합성 수지, 스테인레스 스틸 등의 재질로 형성되는 기판(110) 상에 제 1 도전성 물질층(미도시)을 형성하고, 상기 제 1 도전성 물질층을 식각하여 기판(110)의 제 1 영역(A) 상에 위치하는 제 1 게이트 전극(112)을 형성한다. 여기서, 상기 제 1 도전성 물질층은 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일 층이나, 크롬(Cr) 또는 몰리브덴(Mo) 합금 위에 알루미늄 합금이 다층으로 적층된 금속층일 수 있다.
- [0026] 이어서, 도 4b에 도시된 바와 같이, 제 1 게이트 전극(112)을 포함하는 기판(110) 상에 제 1 게이트 절연막(120)을 형성하고, 제 1 게이트 절연막(120) 상에 다결정 실리콘층(130)을 형성한다. 여기서, 제 1 게이트 절연막(120) 상에 용이하게 다결정 실리콘층(130)을 형성할 수 있도록, 제 1 게이트 절연막(120) 상에 비정질 실리콘층(미도시)을 증착한 후, 상기 비정질 실리콘층을 고상 결정화법(Solid Phase Crystallization : SPC), 급속 열처리방법(Rapid Thermal Annealing : RTA), 금속 유도 결정화(Metal Induced Crystallization : MIC), 금속 유도 측면 결정화(Metal Induced Lateral Crystallization : MILC), 엑시머 레이저 어닐링(Excimer Laser Annealing : ELA) 결정화법 및 순차측면고상(Sequential Lateral Solidification : SLS) 결정화법 중 선택된 어느 하나를 통해 결정화하여 다결정 실리콘층(130)을 형성할 수 있다.
- [0027] 계속해서, 도 4c에 도시된 바와 같이, 다결정 실리콘층(130) 상에 비정질 실리콘층(140)을 형성하고, 비정질 실리콘층(140)을 P형 또는 N형 불순물로 도핑 한 후, 비정질 실리콘층(140) 상에 제 2 도전성 물질층(150)을 형성

한다. 여기서, 제 2 도전성 물질층(150)은 몰리브덴(MoW), 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금 등을 사용하여 형성할 수 있다.

[0028] 또한, 본 발명의 실시예는 후속되는 식각 공정에 의해 다결정 실리콘층(130)의 표면에 손상되어, 다결정 실리콘층(130)을 식각하여 형성하는 제 1 반도체층(122) 및 제 2 반도체층(127)의 구동 특성이 저하되는 것을 방지하기 위하여, 다결정 실리콘층(130) 상에 제 1 식각 방지막(132) 및 제 2 식각 방지막(137)을 형성할 수 있다.

[0029] 여기서, 제 1 식각 방지막(132) 및 제 2 식각 방지막(137)을 각각 후속 공정을 통해 형성될 제 1 반도체층(122) 및 제 2 반도체층(127)의 일부 영역에 대응되도록 형성하여, 제 1 반도체층(122)과 제 1 소오스/드레인 전극(151, 153) 및 제 2 반도체층(127)과 제 2 소오스/드레인 전극(156, 158) 사이의 전기적 연결이 용이하게 할 수 있다.

[0030] 다음으로, 도 4d에 도시된 바와 같이, 다결정 실리콘층(130), 불순물로 도핑된 비정질 실리콘층(140) 및 제 2 도전성 물질층(150)을 식각하여, 제 1 영역(A)에 위치하는 제 1 반도체층(122), 제 1 반도체층(122)의 양측 종단부와 전기적으로 연결되는 제 1 소오스/드레인 전극(151, 153), 제 1 반도체층(122)과 제 1 소오스/드레인 전극(151, 153) 사이에 위치하는 제 1 오믹 콘택층(142), 제 2 영역(B)에 위치하는 제 2 반도체층(127), 제 2 반도체층(127)의 양측 종단부와 전기적으로 연결되는 제 2 소오스/드레인 전극(156, 158) 및 제 2 반도체층(127)과 제 2 소오스/드레인 전극(156, 158) 사이에 위치하는 제 2 오믹 콘택층(147)을 형성한다.

[0031] 여기서, 본 발명의 실시예는 불순물로 도핑된 비정질 실리콘으로 형성된 제 1 오믹 콘택층(142) 및 제 2 오믹 콘택층(147)을 통해 제 1 반도체층(122) 및 제 2 반도체층(127)이 각각 제 1 소오스/드레인 전극(151, 153) 또는 제 2 소오스/드레인 전극(156, 158)과 원활하게 전기적 연결되도록 하고 있으나, 제 1 오믹 콘택층(142) 및 제 2 오믹 콘택층(147)을 다결정 실리콘으로 형성할 수도 있으며, 제 1 반도체층(122) 및 제 2 반도체층(127)의 일부 영역을 불순물 도핑하여 소오스/드레인 영역(미도시) 및 채널 영역(미도시)을 형성하고, 제 1 소오스/드레인 전극(151, 153)이 제 1 반도체층(122)의 소오스/드레인 영역과 연결되도록 하고, 제 2 소오스/드레인 전극(156, 158)이 제 2 반도체층(127)의 소오스/드레인 영역과 연결되도록 할 수도 있다.

[0032] 또한, 본 발명의 실시예는 다결정 실리콘층(130), 불순물로 도핑된 비정질 실리콘층(140) 및 제 2 도전성 물질층(150)을 순차적으로 적층한 후, 식각 공정을 수행하는 것으로 설명하고 있으나, 비정질 실리콘층(140)을 형성하기 전 다결정 실리콘층(130)을 식각하여 제 1 반도체층(122) 및 제 2 반도체층(127)을 형성하고, 제 1 반도체층(122) 및 제 2 반도체층(127) 상에 상기 불순물로 도핑된 비정질 실리콘층(140)을 형성하며, 제 2 도전성 물질층(150)을 형성하기 전 상기 불순물로 도핑된 비정질 실리콘층(140)을 식각하여 제 1 오믹 콘택층(142) 및 제 2 오믹 콘택층(147)을 형성할 수도 있다.

[0033] 이어서, 도 4e에 도시된 바와 같이, 제 1 소오스/드레인 전극(151, 153) 및 제 2 소오스/드레인 전극(156, 158) 상에 제 2 게이트 절연막(160)을 형성하고, 제 2 게이트 절연막(160)을 식각하여 제 1 소오스/드레인 전극(151, 153) 중 제 1 드레인 전극(153)의 일부를 노출시키는 제 1 콘택홀(164), 제 2 소오스/드레인 전극(156, 158) 중 제 2 드레인 전극(158)의 일부를 노출시키는 제 2 콘택홀(169) 및 제 1 게이트 전극(112)의 일부를 노출시키는 제 3 콘택홀(125)을 형성한다.

[0034] 여기서, 본 발명의 실시예는 제 1 콘택홀(164)에 의해 제 1 드레인 전극(153)의 일부가 노출되고, 제 2 콘택홀(169)에 의해 제 2 드레인 전극(158)의 일부가 노출되는 것으로 설명하고 있으나, 제 1 콘택홀(164)에 의해 제 1 소오스 전극(151)의 일부가 노출되고, 제 2 콘택홀(169)에 의해 제 2 소오스 전극(156)의 일부가 노출되도록 할 수도 있다.

[0035] 또한, 본 발명의 실시예는 제 1 게이트 전극(112)과 스캔 라인(S1)을 각각 형성하는 것으로 설명하고 있으나, 제 1 게이트 전극(112)과 동시에 스캔 라인(S1)을 형성할 수 있다.

[0036] 계속해서, 도 4f에 도시된 바와 같이, 제 2 게이트 절연막(160) 상에 제 3 도전성 물질층(미도시)을 형성하고, 상기 제 3 도전성 물질층을 식각하여 스캔 라인(S1), 제 1 콘택홀(164)를 통해 제 1 드레인 전극(153)과 전기적으로 연결되는 제 2 게이트 전극(167) 및 제 2 드레인 전극(158)과 전기적으로 연결되는 연결 배선(170)을 형성한다.

[0037] 여기서, 제 3 도전성 물질층은 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일 층이나, 크롬(Cr) 또는 몰리브덴(Mo) 합금 위에 알루미늄 합금이 다층으로 적층된 금속층일 수 있으며, 상기 제 1 도전성 물질층과 동일 물질로 형성할 수 있다.

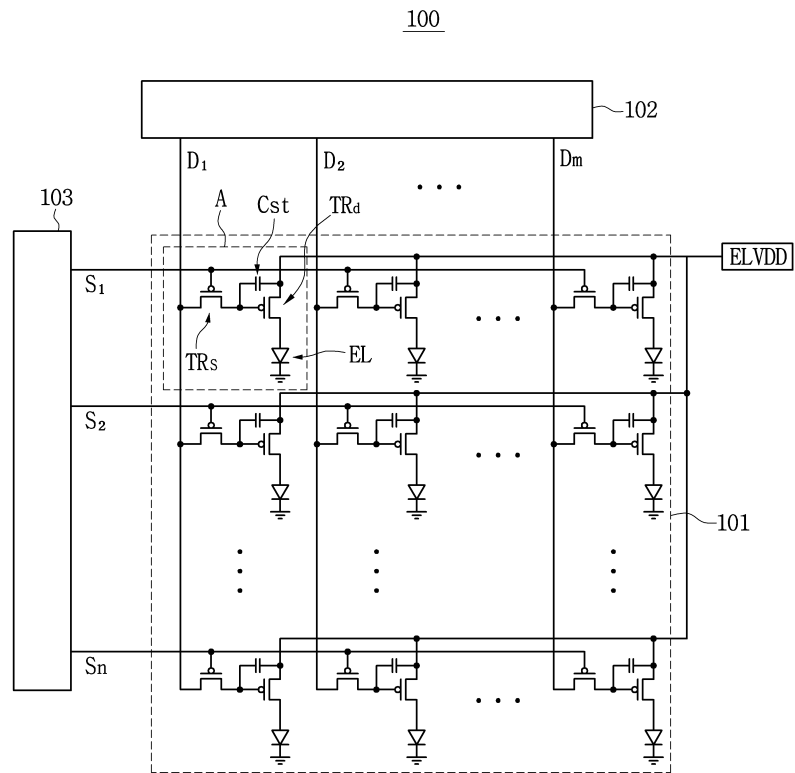
- [0038] 다음으로, 도 4g에 도시된 바와 같이, 스캔 라인(S1), 제 2 게이트 전극(167) 및 연결 배선(170) 상에 보호막(180)을 형성하고, 보호막(180)을 식각하여 연결 배선(170)의 일부가 노출되는 비아홀(189)을 형성한 후, 비아홀(189)을 통해 연결 배선(170)과 전기적으로 연결되는 하부 전극(192), 하부 전극(192) 상에 위치하며 하나 또는 다수의 발광층(미도시)을 포함하는 유기막층(194) 및 유기막층(194) 상에 위치하는 상부 전극(196)을 포함하는 유기전계발광다이오드(190)을 형성한다.
- [0039] 여기서, 본 발명의 실시예는 인접한 화소를 분리시키기 위하여, 보호막(180) 상에 폴리이미이드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutens series resin), 페놀계 수지(phenol resin) 및 아크릴레이트(acrylate)로 이루어진 군에서 선택되는 1종의 물질로 화소 정의막층(미도시)을 형성하고, 상기 화소 정의막층을 식각하여 하부 전극(192)의 일부를 노출시키는 화소 정의막(185)을 형성하고 있으며, 유기막층(194)는 화소 정의막(185)에 의해 노출된 하부 전극(192) 상에 형성된다.
- [0040] 또한, 보호막(180)은 실리콘 산화막(SiO_2), 실리콘 질화막(SiN_x) 또는 그 적층 구조로 형성할 수 있으며, 보호막(180) 상에 아크릴 등의 유기 절연막 또는 실리콘 산화물 등의 무기 절연막의 평탄화막(미도시)을 더 형성할 수도 있다.
- [0041] 덧붙여, 본 발명의 실시예는 유기전계발광다이오드(190)의 하부 전극(192)가 연결 배선(170)을 통해 제 2 드레인 전극(158)과 전기적으로 연결되는 것으로 설명하고 있으나, 제 2 컨택홀(169)가 비아홀(189)과 동시에 형성되도록 하여, 하부 전극(192)가 직접 제 2 드레인 전극(158)과 접촉하도록 할 수도 있으나, 제 2 게이트 절연막(160) 및 보호막(180)의 두께에 의한 단차로 인하여 하부 전극(192)과 제 2 드레인 전극(158) 사이의 단선될 수 있다는 문제가 있다.
- [0042] 결과적으로, 본 발명에 따른 유기전계발광표시장치 및 그의 제조 방법은 스위칭 트랜지스터의 제 1 게이트 전극을 형성하고, 상기 제 1 게이트 전극 상에 상기 스위칭 트랜지스터의 제 1 반도체층 및 구동 트랜지스터의 제 2 반도체층을 동시에 형성한 후, 상기 제 2 반도체층 상에 상기 구동 트랜지스터의 제 2 게이트 전극을 형성함으로써, 상대적으로 적은 공정으로 각 화소의 스위칭 트랜지스터 및 구동 트랜지스터가 해당 역할에 적합한 구조를 갖도록 할 수 있다.

도면의 간단한 설명

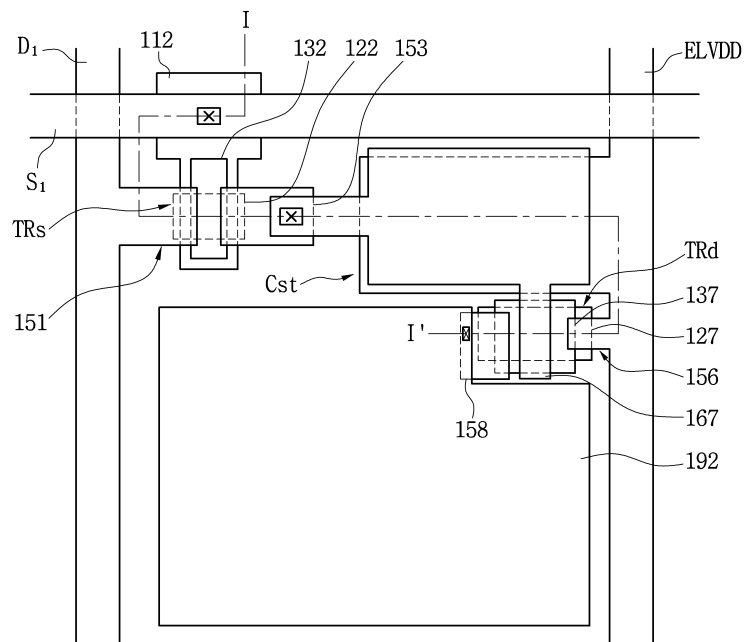
- [0043] 도 1은 본 발명의 실시예에 따른 유기전계발광표시장치를 나타낸 개략도이다.
- [0044] 도 2는 본 발명의 실시예에 따른 유기전계발광표시장치의 단일 화소를 나타낸 평면도이다.
- [0045] 도 3a 및 3b는 게이트 전극이 반도체층 상에 위치하는 인버티드 스테거드 구조(BG)의 박막 트랜지스터와 반도체층 상에 게이트 전극이 위치하는 스테거드 구조(TG)의 박막 트랜지스터의 구동 특성을 비교한 그래프들이다.
- [0046] 도 4a 내지 4g는 본 발명의 실시예에 따른 유기전계발광표시장치의 제조 방법을 순차적으로 나타낸 단면도들이다.
- [0047] <도면 주요 부호에 대한 부호의 설명>
- | | | |
|--------|-------------------|-------------------|
| [0048] | 110 : 기판 | 112 : 제 1 게이트 전극 |
| [0049] | 120 : 제 1 게이트 절연막 | 122 : 제 1 반도체층 |
| [0050] | 127 : 제 2 반도체층 | 160 : 제 2 게이트 절연막 |
| [0051] | 167 : 제 2 게이트 전극 | |

도면

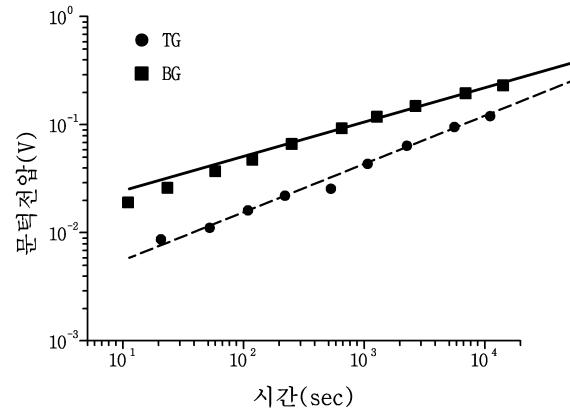
도면1



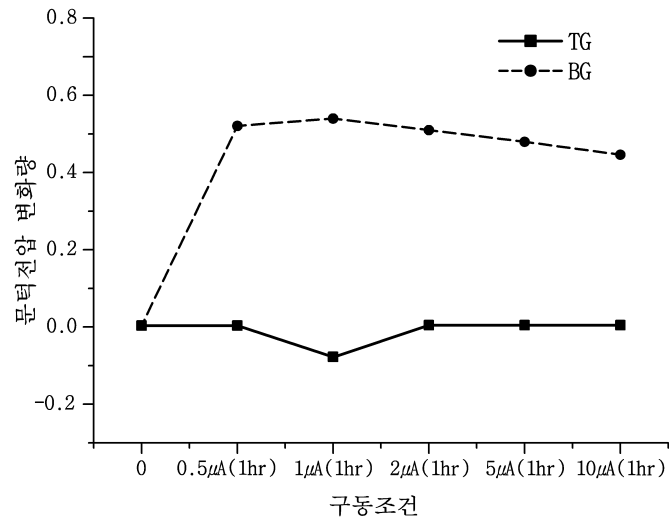
도면2



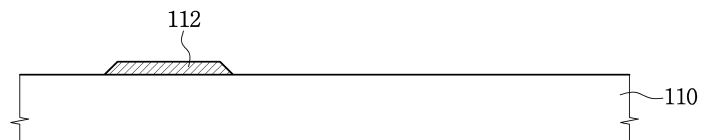
도면3a



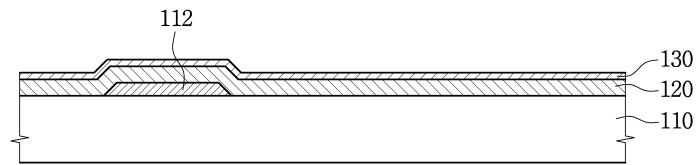
도면3b



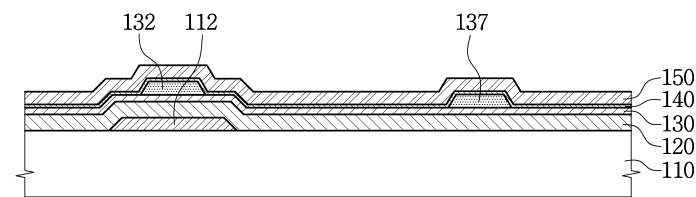
도면4a



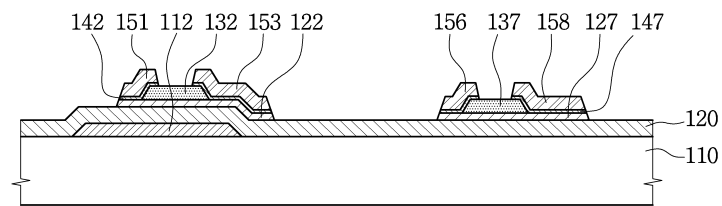
도면4b



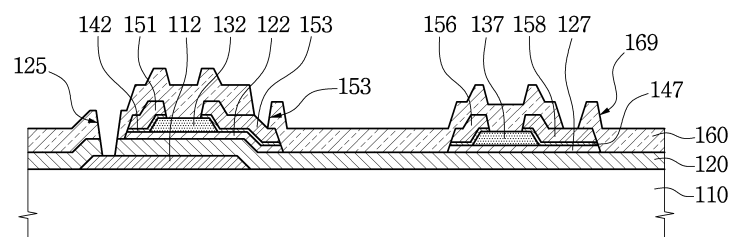
도면4c



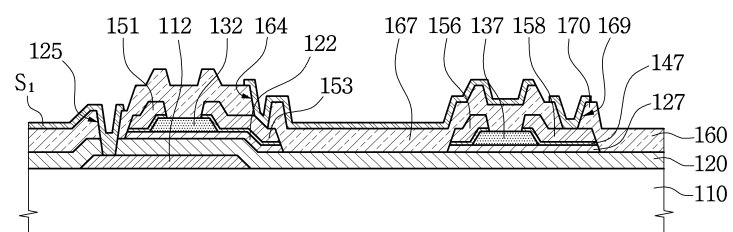
도면4d



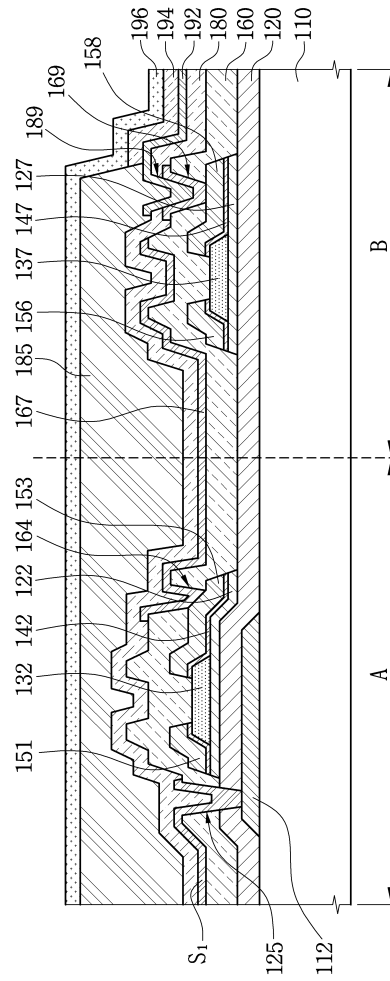
도면4e



도면4f



도면4g



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020110051470A	公开(公告)日	2011-05-18
申请号	KR1020090108062	申请日	2009-11-10
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	LEE WON KYU 이원규 CHO KYU SIK 조규식 YANG TAE HOON 양태훈 CHOO BYOUNG KWON 추병권 MOON SANG HO 문상호 CHOI BO KYUNG 최보경 PARK YONG HWAN 박용환 CHOI JOON HOO 최준후 SHIN MIN CHUL 신민철 LEE YUN GYU 이윤규		
发明人	이원규 조규식 양태훈 추병권 문상호 최보경 박용환 최준후 신민철 이윤규		
IPC分类号	H01L51/52 H01L29/786 G09G3/30		
CPC分类号	H01L2227/323 H01L51/56 H01L27/1251 H01L27/1214 H01L27/3262 H01L27/1259 H01L27/1274		
其他公开文献	KR101094280B1		
外部链接	Espacenet		

摘要(译)

在有机电致发光显示装置及其制造方法中，有机电致发光显示装置包括开关晶体管和驱动晶体管。开关晶体管包括栅电极和位于栅电极上方的半导体层，并且驱动晶体管包括半导体层和位于半导体层下方的栅电极。因此，可以防止处理效率的降低并且可以提高发光效率。

