



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0015128
(43) 공개일자 2011년02월15일

(51) Int. Cl.

H01L 51/56 (2006.01) H05B 33/10 (2006.01)

(21) 출원번호 10-2009-0072691

(22) 출원일자 2009년08월07일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

김광호

경상북도 구미시 구평동 부영아파트 802동 904호

서창기

경상북도 구미시 구평동 부영아파트 606동 1402호

(74) 대리인

박영복, 김용인

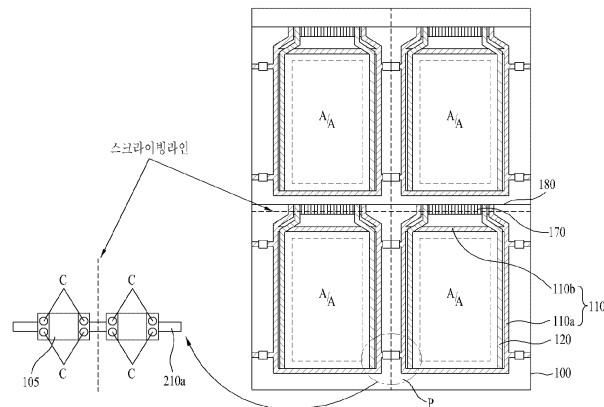
전체 청구항 수 : 총 10 항

(54) 유기 발광 표시 소자의 제조 방법 및 이에 이용되는 유기 발광 표시 소자 형성용 기판

(57) 요약

본 발명은 셀과 셀을 분리하는 스크라이빙 공정시 유입되는 정전기를 차단하기 위해, 정전기 방지 소자를 셀과 셀 연결부에 구비한 유기 발광 표시 소자의 제조 방법 및 이에 이용되는 유기 발광 표시 소자 기판에 관한 것으로, 본 발명의 유기 발광 표시 소자의 제조 방법은, 복수개의 이격된 단위 패널용 표시 영역과, 상기 표시 영역 외곽에 단위 패널 절단부가 정의된 기판을 준비하는 단계와, 상기 기판의 각 단위 패널용 표시 영역에 박막 트랜지스터 어레이와, 상기 단위 패널 절단부에 정전기 방지 소자를 형성하는 단계와, 상기 각 박막 트랜지스터 어레이 상에 유기 EL 어레이를 형성하는 단계와, 상기 각 단위 패널용 표시 영역의 가장자리를 둘러싼 실런트를 도포하고, 상기 유기 EL 어레이 상에 글래스 캡을 대향시켜 유기 EL 단위 패널을 형성하는 단계 및 상기 단위 패널 절단부를 스크라이빙 및 브레이킹하여 복수개의 단위 패널로 분리하는 단계를 포함하여 이루어진 것에 또 다른 특징이 있다.

대표도



특허청구의 범위

청구항 1

복수개의 이격된 단위 패널용 표시 영역과, 상기 표시 영역 외곽에 단위 패널 절단부가 정의된 기판을 준비하는 단계;

상기 기판의 각 단위 패널용 표시 영역에 박막 트랜지스터 어레이와, 상기 단위 패널 절단부에 정전기 방지 소자를 형성하는 단계;

상기 각 박막 트랜지스터 어레이 상에 유기 EL 어레이를 형성하는 단계;

상기 각 단위 패널용 표시 영역의 가장자리를 둘러싼 실런트를 도포하고, 상기 유기 EL 어레이 상에 글래스 캡을 대향시켜 유기 EL 단위 패널을 형성하는 단계; 및

상기 단위 패널 절단부를 스크라이빙 및 브레이킹하여 복수개의 단위 패널로 분리하는 단계를 포함하여 이루어진 것을 특징으로 하는 유기 발광 표시 소자의 제조 방법.

청구항 2

제 1항에 있어서,

상기 정전기 방지 소자를 형성하는 단계는,

반도체층 패턴 및 적어도 하나의 금속층을 서로 전기적으로 연결시켜 형성하는 것을 특징으로 하는 유기 발광 표시 소자의 제조 방법.

청구항 3

제 2항에 있어서,

상기 정전기 방지 소자를 형성하는 단계는,

상기 단위 패널 절단부를 경계로 그 양측에 서로 대칭적으로 상기 반도체층 패턴과 적어도 하나의 금속층이 접속되어 다이오드로 기능하도록 형성하고, 상기 단위 패널 절단부 양측의 다이오드들을 서로 연결시키는 것을 특징으로 하는 유기 발광 표시 소자의 제조 방법.

청구항 4

제 1항에 있어서,

상기 박막 트랜지스터 어레이는,

상기 기판 상의 단위 패널용 표시 영역에, 서로 교차하는 복수개의 게이트 라인 및 데이터 라인;

반도체층, 게이트 절연막을 개재하여 그 상부에 형성된 게이트 전극 및 보호막을 개재하여 그 상부에 형성된 소오스 전극 및 드레인 전극으로 이루어진, 상기 게이트 라인과 데이터 라인의 교차부에 형성된 제 1 박막 트랜지스터 및 상기 제 1 박막 트랜지스터와 연결되고 유기 발광 어레이와 접속된 제 2 박막 트랜지스터;

상기 제 2 박막 트랜지스터에 전원 전압을 공급하는 전원 전압 라인; 및

상기 유기 EL 어레이에 접지 전압을 공급하는 접지 전압 라인을 포함하여 이루어진 것을 특징으로 하는 유기 발광 표시 소자의 제조 방법.

청구항 5

제 4항에 있어서,

상기 정전기 방지 소자는,

상기 반도체층과 동일층의 반도체층 패턴;

상기 반도체층 패턴 상의 게이트 절연막 및 보호막;

상기 반도체층 패턴의 양측에 접속되며, 상기 보호막 상에, 상기 전원 전압 라인으로부터 연결되어 형성된 금속층 패턴을 포함하여 이루어진 것을 특징으로 하는 유기 발광 표시 소자의 제조 방법.

청구항 6

제 4항에 있어서,

상기 정전기 방지 소자는,

상기 반도체층과 동일층의 반도체층 패턴;

상기 반도체층 패턴 상의 게이트 절연막;

상기 게이트 라인과 동일층에, 게이트 절연막 상에 상기 반도체층 패턴과 이격하여 형성된 게이트 금속 패턴;

상기 게이트 금속 패턴을 덮으며, 상기 게이트 절연막 상에 형성된 보호막;

상기 게이트 금속 패턴 및 상기 반도체층 패턴의 양측에 접속되어 상기 보호막 상에, 상기 전원 전압 라인으로부터 연결되어 형성된 금속층 패턴을 포함하여 이루어진 것을 특징으로 하는 유기 발광 표시 소자의 제조 방법.

청구항 7

복수개의 이격된 단위 패널용 표시 영역과, 상기 표시 영역 외곽에 단위 패널 절단부가 정의된 기판;

상기 기판의 각 단위 패널용 표시 영역에 형성된 박막 트랜지스터 어레이와, 상기 단위 패널 절단부에 형성된 정전기 방지 소자; 및

상기 각 박막 트랜지스터 어레이 상에 형성된 유기 EL 어레이를 포함하여 이루어지며,

상기 정전기 방지 소자는, 반도체층 패턴 및 적어도 하나의 금속층을 서로 전기적으로 연결시켜 형성된 것을 특징으로 하는 유기 발광 표시 소자 형성용 기판.

청구항 8

제 7항에 있어서,

상기 단위 패널 절단부의 경계에 인접하여 상기 반도체층 패턴과 적어도 하나의 금속층이 접속되어 다이오드로 기능하도록 형성된 것을 특징으로 하는 유기 발광 표시 소자 형성용 기판.

청구항 9

제 8항에 있어서,

상기 단위 패널 절단부의 양측의 다이오드들이 서로 전기적으로 연결되도록 형성된 것을 특징으로 하는 유기 발광 표시 소자 형성용 기판.

청구항 10

제 7항에 있어서,

상기 정전기 방지 소자는 상기 박막 트랜지스터 어레이의 형성시 함께 형성되는 것을 특징으로 하는 유기 발광 표시 소자 형성용 기판.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 유기 발광 소자에 관한 것으로 특히, 셀과 셀을 분리하는 스크라이빙 공정시 유입되는 정전기를 차단하기 위해, 정전기 방지 소자를 셀과 셀 연결부에 구비한 유기 발광 표시 소자의 제조 방법 및 이에 이용되는 유기 발광 표시 소자 형성용 기판에 관한 것이다.

배경 기술

- [0002] 최근 들어, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판 표시장치는 액정 표시장치(Liquid Crystal Display : 이하 "LCD"라 함), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 PDP"라 함) 및 유기전계발광표시소자(일렉트로 루미네스센스 디바이스(Electro-luminescence Display Device))를 이용하는 EL 발광표시 장치 (Electro-luminescence Display Device) (혹은 Organic Light Emitting Diode Display Device 라고도 함:이하 "유기 발광 소자"이라 함) 등이 있다. 이와 같은 평판표시장치의 표시품질을 높이고 대화면화를 시도하는 연구들이 활발히 진행되고 있다.
- [0003] 이들 중 유기 발광 소자는 스스로 발광하는 자발광소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다. 이러한, 유기 발광 소자는 투명한 기판 상에 형성된 박막트랜지스터 어레이부와, 상기 박막트랜지스터 어레이부 상에 위치하는 유기 EL 어레이부를 포함한다. 경우에 따라 외부환경으로부터 격리시키기 위한 글래스(glass) 캡을 포함할 수 있다.
- [0004] 이러한 유기 발광 표시 소자는, 그 발광 방식에 따라, 탑 에미션(top emission)과 바텀 에미션(bottom emission)으로 나뉜다. 후자인 바텀 에미션 방식의 경우, TFT 어레이층으로 발광이 이루어지는 것으로, 상기 TFT 어레이가 위치한 투명 기판이 박막 트랜지스터(T), 투명 양극, बैं크, 유기 EL층, 음극의 순서로 증착된다.
- [0005] 이하, 첨부된 도면을 참조하여 종래의 유기 발광 표시 소자의 제조 방법을 설명하면 다음과 같다.
- [0006] 도 1은 종래의 유기 발광 표시 소자의 제조시 스크라이빙 단계에서 정전기 유입을 나타낸 평면도이며, 도 2는 일반적인 유기 발광 표시 소자를 나타낸 회로도이다.
- [0007] 도 1과 같이, 기판 상에 박막 트랜지스터 어레이와 유기 EL 어레이부를 포함하여 실런트(sealant, 미도시) 및 글래스 캡(glass cap, 미도시)에 의해 봉지된 단위 패널은, 스크라이빙(scribing) 및 브레이킹(breaking) 공정을 거쳐, 각각 분리된다.
- [0008] 여기서, 각 단위 패널들은 그 내부의 표시 영역(A/A)에, 도 2와 같이, 게이트 라인(GL)과 데이터 라인(DL)의 교차로 정의된 영역에 각각 마련되는 화소(P)들이 매트릭스 형태로 배열된 구조를 가진다. 이러한, 게이트 라인 및 데이터 라인과 같은 내부 배선들은 외곽으로 연장된 패드 배선(13)을 통해 쇼팅바(20)에 연결되어, 상기 쇼팅바(20)에 신호를 유입하여, 내부 배선의 정상 여부를 판단하고, 후의 스크라이빙 공정에서, 상기 쇼팅바(20)를 제거하여, 함께 연결된 내부 배선들을 분리시키고, 이들 내부 배선들의 일측끝의 패드 배선(13)을 구동 드라이브(미도시)와 연결시킨다. 이러한 쇼팅바(20)는 신호 검사 뿐만 아니라, 스크라이빙 이전 과정에서, 연결된 배선의 등전위를 유도하여, 공정 중에 발생하는 정전기를 일차적으로 차단한다.
- [0009] 이러한 각 단위 패널들은, 그 내부의 표시 영역(A/A)에, 매트릭스 형태로 배열된 화소(P)를 가지며, 각각의 화소(P)들은 게이트 라인(GL)에 게이트 펄스가 공급될 때 데이터 라인(DL)으로부터의 데이터 신호를 공급받아 그 데이터신호에 반응하는 빛을 발생하게 된다.
- [0010] 이를 위하여, 화소(P)들 각각은 접지 전원 라인(12)(GND)에 음극이 접속된 유기EL셀(EL)과, 게이트 라인(GL) 및 데이터 라인(DL)과 전원 전압 라인(11)(VDD)에 접속되고 유기EL셀(EL)의 양극에 접속되어 그 유기EL셀(EL)을 구동하기 위한 셀 구동부(60)를 구비한다. 셀구동부(60)는 스위칭용 박막 트랜지스터(T1), 구동용 박막 트랜지스터(T2) 및 캐패시터(C)를 구비한다.
- [0011] 스위칭용 박막 트랜지스터(T1)는 게이트 라인(GL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 제1 노드(N1)에 공급한다. 제1 노드(N1)에 공급된 데이터 신호는 캐패시터(C)에 충전됨과 아울러 구동용 박막 트랜지스터(T2)의 게이트 단자로 공급된다. 구동용 박막 트랜지스터(T2)는 게이트 단자로 공급되는 데이터 신호에 응답하여 전원 전압 라인(11)(VDD)으로부터 유기EL셀(EL)로 공급되는 전류량(I)을 제어함으로써 유기EL셀(EL)의 발광량을 조절하게 된다. 그리고, 스위칭용 박막 트랜지스터(T1)가 턴-오프되더라도 캐패시터(C)에서 데이터 신호가 방전되므로 구동용 박막 트랜지스터(T2)는 다음 프레임의 데이터 신호가 공급될 때까지 공급 전압원(VDD)으로부터의 전류(I)를 유기EL셀(EL)에 공급하여 유기EL셀(EL)이 발광을 유지하게 한다.
- [0012] 한편, 상기 유기 발광 표시 소자는, 그 제조 공정 중, 스크라이빙 단계에서 정전기 유입(A)이 심한데, 이러한 정전기가 인접한 배선 등을 타고 들어와 상기 봉지된 단위 유기 셀 내 소자를 파괴시켜, 이로 인한 불량률이 나타

난다.

[0013] 특히, 쇼팅바(20)가 형성되지 않은 측의 단위 패널과 단위 패널과 연결부에서, 바로 정전기가 유입되어 정전기에 취약하며, 이에 따라, 상기 정전기가 인접한 화소를 파괴시켜 암점이나 휘점 불량을 유발하거나, 혹은 심한 경우는 상기 정전기가 타고 들어온 해당 라인을 쇼트시켜, 라인 불량을 유발하기도 한다. 이에 의해 방지된 단위 유기 셀은, 구동 불량하며, 암점이나 휘점 혹은 라인 불량이 심한 경우, 해당 단위 유기 셀을 폐기시킬 수밖에 없어, 이러한 정전기가 제품 수율을 저하시키는 가장 큰 요인이 되고 있다.

발명의 내용

해결 하고자하는 과제

- [0014] 상기와 같은 종래의 유기 발광 표시 소자의 제조 방법은 다음과 같은 문제점이 있다.
- [0015] 유기 발광 표시 장치는, 표시부의 매트릭스 내부의 각 화소마다 적어도 3개 이상의 구동 소자와, 이에 신호를 인가하는 게이트 라인, 데이터 라인, 전원 전압 라인, 접지 전압 라인 등이 필요하며, 또한, 그 내부의 유기 발광 다이오드를 동작시키기 위해, 고전류가 요구된다.
- [0016] 이를 위해 유기 발광 표시 장치는, 타 표시장치에 비해, 발열이나 정전기에 특히 취약하며, 특히, 스크라이빙 공정과 같이, 순간 고압 전압이 인가되는 경우, 단위 패널과 단위 패널과 연결부에 인접한 배선들에 직접 정전기가 타고 들어가 영향을 미치기 쉬워 이에 따른 손상이 발생할 위험이 크다.
- [0017] 또한, 쇼팅바가 등전위를 유도하여, 정전기를 일차적으로 차단한다 하더라도, 쇼팅바가 형성되지 않은 측의 스크라이빙 라인에 대응된 단위 패널과 단위 패널과 연결부는 정전기로 인한 직접적인 손상이 크다.
- [0018] 특히, 스크라이빙 후에도 패널의 흡착 또는 패널을 진공척으로 들어올릴 때 순간적으로 외부 정전기가 발생될 수 있는데, 이 경우에는 쇼팅바의 제거로 인해 정전기에 대한 대비책이 없는 실정으로, 패널(유기 발광 표시 소자 패널)을 보호할 수 없다.
- [0019] 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 셀과 셀을 분리하는 스크라이빙 공정시 유입되는 정전기를 차단하기 위해, 정전기 방지 소자를 셀과 셀 연결부에 구비한 유기 발광 표시 소자의 제조 방법 및 이에 이용되는 유기 발광 표시 소자 형성용 기판을 제공하는 데, 그 목적이 있다.

과제 해결수단

- [0020] 상기와 같은 목적을 달성하기 위한 본 발명의 유기 발광 표시 소자의 제조 방법은, 복수개의 이격된 단위 패널용 표시 영역과, 상기 표시 영역 외곽에 단위 패널 절단부가 정의된 기판을 준비하는 단계;와, 상기 기판의 각 단위 패널용 표시 영역에 박막 트랜지스터 어레이와, 상기 단위 패널 절단부에 정전기 방지 소자를 형성하는 단계;와, 상기 각 박막 트랜지스터 어레이 상에 유기 EL 어레이를 형성하는 단계;와, 상기 각 단위 패널용 표시 영역의 가장자리를 둘러싼 실런트를 도포하고, 상기 유기 EL 어레이 상에 글래스 캡을 대향시켜 유기 EL 단위 패널을 형성하는 단계; 및 상기 단위 패널 절단부를 스크라이빙 및 브레이킹하여 복수개의 단위 패널로 분리하는 단계를 포함하여 이루어진 것에 또 다른 특징이 있다.
- [0021] 여기서, 상기 정전기 방지 소자를 형성하는 단계는, 반도체층 패턴 및 적어도 하나의 금속층을 서로 전기적으로 연결시켜 형성한다.
- [0022] 상기 정전기 방지 소자를 형성하는 단계는, 상기 단위 패널 절단부를 경계로 그 양측에 서로 대칭적으로 상기 반도체층 패턴과 적어도 하나의 금속층이 접속되어 다이오드로 기능하도록 형성하고, 상기 단위 패널 절단부 양측의 다이오드들을 서로 연결시킨다.
- [0023] 여기서, 상기 박막 트랜지스터 어레이는, 상기 기판 상의 단위 패널용 표시 영역에, 서로 교차하는 복수개의 게이트 라인 및 데이터 라인;과, 반도체층, 게이트 절연막을 개재하여 그 상부에 형성된 게이트 전극 및 보호막을 개재하여 그 상부에 형성된 소오스 전극 및 드레인 전극으로 이루어진, 상기 게이트 라인과 데이터 라인의 교차부에 형성된 제 1 박막 트랜지스터 및 상기 제 1 박막 트랜지스터와 연결되고 유기 발광 어레이와 접속된 제 2 박막 트랜지스터;와, 상기 제 2 박막 트랜지스터에 전원 전압을 공급하는 전원 전압 라인; 및 상기 유기 EL 어레이에 접지 전압을 공급하는 접지 전압 라인을 포함하여 이루어진다.
- [0024] 이 때, 상기 정전기 방지 소자는, 상기 반도체층과 동일층의 반도체층 패턴;과, 상기 반도체층 패턴 상의 게이

트 절연막 및 보호막;과, 상기 반도체층 패턴의 양측에 접속되며, 상기 보호막 상에, 상기 전원 전압 라인으로부터 연결되어 형성된 금속층 패턴을 포함하여 이루어진 것을 특징으로 한다.

[0025] 또한, 다른 형태의 상기 정전기 방지 소자는, 상기 반도체층과 동일층의 반도체층 패턴;과, 상기 반도체층 패턴 상의 게이트 절연막;과, 상기 게이트 라인과 동일층에, 게이트 절연막 상에 상기 반도체층 패턴과 이격하여 형성된 게이트 금속 패턴;과, 상기 게이트 금속 패턴을 덮으며, 상기 게이트 절연막 상에 형성된 보호막;과, 상기 게이트 금속 패턴 및 상기 반도체층 패턴의 양측과 접속되어 상기 보호막 상에, 상기 전원 전압 라인으로부터 연결되어 형성된 금속 패턴을 포함하여 이루어진 것을 특징으로 한다.

[0026] 또한, 동일 목적을 달성하기 위한 본 발명의 유기 발광 표시 소자 형성용 기판은, 복수개의 이격된 단위 패널용 표시 영역과, 상기 표시 영역 외곽에 단위 패널 절단부가 정의된 기판;과, 상기 기판의 각 단위 패널용 표시 영역에 형성된 박막 트랜지스터 어레이와, 상기 단위 패널 절단부에 형성된 정전기 방지 소자; 및 상기 각 박막 트랜지스터 어레이 상에 형성된 유기 EL 어레이를 포함하여 이루어지며, 상기 정전기 방지 소자는, 반도체층 패턴 및 적어도 하나의 금속층을 서로 전기적으로 연결시켜 형성된 것에 또 다른 특징이 있다.

[0027] 여기서, 상기 단위 패널 절단부의 경계에 인접하여 상기 반도체층 패턴과 적어도 하나의 금속층이 접속되어 다 이오드로 기능하도록 형성된다.

[0028] 이 때, 상기 단위 패널 절단부의 양측의 다이오드들이 서로 전기적으로 연결되도록 형성되는 것이 바람직하다.

[0029] 상기 정전기 방지 소자는 상기 박막 트랜지스터 어레이의 형성시 함께 형성된다.

효 과

[0030] 상기와 같은 본 발명의 유기 발광 표시 소자의 제조 방법 및 이에 이용되는 유기 발광 표시 소자 형성용 기판은 다음과 같은 효과가 있다.

[0031] 단위 패널과 단위 패널과 연결부에 정전기를 차단하기 위해, 유기 발광 표시 소자의 박막 트랜지스터의 형성 공정에서 동시에, 전원 전압 라인에 연결된 형태로 다이오드 기능을 갖는 박막 트랜지스터를 형성한다. 이 경우, 형성된 정전기 방지용 박막 트랜지스터는, 금속/반도체층/금속의 연결 관계를 가지며, 이러한 정전기 방지용 박막 트랜지스터는 하나의 저항체로 작용한다. 이에 따라, 외부에서 들어오는 정전기가 상기 정전기 방지용 소자를 통과하여야만 패널 내부로 들어갈 수 있는 것으로, 수준 낮은 정전기만 통과하거나, 과도한 정전기가 유입될 때는 상기 정전기 방지 소자의 반도체층이 파괴되며, 표시 영역 내로 들어가는 정전기 유입을 차단하게 된다.

[0032] 이에 따라, 스크라이빙 공정에서의 순간적인 고압에도 외부 정전기를 차단할 수 있어, 정전기로 인한 제품의 손상을 방지할 수 있다. 또한, 스크라이빙 후에도 패널 절단부 부근에 남아있는 정전기 방지 소자가 공정 라인 중의 발생하는 외부 정전기의 유입을 차단하여 패널 내부의 표시 영역을 보호할 수 있다.

발명의 실시를 위한 구체적인 내용

[0033] 이하, 첨부된 도면을 참조하여 본 발명의 유기 발광 표시 소자의 제조 방법 및 이에 이용되는 유기 발광 표시 소자 형성용 기판을 설명하면 다음과 같다.

[0034] 도 3은 본 발명의 유기 발광 표시 소자의 제조시 스크라이빙 단계에서 정전기 유입을 방지하는 정전기 방지 소자를 나타낸 평면도이며, 도 4는 본 발명의 단위 유기 발광 표시 소자의 내부 구성을 나타낸 도면이다.

[0035] 도 3 및 도 4와 같이, 본 발명의 유기 발광 표시 소자를 형성하는, 각 단위 패널들은 그 내부의 표시 영역(A/A)에, 게이트 라인(121)(GL)과 데이터 라인(122)(DL)의 교차로 정의된 영역에 각각 마련되는 화소(P: 도 2 참조)들이 매트릭스 형태로 배열된 구조를 가진다.

[0036] 이러한, 게이트 라인(121) 및 데이터 라인(122)과 같은 내부 배선들은 외곽으로 연장된 패드 배선(170: 171, 172)을 통해 쇼팅바(180)에 연결되어, 상기 쇼팅바(180)에 신호를 유입하여, 내부 배선의 정상 여부를 판단하고, 후의 스크라이빙 공정에서, 상기 쇼팅바(180)를 제거하여, 함께 연결된 내부 배선들을 분리시키고, 이들 내부 배선들의 일측끝의 패드 배선(170)을 구동 드라이버(미도시)와 연결시킨다. 이러한 쇼팅바(180)는 신호 검사 뿐만 아니라, 스크라이빙 이전 과정에서, 연결된 배선의 등전위를 유도하여, 공정 중에 발생하는 정전기를 일차적으로 차단한다.

[0037] 그리고, 상기 표시 영역 외곽을 둘러싸며, 전원 전압 라인(110a, 110b)이 형성되며, 상기 전원 전압 라인(110

b)과 교차하며 접지 전압 라인(120)이 형성되어, 각 화소(P)들에 형성된 해당 전원 전압 라인 및 접지 전압 라인과 연결된다.

- [0038] 그리고, 쇼팅바(180)가 형성되지 않는 측의 단위 패널과 단위 패널 사이의 연결부에 정전기 방지 소자 (P)를 형성한다. 경우에 따라, 상기 쇼팅바(180)가 형성된 측에도 정전기 방지 소자를 같은 방식으로 형성할 수 있다.
- [0039] 여기서, 상기 정전기 방지 소자(P)는 단위 패널과 단위 패널 사이의 스크라이빙 라인 양측에 섬상으로 위치한 반도체층 패턴(105)과 상기 반도체층 패턴(105)의 양측 상부에서 콘택되는 상기 전원 전압 라인(110b)으로부터 단위 패널과 단위 패널 사이의 연결부를 지나는 방향으로 연장된 금속 패턴(210a)으로 이루어진다. 이 경우, 상기 금속 패턴(210a)은 상기 전원 전압 라인(110b)과 일체형으로 상기 일측의 반도체층 패턴(105)과 일측에서 오버랩되며, 상기 일측의 반도체층 패턴(105)의 중앙에서 분리되었다가 이격하여, 일측의 반도체층 패턴(105)의 타측과 오버랩하여, 단위 패널과 단위 패널의 연결부를 지나 형성되며, 이러한 반도체층 패턴(105) 및 상기 금속 패턴(210a)은 상기 스크라이빙 라인(패널 절단부)을 경계로, 대칭적으로 형성된다.
- [0040] 여기서, 스크라이빙 라인으로 구분되는 각 단위 패널들은, 그 내부의 표시 영역(A/A')에, 매트릭스 형태로 배열된 복수개의 화소(P)를 가지며, 각각의 화소(P)들은 게이트 라인(121)에 구동 드라이버(미도시)(형성 부위: 도 3의 B)를 통해 게이트 펄스가 공급될 때 데이터 라인(122)으로부터의 데이터 신호를 공급받아 그 데이터 신호에 반응하는 빛을 발생하게 된다.
- [0041] 이를 위하여, 상기 화소(P)들 각각은 도 2를 참조하면, 접지 전원 라인(GND)에 음극이 접속된 유기 EL셀(EL)과, 게이트 라인(GL) 및 데이터 라인(DL)과 전원 전압 라인(VDD)에 접속되고 유기 EL셀(EL)의 양극에 접속되어 그 유기 EL셀(EL)을 구동하기 위한 셀 구동부(60)를 구비한다. 셀구동부(60)는 스위칭용 박막 트랜지스터(T1), 구동용 박막 트랜지스터(T2) 및 캐패시터(C)를 구비한다.
- [0042] 스위칭용 박막 트랜지스터(T1)는 게이트 라인(GL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 제 1 노드(N1)에 공급한다. 제 1 노드(N1)에 공급된 데이터 신호는 캐패시터(C)에 충전됨과 아울러 구동용 박막 트랜지스터(T2)의 게이트 단자로 공급된다. 구동용 박막 트랜지스터(T2)는 게이트 단자로 공급되는 데이터 신호에 응답하여 전원 전압 라인(VDD)으로부터 유기 EL셀(EL)로 공급되는 전류량(I)을 제어함으로써 유기 EL셀(EL)의 발광량을 조절하게 된다. 그리고, 스위칭용 박막 트랜지스터(T1)가 턴-오프되더라도 캐패시터(C)에서 데이터 신호가 방전되므로 구동용 박막 트랜지스터(T2)는 다음 프레임의 데이터 신호가 공급될 때까지 공급 전압원(VDD)으로부터의 전류(I)를 유기 EL셀(EL)에 공급하여 유기 EL셀(EL)이 발광을 유지하게 한다.
- [0043] 구체적으로, 본 발명의 유기 발광 표시 소자의 제조 방법을 살펴보면, 먼저, 복수개의 이격된 단위 패널용 표시 영역과, 상기 표시 영역 외곽에 단위 패널 절단부(스크라이빙 라인)가 정의된 기판(모기판)(100)을 준비한다.
- [0044] 이어, 상기 기판의 각 단위 패널용 표시 영역에 박막 트랜지스터 어레이(미도시)와, 상기 단위 패널 절단부에 정전기 방지 소자(P)를 형성한다. 여기서, 상기 정전기 방지 소자를 형성하는 단계는, 반도체층 패턴 및 적어도 하나의 금속 패턴을 서로 전기적으로 연결시켜 형성한다. 그리고, 상기 반도체층 패턴과 접속된 금속 패턴 중 적어도 하나는 전원 전압 라인(110: 110a, 110b)에서 한다. 특히, 단위 패널 절단부로 연장되는 전원 전압 라인(110b)은, 상기 데이터 라인과 동일층의 금속이다.
- [0045] 이러한 상기 정전기 방지 소자를 형성하는 단계는, 상기 단위 패널 절단부(스크라이빙 라인)를 경계로 그 양측에 서로 대칭적으로 상기 반도체층 패턴과 적어도 하나의 금속 패턴이 접속되어 다이오드로 기능하도록 형성하고, 상기 단위 패널 절단부 양측의 다이오드들이 서로 연결시킨다.
- [0046] 이어, 상기 각 박막 트랜지스터 어레이 상에 유기 EL 어레이(미도시)를 형성한다.
- [0047] 이어, 상기 각 단위 패널용 표시 영역의 가장자리를 둘러싼 실런트(미도시)를 도포하고, 상기 유기 EL 어레이 상에 글래스 캡(미도시)을 대향시켜 유기 EL 단위 패널을 형성한다.
- [0048] 이어, 상기 단위 패널 절단부를 스크라이빙 및 브레이킹하여 복수개의 단위 패널로 분리한다.
- [0049] 여기서, 본 발명의 유기 발광 표시 소자의 제조 방법으로 제조시 상기 스크라이빙 및 브레이킹 단계에서, 정전기가 발생된다면, 상기 정전기 방지 소자가 그 내부의 금속층/반도체층/금속층을 차례로 거치며, 약한 정전기만 통과시키거나 혹은, 순간적인 강한 고압 전류가 흐를 때는, 상기 반도체층이 파괴되며, 그 경계로 그 내부로 정

전기가 유입됨을 차단한다.

- [0050] 이하, 구체적으로 상기 정전기 방지 소자의 형성 방법에 대해 설명한다.
- [0051] 도 5는 본 발명의 제 1 실시예에 따른 유기 발광 표시 소자 제조시 형성된 정전기 방지 소자를 나타낸 단면도 및 대응 평면도이다.
- [0052] 도 5와 같이, 본 발명의 제 1 실시예에 따른 유기 발광 표시 소자 제조시 형성된 정전기 방지 소자는, 기판상의 박막 트랜지스터 형성 공정과 동일 공정에서 형성되는 것으로, 기판(100) 상의 소정 부위에 형성된 폴리 실리콘층 성분의 반도체층 패턴(105)과, 상기 반도체층 패턴(105)을 덮으며, 상기 기판(100) 상에 형성된 게이트 절연막(106)과, 상기 게이트 절연막(106) 상에 형성된 보호막(108)과, 상기 보호막 및 게이트 절연막(106)을 소정 폭 제거하여 상기 반도체층 패턴(105)의 양측을 노출시켜 형성된 콘택홀과, 상기 콘택홀 내를 매립하며, 상기 반도체층 패턴(105)의 양측 상부와 일부 오버랩하는 금속 패턴(210a)을 포함하여 이루어진다. 여기서, 상기 금속 패턴(210a)은 앞서 설명한 바와 같이, 상기 표시 영역의 외곽에 형성된 전원 전압 라인(110: 110a, 110b)으로부터 연장된 금속으로, 예를 들어, 데이터 라인과 동일층에 형성된다.
- [0053] 상술한 정전기 방지 소자는, 일방향으로 전류가 흐르는 다이오드 기능을 가지며, 박막 트랜지스터의 제조시 동일층상들로 함께 형성하는 것으로, 전류의 흐름이 금속/반도체층/금속의 순으로 흘러가며, 이러한 정전기 방지용 박막 트랜지스터는 하나의 저항체로 작용한다.
- [0054] 특히, 소자 내부에 본 발명의 정전기 방지 소자는, 전기적 이동도가 빠른 금속과 상대적으로 낮은 반도체층을 차례로 구비함에 의해 정전기 유입 속도를 차단할 수 있다. 또한, 외부에서 들어오는 정전기가 상기 정전기 방지용 소자를 통과하여야만 패널 내부로 들어갈 수 있는 것으로, 수준 낮은 정전기만 통과하거나, 과도가 정전기가 유입될 때는, 상기 정전기 방지 소자의 반도체층이 파괴되며, 정전기 유입을 차단하게 된다.
- [0055] 이에 따라, 스크라이빙 공정에서의 순간적인 고압에도 외부 정전기를 차단할 수 있어, 정전기로 인한 제품의 손상을 방지할 수 있다.
- [0056] 도 6은 본 발명의 제 2 실시예에 따른 유기 발광 표시 소자 제조시 형성된 정전기 방지 소자를 나타낸 단면도이다.
- [0057] 도 6과 같이, 본 발명의 제 2 실시예에 따른 유기 발광 표시 소자 제조시 형성된 정전기 방지 소자는, 앞서 상술한 바와 같이, 기판상의 박막 트랜지스터 형성 공정과 동일 공정에서 형성되는 것으로, 제 1 실시예와 비교하여, 상기 정전기 방지 소자의 양끝에 게이트 금속 패턴(107)이 더 연결되어 형성된 것이 상이다.
- [0058] 즉, 본 발명의 제 2 실시예에 따른 유기 발광 표시 소자는, 기판(100) 상의 소정 부위에 형성된 폴리 실리콘층 성분의 반도체층 패턴(105)과, 상기 반도체층 패턴(105)을 덮으며, 상기 기판(100) 상에 형성된 게이트 절연막(106)과, 상기 게이트 절연막(106) 상에, 상기 반도체층 패턴(105)의 양끝으로부터 이격하여 형성된 게이트 금속 패턴(107)과, 상기 게이트 금속 패턴(107)을 덮으며, 상기 게이트 절연막(106) 상에 형성된 보호막(108)과, 상기 보호막(108) 및 게이트 절연막(106)을 소정 폭 제거하여 상기 반도체층 패턴(105)의 양측을 노출시켜 형성된 제 1 콘택홀과 상기 게이트 금속 패턴(107)을 일정 폭 노출시킨 제 2 콘택홀과, 상기 제 1, 제 2 콘택홀 내를 매립하며, 상기 반도체층 패턴(105)의 양측 상부와 일부 오버랩하고 상기 게이트 금속 패턴(107)과 오버랩한 금속 패턴(310a)을 포함하여 이루어진다.
- [0059] 본 발명의 제 2 실시예에 따른 정전기 방지 소자는, 일방향으로 전류가 흐르는 다이오드 기능을 가지며, 박막 트랜지스터의 제조시 동일층상들로 함께 형성하는 것으로, 전류의 흐름이 금속(금속 패턴(310a), 게이트 금속 패턴(107), 반도체층 패턴(105), 게이트 금속 패턴(107) 및 금속 패턴(310a))의 순으로 흘러가는 것으로, 상대적으로 상기 정전기 방지 소자의 양측에 게이트 금속 패턴(107)을 더 경유시킨 것으로, 상술한 제 1 실시예에 비해 보다 효과적으로 정전기 유입을 차단할 수 있다. 이 때, 상기 정전기 방지용 소자는 하나의 저항체로 작용하는 것이다.
- [0060] 도 7은 본 발명의 정전기 방지 소자와 액티브 영역(표시 영역) 내의 단위 셀의 구성을 나타낸 공정 단면도이다.

- [0061] 도 7은 본 발명의 정전기 방지 소자가, 액티브 영역(표시 영역) 내의 단위 셀과 동일 공정에서 형성된 것을 나타낸 것으로, 일례로 본 발명의 제 1 실시예를 나타낸 것이다.
- [0062] 즉, 반도체층 패턴(105)은 액티브 영역의 반도체층(115)과 동일층에 형성된 것이며, 상기 금속 패턴(210a)은 상기 액티브 영역의 반도체층(115)의 양측에 형성된 소오스 전극(104a) 및 드레인 전극(104b)과 동일층의 동일 패턴으로 형성된 것이다. 이 경우, 상이한 것은 상기 액티브 영역에서는 구동을 위한 박막 트랜지스터 형성을 위해 상기 소오스 전극(104a)과 드레인 전극(104b) 사이에 대응되어 상기 게이트 절연막(106) 상에 게이트 전극(102)이 더 형성되어 있는 점이다.
- [0063] 여기서, 상기 액티브 영역에서의 구동을 위한 박막 트랜지스터는, 반도체층(115)과, 상기 반도체층(115) 상의 게이트 전극(102) 및 상기 반도체층(115)의 양측과 오버랩되며, 상기 반도체층(115) 상에 형성된 소오스 전극(104a) 및 드레인 전극(104b)을 포함하여 이루어진다.
- [0064] 이어, 상기 드레인 전극(104b)의 일측은 양극(111)과 접속되며, 상기 양극(111), 소오스 전극(104a) 및 드레인 전극(104b)을 포함한 상기 보호막(108) 상의 상기 구동용 박막 트랜지스터 상에 대응되어 소정 높이의 유기 절연막으로 이루어진 बैं크(112)와, 상기 बैं크(112) 사이에 발광을 위한 유기 발광층(113) 및, 상기 बैं크(112) 및 유기 발광층(113) 상부에 형성된 음극(114)을 포함하여 이루어진다.
- [0065] 도 7에 도시된 도면은 상기 기판(100) 상에 봉지를 위한 글래스 캡이 형성되기 전의 상태로, 상기 표시 영역(A/A) 외곽에 실런트(sealant)를 도포하며, 상기 표시 영역(A/A)의 유기 발광층(113)의 형성면과 대향하여, 흡습제(getter)를 포함한 글래스 캡(미도시)이 더 형성되어 유기 발광 소자 패널을 이룬다.
- [0066] 한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

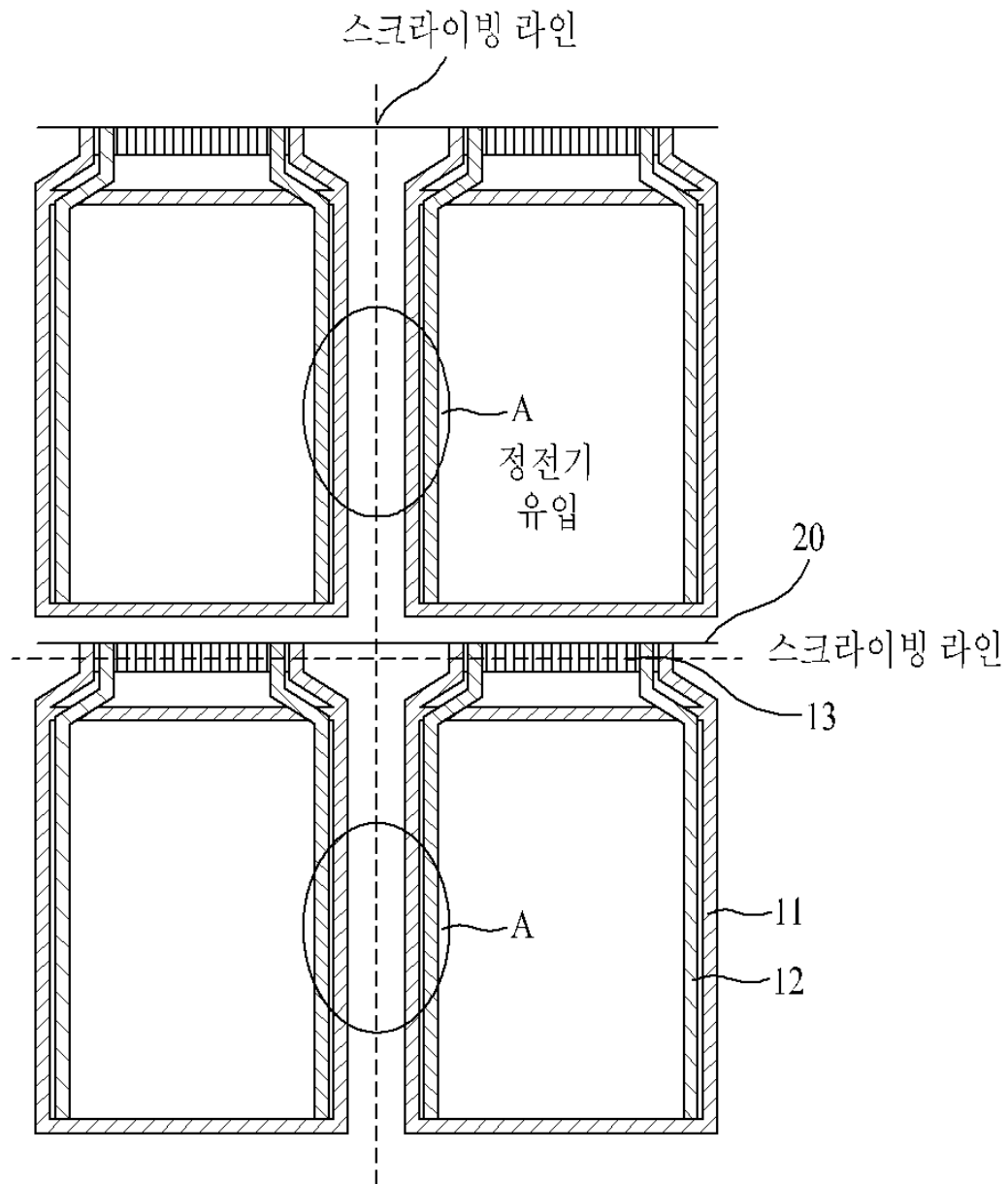
도면의 간단한 설명

- [0067] 도 1은 종래의 유기 발광 표시 소자의 제조시 스크라이빙 단계에서 정전기 유입을 나타낸 평면도
- [0068] 도 2는 일반적인 유기 발광 표시 소자를 나타낸 회로도
- [0069] 도 3은 본 발명의 유기 발광 표시 소자의 제조시 스크라이빙 단계에서 정전기 유입을 방지하는 정전기 방지 소자를 나타낸 평면도
- [0070] 도 4는 본 발명의 단위 유기 발광 표시 소자의 내부 구성을 나타낸 도면
- [0071] 도 5는 본 발명의 제 1 실시예에 따른 유기 발광 표시 소자 제조시 형성된 정전기 방지 소자를 나타낸 단면도 및 대응 평면도
- [0072] 도 6은 본 발명의 제 2 실시예에 따른 유기 발광 표시 소자 제조시 형성된 정전기 방지 소자를 나타낸 단면도
- [0073] 도 7은 본 발명의 정전기 방지 소자와 액티브 영역 내의 단위 셀의 구성을 나타낸 공정 단면도
- [0074] *도면의 주요 부분에 대한 부호의 설명*
- | | |
|-----------------------|----------------|
| [0075] 100: 기판 | 102: 게이트 전극 |
| [0076] 105: 반도체층 패턴 | 106: 게이트 절연막 |
| [0077] 107: 게이트 금속 패턴 | 108: 보호막 |
| [0078] 110: 전원 전압 라인 | 111: 양극 |
| [0079] 112: बैं크 | 113: 유기 발광층 |
| [0080] 114: 음극 | 120: 접지 전압 라인 |
| [0081] 121: 게이트 라인 | 122: 데이터 라인 |
| [0082] 170: 더미 라인 | 171: 데이터 더미 라인 |

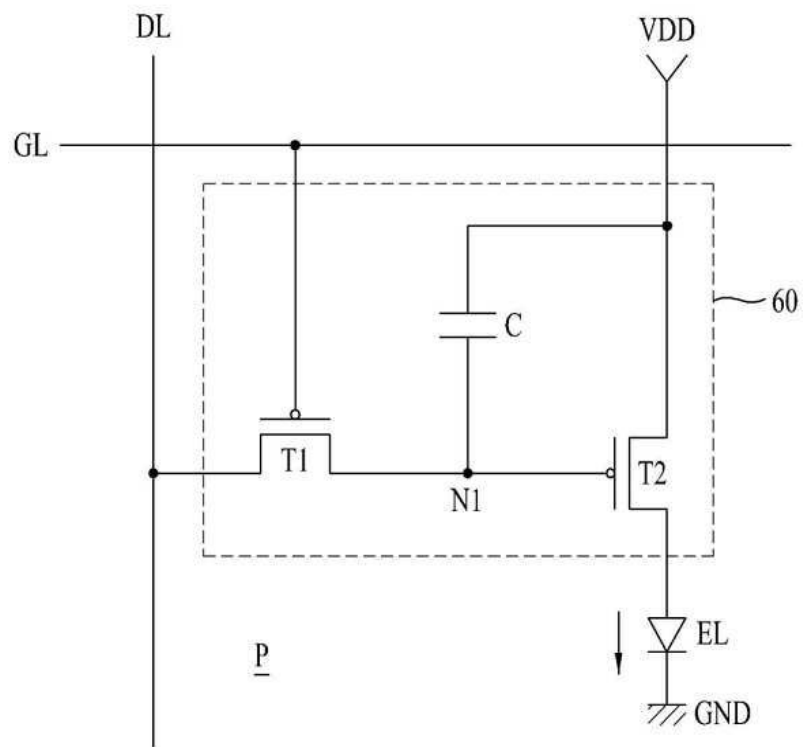
[0083] 172: 게이트 더미 라인 210a, 310a: 금속 패턴

도면

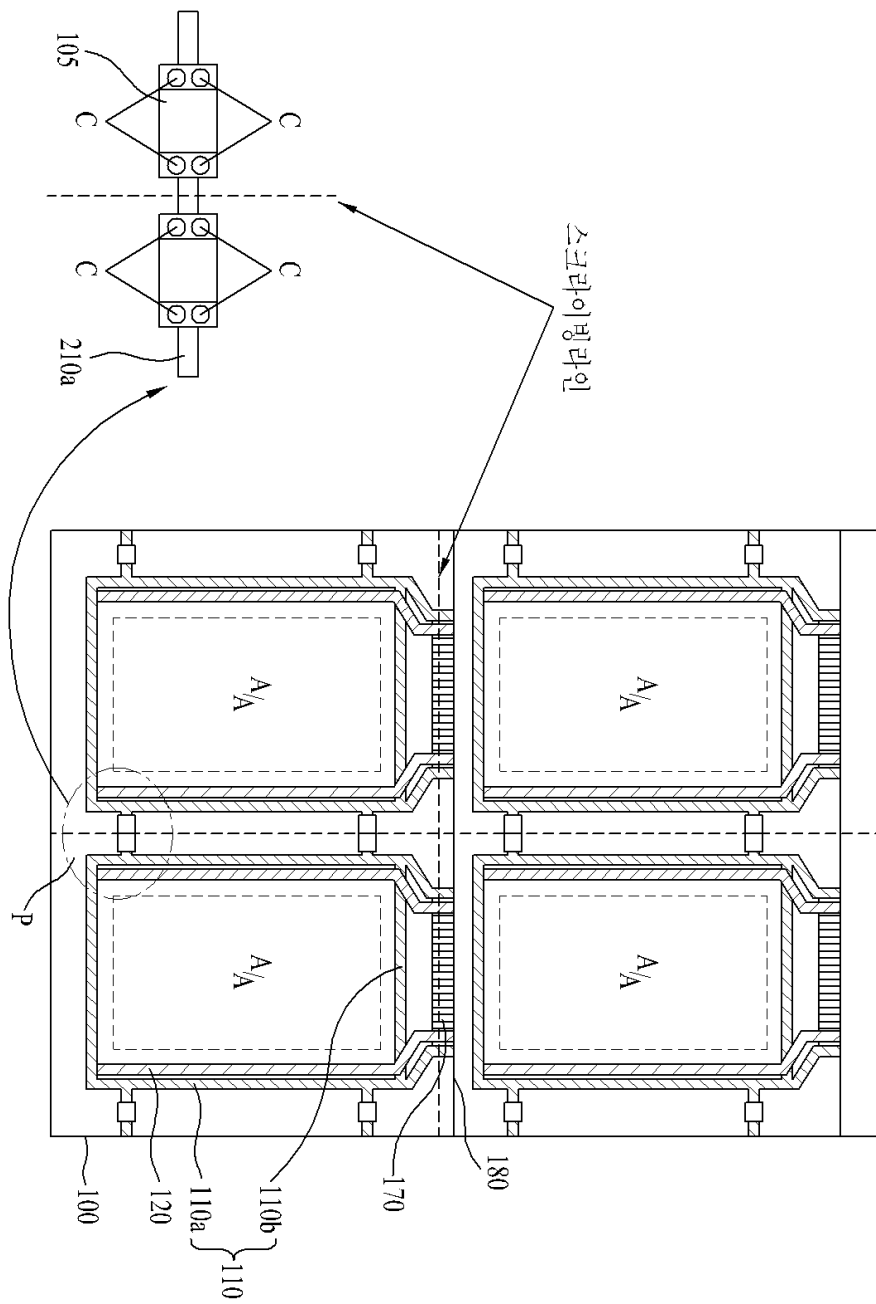
도면1



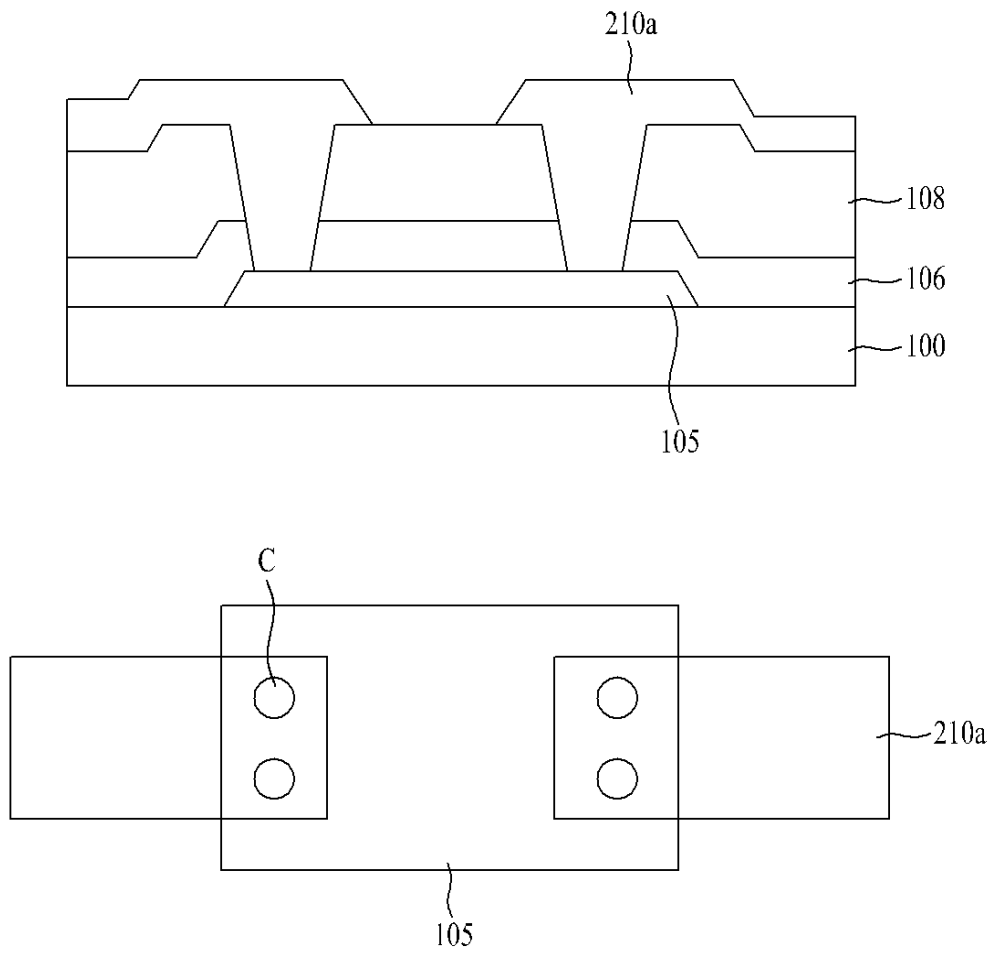
도면2



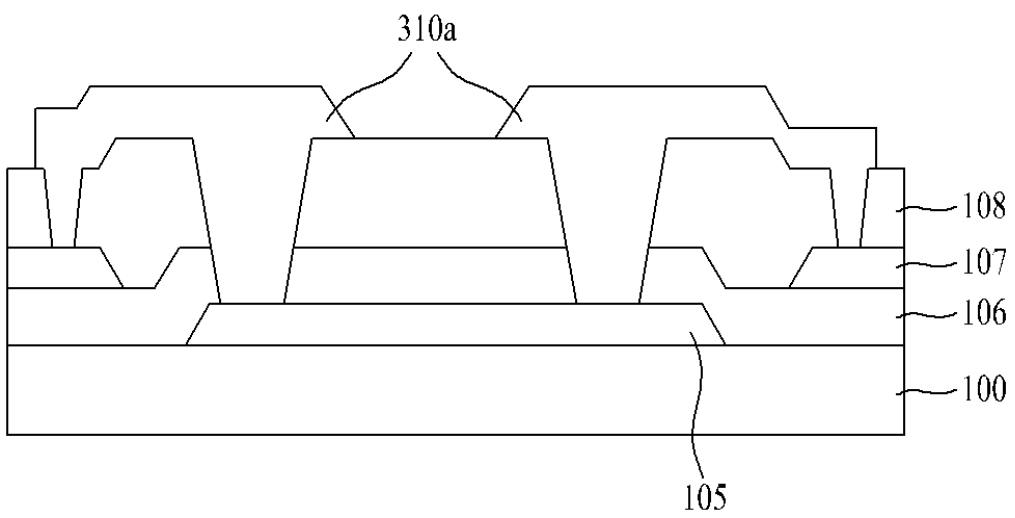
도면3



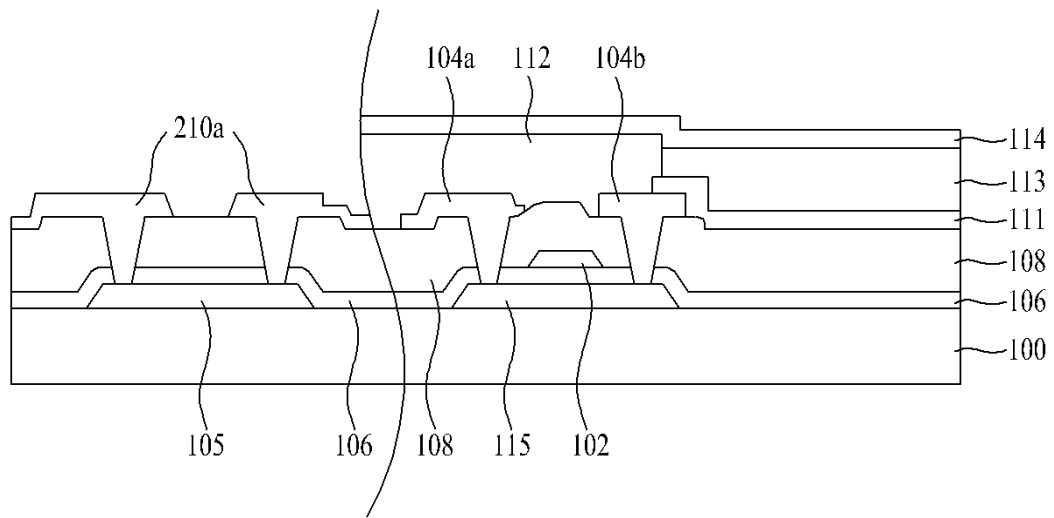
도면5



도면6



도면7



专利名称(译)	有机发光显示装置的制造方法和用于形成有机发光显示元件的基板		
公开(公告)号	KR1020110015128A	公开(公告)日	2011-02-15
申请号	KR1020090072691	申请日	2009-08-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM KWANG HO 김광호 SEO CHANG KI 서창기		
发明人	김광호 서창기		
IPC分类号	H01L51/56 H05B33/10		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR101595454B1		
外部链接	Espacenet		

摘要(译)

在本发明涉及一种制造在电池连接具有静电保护器件的有机发光显示装置的方法，以及一种有机发光显示装置用基板是用来为了防止静电时用于分离细胞和细胞中的划片工艺被引入，一种制造有机发光在本发明的显示装置中，多个从所述单元面板显示区域和区域间隔开的方法显示每个阶段的单元面板和显示在所述基板的外面制备用于定义基板单元面板切口和薄寄存器阵列，并且包括在所述单元面板切口形成静电保护装置的方法，所述方法包括：形成在每个薄膜teuraenjiseuteoyi的有机EL阵列中，密封剂围绕所述显示器的边缘对于每个单元面板的面积，通过与有机EL阵列上的玻璃盖相对来形成有机EL单元板，在冰分离，且其特征在于在由制动包括分离多个单元板的步骤。 细胞和 Geoteu 域 转染 数组 应用 面板 其他

