



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0035768
(43) 공개일자 2009년04월13일

(51) Int. Cl.

H05B 33/22 (2006.01) H01L 51/52 (2006.01)

(21) 출원번호 10-2007-0100719

(22) 출원일자 2007년10월08일

심사청구일자 없음

(71) 출원인

엘지전자 주식회사

서울특별시 영등포구 여의도동 20번지

(72) 발명자

강선길

서울 서초구 우면동 16번지 LG전자 전자기술원

(74) 대리인

특허법인로얄

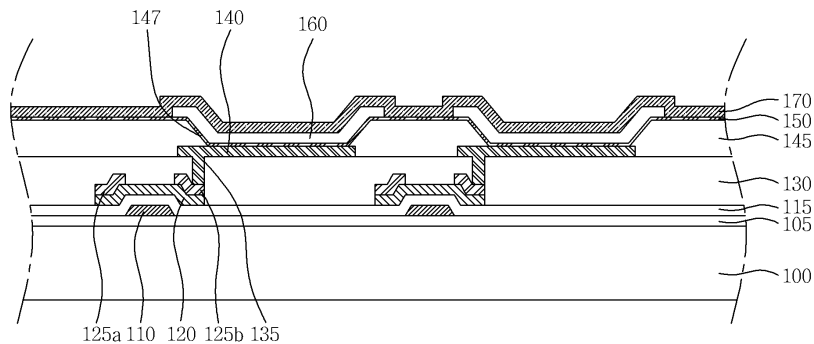
전체 청구항 수 : 총 16 항

(54) 유기전계발광표시장치 및 그 제조방법

(57) 요약

본 발명은 기판 상에 위치하는 게이트 전극, 상기 게이트 전극 상에 위치하는 게이트 절연막, 상기 게이트 절연막 상에 위치하는 반도체층, 상기 반도체층 상에 위치하는 소오스 전극 및 드레인 전극, 상기 드레인 전극과 전기적으로 연결된 제 1 하부전극, 상기 제 1 하부전극의 일부 영역을 노출시키는 बैं크층, 상기 제 1 하부전극 및 बैं크층 상에 위치하는 제 2 하부전극, 상기 제 2 하부전극 상에 위치하는 발광층 및 상기 발광층 상에 위치하는 상부전극을 포함하며, 상기 बैं크층의 표면거칠기(RMS)는 1 내지 100nm인 유기전계발광표시장치를 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

기관 상에 위치하는 게이트 전극;
 상기 게이트 전극 상에 위치하는 게이트 절연막;
 상기 게이트 절연막 상에 위치하는 반도체층;
 상기 반도체층 상에 위치하는 소오스 전극 및 드레인 전극;
 상기 드레인 전극과 전기적으로 연결된 제 1 하부전극;
 상기 제 1 하부전극의 일부 영역을 노출시키는 뱅크층;
 상기 제 1 하부전극 및 뱅크층 상에 위치하는 제 2 하부전극;
 상기 제 2 하부전극 상에 위치하는 발광층; 및
 상기 발광층 상에 위치하는 상부전극을 포함하며,
 상기 뱅크층의 표면거칠기(RMS)는 1 내지 100nm인 유기전계발광표시장치.

청구항 2

제 1항에 있어서,
 상기 제 1 하부전극은 알루미늄(Al), 은(Ag), 몰리브덴(Mo), 니켈(Ni), 크롬(Cr) 또는 이들의 합금인 유기전계 발광표시장치.

청구항 3

제 1항에 있어서,
 상기 제 2 하부전극은 알루미늄(Al), 칼슘(Ca), 리튬(Li), 마그네슘(Mg), 세슘(Cs), 나트륨(Na), 바륨(Ba) 및 리튬(Li) 또는 이들의 합금인 유기전계발광표시장치.

청구항 4

제 1항에 있어서,
 상기 상부전극은 ITO, IZO 또는 ITZO인 유기전계발광표시장치.

청구항 5

제 1항에 있어서,
 상기 반도체층은 산화물을 포함하며, 상기 산화물은 아연산화물(ZnO), 인듐아연산화물(InZnO), 인듐갈륨아연산화물(InGaZnO) 및 아연주석산화물(ZnSnO)로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 유기전계발광표시장치.

청구항 6

제 1항에 있어서,
 상기 반도체층은 비정질 실리콘 또는 다결정 실리콘을 포함하는 유기전계발광표시장치.

청구항 7

제 1항에 있어서,
 상기 게이트 전극, 반도체층, 소오스 전극 및 드레인 전극을 포함하는 박막 트랜지스터는 N채널 박막 트랜지스터

터인 유기전계발광표시장치.

청구항 8

제 1항에 있어서,

상기 제 2 하부전극은 상기 발광층 및 बैं크층을 포함하는 기관 전면에 위치하는 유기전계발광표시장치.

청구항 9

기관 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 산화물을 포함하는 반도체층을 형성하는 단계;

상기 반도체층 상에 소오스 전극 및 드레인 전극을 형성하는 단계;

상기 드레인 전극과 전기적으로 연결되는 제 1 하부전극을 형성하는 단계;

상기 제 1 하부전극의 일부 영역을 노출시키는 बैं크층을 형성하는 단계;

상기 बैं크층에 플라즈마 처리를 수행하여 बैं크층의 표면거칠기를 1 내지 100nm로 형성하는 단계;

상기 제 1 하부전극 및 बैं크층 상에 제 2 하부전극을 형성하는 단계;

상기 제 2 하부전극 상에 발광층을 형성하는 단계; 및

상기 발광층 상에 상부전극을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

청구항 10

제 9항에 있어서,

상기 플라즈마 처리를 수행하는 단계는

50 내지 1000W의 플라즈마 파워로 50초 내지 60분동안 수행되는 유기전계발광표시장치의 제조방법.

청구항 11

기관 상에 위치하는 게이트 전극;

상기 게이트 전극 상에 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하는 반도체층;

상기 반도체층 상에 위치하는 소오스 전극 및 드레인 전극;

상기 드레인 전극과 전기적으로 연결된 하부전극;

상기 하부 전극의 일부 영역을 노출시키는 बैं크층;

상기 하부 전극 및 बैं크층 상에 위치하는 발광층; 및

상기 발광층 상에 위치하는 상부전극을 포함하며,

상기 बैं크층의 표면거칠기(RMS)는 1 내지 100nm인 유기전계발광표시장치.

청구항 12

제 11항에 있어서,

상기 하부전극은 ITO, IZO 또는 ITZO인 유기전계발광표시장치.

청구항 13

제 11항에 있어서,

상기 상부전극은 알루미늄(Al), 칼슘(Ca), 리튬(Li), 마그네슘(Mg), 세슘(Cs), 나트륨(Na), 바륨(Ba) 및 리튬

(Li) 또는 이들의 합금인 유기전계발광표시장치.

청구항 14

제 11항에 있어서,

상기 상부전극과 발광층 사이에 전자주입층을 더 포함하는 유기전계발광표시장치.

청구항 15

제 14항에 있어서,

상기 전자주입층은 상기 발광층 및 बैं크층을 포함하는 기관 전면에 위치하는 유기전계발광표시장치.

청구항 16

제 11항에 있어서,

상기 게이트 전극, 반도체층, 소오스 전극 및 드레인 전극을 포함하는 박막 트랜지스터는 P채널 박막 트랜지스터인 유기전계발광표시장치.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 유기전계발광표시장치 및 그 제조방법에 관한 것이다.

배경 기술

<2> 최근, 평판표시장치(FPD: Flat Panel Display)는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 디스플레이(Liquid Crystal Display: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계발광표시장치(Field Emission Display: FED), 유기전계발광표시장치(Organic Light Emitting Device) 등과 같은 여러 가지의 평면형 디스플레이가 실용화되고 있다.

<3> 특히, 유기전계발광표시장치는 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 소비 전력이 낮고 자체 발광이다. 또한, 시야각에 문제가 없어서 장치의 크기에 상관없이 동화상 표시 매체로서 장점이 있다. 또한, 저온 제작이 가능하고, 기존의 반도체 공정 기술을 바탕으로 제조 공정이 간단하므로 향후 차세대 평판 표시 장치로 주목받고 있다.

<4> 종래 유기전계발광표시장치는 박막 트랜지스터 상에 제 1 하부전극을 적층하고 패터닝하여 형성하고, 절연막 공정을 거친 후, 제 1 하부전극이 형성된 기관 상에 제 2 하부전극을 형성하게 된다. 이때, 제 1 하부전극이 각 화소마다 패터닝된 것과는 달리, 제 2 하부전극은 패터닝되지 않고 각 화소에 연결되게끔 전면 증착된다.

<5> 이는 전면발광 구조의 유기전계발광표시장치에서 반사특성이 높은 제 1 하부전극을 패터닝하여 형성하고, 일함수가 낮은 제 2 하부전극을 형성함으로써, 하부전극의 일함수를 맞춰주기 위함이다.

<6> 그러나, 상기와 같은 종래 유기전계발광표시장치는 각 화소의 상부에 연결된 제 2 하부 전극으로 인해, 하나의 화소에서 전류가 흐르면 인접한 다른 화소에 전류가 흐르게 되는 크로스 토크(Cross-Talk) 현상이 발생되어 표시장치가 오작동하는 문제점이 있었다.

<7> 또한, 배면발광 구조의 유기전계발광표시장치의 경우에, 하부전극으로 애노드를 패터닝하여 형성하지만, 애노드를 포함하는 기관 상에 전자주입층이 전면으로 형성되기 때문에 전술한 크로스 토크 현상이 발생하는 문제점이 있었다.

발명의 내용

해결 하고자하는 과제

<8> 본 발명은 크로스 토크 현상을 방지하여 신뢰성을 향상시킬 수 있는 유기전계발광표시장치 및 그 제조방법을

제공한다.

과제 해결수단

- <9> 상기한 목적을 달성하기 위해, 본 발명의 일 실시 예에 따른 유기전계발광표시장치는 기판 상에 위치하는 게이트 전극, 상기 게이트 전극 상에 위치하는 게이트 절연막, 상기 게이트 절연막 상에 위치하는 반도체층, 상기 반도체층 상에 위치하는 소오스 전극 및 드레인 전극, 상기 드레인 전극과 전기적으로 연결된 제 1 하부전극, 상기 제 1 하부전극의 일부 영역을 노출시키는 बैं크층, 상기 제 1 하부전극 및 बैं크층 상에 위치하는 제 2 하부전극, 상기 제 2 하부전극 상에 위치하는 발광층 및 상기 발광층 상에 위치하는 상부전극을 포함하며, 상기 बैं크층의 표면거칠기(RMS)는 1 내지 100nm일 수 있다.
- <10> 또한, 상기한 목적을 달성하기 위해, 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 제조방법은 기판 상에 게이트 전극을 형성하는 단계, 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 상에 산화물을 포함하는 반도체층을 형성하는 단계, 상기 반도체층 상에 소오스 전극 및 드레인 전극을 형성하는 단계, 상기 드레인 전극과 전기적으로 연결되는 제 1 하부전극을 형성하는 단계, 상기 제 1 하부전극의 일부 영역을 노출시키는 बैं크층을 형성하는 단계, 상기 बैं크층에 플라즈마 처리를 수행하여 बैं크층의 표면거칠기를 1 내지 100nm로 형성하는 단계, 상기 제 1 하부전극 및 बैं크층 상에 제 2 하부전극을 형성하는 단계, 상기 제 2 하부전극 상에 발광층을 형성하는 단계 및 상기 발광층 상에 상부전극을 형성하는 단계를 포함할 수 있다.
- <11> 또한, 상기한 목적을 달성하기 위해, 본 발명의 일 실시 예에 따른 유기전계발광표시장치는 기판 상에 위치하는 게이트 전극, 상기 게이트 전극 상에 위치하는 게이트 절연막, 상기 게이트 절연막 상에 위치하는 반도체층, 상기 반도체층 상에 위치하는 소오스 전극 및 드레인 전극, 상기 드레인 전극과 전기적으로 연결된 하부전극, 상기 하부전극의 일부 영역을 노출시키는 बैं크층, 상기 하부전극 및 बैं크층 상에 위치하는 발광층 및 상기 발광층 상에 위치하는 상부전극을 포함하며, 상기 बैं크층의 표면거칠기(RMS)는 1 내지 100nm인 유기전계발광표시장치.

효과

- <12> 본 발명의 유기전계발광표시장치 및 그 제조방법은 전극 간의 크로스 토크 현상을 방지하여 신뢰성을 향상시킬 수 있는 이점이 있다.

발명의 실시를 위한 구체적인 내용

- <13> 이하, 첨부한 도면들을 참조하여 본 발명의 실시 예들을 상세하게 설명하도록 한다.
- <14> <실시예>
- <15> 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치를 도시한 단면도이다.
- <16> 도 1을 참조하면, 기판(100) 상에 버퍼층(105)이 위치한다. 버퍼층(105)은 무기막일 수 있으며, 실리콘 산화물, 실리콘 질화물 등으로 이루어질 수 있다. 여기서, 도시하지는 않았지만, 기판(100)과 버퍼층(105) 사이에는 하나 이상의 절연막이 더 개재될 수도 있다.
- <17> 버퍼층(105) 상에 게이트 전극(110)이 위치하고, 게이트 전극(110)을 포함하는 기판(100) 상에 게이트 절연막(115)이 위치한다. 게이트 절연막(115) 상에 게이트 전극(110)과 대응되게 위치하는 반도체층(120)이 위치한다. 여기서, 반도체층(120)은 비정질 실리콘 또는 비정질 실리콘을 결정화한 다결정 실리콘으로 이루어질 수 있다. 이와는 달리, 아연 산화물(ZnO)을 포함한 산화물 반도체층일 수 있으며, 인듐 아연 산화물(InZnO), 아연주석산화물(ZnSnO) 또는 인듐 갈륨 아연 산화물(InGaZnO₄)을 더 포함할 수 있다.
- <18> 상기 반도체층(120)의 일정 영역에 불순물 이온을 더 포함할 수 있다. 불순물 이온으로는 p형 불순물 또는 n형 불순물을 이용할 수 있는데, 상기 p형 불순물은 붕소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In)으로 이루어진 군에서 선택할 수 있고, 상기 n형 불순물은 인(P), 비소(As) 및 안티몬(Sb)으로 이루어진 군에서 선택할 수 있다. 특히, 본 실시 예에서는 반도체층(120)의 일정 영역에 p형 불순물을 주입하여 n채널을 갖는 반도체층(120)일 수 있다.
- <19> 반도체층(120)과 전기적으로 연결된 소오스 전극(125a) 및 드레인 전극(125b)이 위치하고, 소오스 전극(125a) 및 드레인 전극(125b)을 포함하는 기판(100) 상에 평탄화막(130)이 위치한다.

- <20> 평탄화막(130)에는 평탄화막(130)을 관통하여 드레인 전극(125b)의 일부 영역을 노출시키는 비어홀(135)이 위치한다. 평탄화막(130) 상에는 비어홀(135)을 통해 드레인 전극(125b)과 전기적으로 연결되는 제 1 하부전극(140)이 위치한다.
- <21> 제 1 하부전극(140)을 포함하는 기관(100) 상에 제 1 하부전극(140)의 일부 영역을 노출시키는 개구부(147)를 포함하는 बैं크층(145)이 위치한다. 여기서, बैं크층(145)은 표면거칠기(RMS : Root Mean Square)가 1 내지 100nm일 수 있다. बैं크층(145)을 포함하는 기관(100) 상에 제 2 하부전극(150)이 위치한다.
- <22> 제 2 하부전극(150)을 포함하는 기관(100) 상에 발광층(160)이 위치한다. 발광층(160)을 포함하는 기관(100) 상에 상부전극(170)이 위치한다.
- <23> 이하에서는 도 2a 내지 도 2f를 참조하여, 상기와 같은 구조를 갖는 본 발명의 실시 예에 따른 유기전계발광표시장치의 제조방법을 상세히 설명하도록 한다.
- <24> 도 2a 내지 도 2f는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 공정별 단면도들이다.
- <25> 도 2a를 참조하면, 유리, 플라스틱 또는 금속을 포함하는 기관(200) 상에 버퍼층(205)을 형성한다. 버퍼층(205)은 열처리 공정 중 기관(200)으로부터 이온 등의 불순물이 확산되어 후속하여 형성되는 소자들을 오염시키는 것을 방지하기 위한 것이다. 따라서, 버퍼층(205)은 실리콘 산화물, 실리콘 질화물 등과 같은 무기물로 형성할 수 있다.
- <26> 다음, 버퍼층(205) 상에 크롬(Cr), 몰리브덴(Mo), 인듐 틴 옥사이드(Indium Tin Oxide; ITO) 또는 알루미늄(Al)과 같은 금속막을 적층한다. 그런 다음, 포토리소그래피(photolithography) 공정을 이용해서 이를 패터닝하여 게이트 전극(210)을 형성한다.
- <27> 이어, 게이트 전극(210)이 형성된 기관(200) 상에 게이트 절연막(215)을 형성한다. 게이트 절연막(215)은 실리콘 산화막, 실리콘 질화막 또는 이들의 이중층으로 형성할 수 있다.
- <28> 게이트 절연막(215) 상에 게이트 전극(210)과 일정 영역이 대응되도록 반도체층(220)을 형성한다. 여기서, 반도체층(220)은 비정질 실리콘 또는 비정질 실리콘을 결정화한 다결정 실리콘일 수 있다. 또한, 반도체층(220)은 아연 산화물(ZnO)을 포함한 아연 주석 산화물(ZnSnO)로 형성할 수 있으며, 그 외, 전기 전도도 등 특성을 향상시키기 위하여 인듐(In) 또는 갈륨(Ga) 등을 도핑함으로써, 인듐 아연 산화물(InZnO) 또는 인듐 갈륨 아연 산화물(InGaZnO₄)을 더 포함하도록 형성할 수 있다.
- <29> 이때, 반도체층(220)의 일정 영역 예를 들어, 추후 소오스 전극 및 드레인 전극이 접촉되는 영역에 p형 또는 n형 불순물 이온을 주입할 수 있다. 상기 p형 불순물은 붕소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In)으로 이루어진 군에서 선택할 수 있고, 상기 n형 불순물은 인(P), 비소(As) 및 안티몬(Sb)으로 이루어진 군에서 선택할 수 있다. 특히, 본 실시 예에서는 반도체층(220)의 일정 영역에 p형 불순물을 주입하여 n채널을 갖는 반도체층(220)을 형성할 수 있다.
- <30> 다음, 반도체층(220)이 형성된 기관(200) 상에 크롬(Cr), 몰리브덴(Mo), 또는 알루미늄(Al) 등으로 금속막을 적층한 다음, 금속막 상에 포토 레지스트(photo resist)를 도포한다. 이후, 반도체층(220)과 일정 영역이 연결되도록 포토 레지스트를 노광 및 현상하여 포토 마스크(photo mask)를 형성한다. 그런 다음, 이를 이용하여 금속막을 식각함으로써 소오스 전극 및 드레인 전극(225a, 225b)을 형성한다.
- <31> 도 2b를 참조하면, 소오스 전극 및 드레인 전극(225a, 225b)이 형성된 기관(200) 상에 평탄화막(230)을 형성한다. 평탄화막(230)은 하부 구조의 단차를 완화시키는 역할을 할 수 있으며, 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물 또는 실리콘 산화물을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 무기물을 사용하여 형성할 수도 있다.
- <32> 그런 다음, 평탄화막(230)을 식각하여, 소오스 전극(225a) 및 드레인 전극(225b) 중 어느 하나를 노출시키는 비어홀(235)을 형성한다. 이어, 비어홀(235)을 포함하는 기관(200) 상에 반사특성이 우수한 알루미늄(Al), 은(Ag), 몰리브덴(Mo), 니켈(Ni), 크롬(Cr) 또는 이들의 합금을 적층하고 패터닝하여 제 1 하부전극(240)을 형성한다. 이때, 제 1 하부전극(240)의 두께는 5 내지 1000Å으로 형성될 수 있다.
- <33> 이어, 도 2c를 참조하면, 제 1 하부전극(240)을 포함하는 기관(200) 상에 बैं크층(245)을 형성한다. 이때, बैं크층(245)은 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin) 또는 아크릴레이

트(acrylate)를 스핀 코팅법을 이용하여 형성할 수 있다.

- <34> 다음, 상기 बैं크층(245)의 일정 영역을 식각하여 제 1 하부전극(240)의 일정 영역을 노출시키는 제 1 개구부(247)를 형성한다.
- <35> 이어, बैं크층(245)이 형성된 기판(200)에 플라즈마 표면처리를 수행한다. 이때, 플라즈마 표면처리의 소스(Sourse)로 산소(O_2), 질소(N_2), 산화질소(N_2O), 질소와 암모니아(NH_3)의 혼합가스 및 실란(SiH_4) 중에서 하나를 사용하고, 이러한 소스를 챔버에 공급한 상태에서, 챔버 압력을 1~5 Torr, 챔버 온도를 100~400℃의 범위에서 조절하고, RF 파워를 50~1000W의 범위 내에서 조절하여 플라즈마 처리를 진행하는 것이 적합하다. 이때, 플라즈마 처리는 50초~60분의 시간동안 진행할 수 있다.
- <36> 이때, 플라즈마 표면처리가 수행된 बैं크층(245)은 표면이 거칠게 형성되며, 이때의 बैं크층(245)의 표면거칠기(RMS)는 1 내지 100nm일 수 있다.
- <37> 이어, 도 2d를 참조하면, 표면처리된 बैं크층(245)이 형성된 기판(200) 상에 제 2 하부전극(250)을 형성한다. 제 2 하부전극(250)은 하부전극의 일함수를 맞추주기 위한 것으로 일함수가 낮은 알루미늄(Al), 칼슘(Ca), 리튬(Li), 마그네슘(Mg), 세슘(Cs), 나트륨(Na), 바륨(Ba) 및 리튬(Li) 또는 이들의 합금을 사용할 수 있다.
- <38> 이때, 제 2 하부전극(250)은 제 1 하부전극(240) 및 बैं크층(245)을 포함하는 기판(200) 전면에서 스퍼터링 또는 열증착법으로 형성될 수 있으며, 5 내지 100Å의 두께로 형성될 수 있다.
- <39> 여기서, 상기 표면처리된 बैं크층(245) 상에 제 2 하부전극(250)이 증착되면, 표면이 거친 बैं크층(245)에 의해 제 2 하부전극(250)이 인접한 화소들과 절연될 수 있다.
- <40> 보다 자세하게, 도 2d의 A 영역을 확대한 도 2e를 참조하면, 제 1 하부전극(240)의 에지부를 덮고 있는 बैं크층(245)이 위치하고, 제 1 하부전극(240)과 बैं크층(245) 상에 제 2 하부전극(250)이 위치한다.
- <41> 이때, 표면처리된 बैं크층(245)은 1 내지 100nm의 표면거칠기(RMS)를 갖을 수 있다. 여기서, बैं크층(245)의 표면거칠기(RMS)가 1nm 이상이면, बैं크층(245) 상에 5 내지 100Å의 두께로 증착되는 제 2 하부전극(250)이 बैं크층(245)의 거칠기에 의해 각 화소마다 절연될 수 있어, 크로스 토크 현상을 방지할 수 있는 이점이 있고, बैं크층(245)의 표면거칠기(RMS)가 100nm 이하이면, 추후 형성되는 제 2 하부전극(250) 상부의 구조물 즉, 상부전극이 각 화소마다 절연되어 표시장치가 작동하지 않는 문제점을 방지할 수 있는 이점이 있다.
- <42> 따라서, 제 2 하부전극(250)은 각 화소마다 절연될 수 있으며, 이에 따라 종래 유기전계발광표시장치에서 크로스 토크 현상이 발생하는 것을 방지할 수 있는 이점이 있다.
- <43> 이어, 도 2f를 참조하면, 제 2 하부전극(250)이 형성된 기판(200) 상에 발광층(260)을 형성한다. 발광층(260)은 진공증착법, 레이저 열 전사법, 스크린 프린팅법 등을 이용하여 형성할 수 있다. 또한, 발광층(260)의 상부 또는 하부에 전자주입층, 전자수송층, 정공주입층 또는 정공수송층을 더 형성할 수 있다.
- <44> 다음, 발광층(260)이 형성된 기판(200) 상에 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ITZO(Indium Tin Zinc Oxide)를 증착하여 상부전극(270)을 형성하여 본 발명의 일 실시 예에 따른 유기전계발광표시장치를 완성한다.
- <45> 상기와 같이, 본 발명의 일 실시 예에 따른 유기전계발광표시장치 및 그 제조방법은 전극 간의 크로스 토크 현상이 발생하는 것을 방지하여 신뢰성을 향상시킬 수 있는 유기전계발광표시장치 및 그 제조방법을 제공할 수 있는 이점이 있다.
- <46> 전술한 실시 예에서는 전자를 공급하는 캐소드 전극인 하부전극이 발광층의 하부에 위치하고, 정공을 공급하는 애노드 전극인 상부전극이 발광층의 상부에 위치하는 인버티드(Inverted) 구조의 유기전계발광표시장치를 예로 개시하였다.
- <47> 이하, 하기에서는 정공을 공급하는 애노드 전극이 발광층의 하부에 위치하고, 전자를 공급하는 캐소드 전극이 발광층의 상부에 위치하는 유기전계발광표시장치를 실시 예로 개시한다. 하기의 실시 예에서는 전술한 실시 예의 유기전계발광표시장치와 중복되는 구성의 설명을 생략한다.
- <48> 도 3은 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 단면도이다.
- <49> 도 3을 참조하면, 기판(300) 상에 버퍼층(305)이 위치한다. 버퍼층(305)은 무기막일 수 있으며, 실리콘 산화물, 실리콘 질화물 등으로 이루어질 수 있다. 여기서, 도시하지는 않았지만, 기판(300)과 버퍼층(305) 사이에는 하

나 이상의 절연막이 더 개재될 수도 있다.

- <50> 버퍼층(305) 상에 게이트 전극(310)이 위치하고, 게이트 전극(310)을 포함하는 기판(300) 상에 게이트 절연막(315)이 위치한다. 게이트 절연막(315) 상에 게이트 전극(310)과 대응되게 위치하는 반도체층(320)이 위치한다. 여기서, 반도체층(320)은 비정질 실리콘 또는 비정질 실리콘을 결정화한 다결정 실리콘으로 이루어질 수 있다. 이와는 달리, 아연 산화물(ZnO)을 포함한 산화물 반도체층일 수 있으며, 인듐 아연 산화물(InZnO), 아연주석산화물(ZnSnO) 또는 인듐 갈륨 아연 산화물(InGaZnO₄)을 더 포함할 수 있다.
- <51> 상기 반도체층(320)의 일정 영역에 불순물 이온을 더 포함할 수 있다. 불순물 이온으로는 p형 불순물 또는 n형 불순물을 이용할 수 있는데, 상기 p형 불순물은 붕소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In)으로 이루어진 군에서 선택할 수 있고, 상기 n형 불순물은 인(P), 비소(As) 및 안티몬(Sb)으로 이루어진 군에서 선택할 수 있다. 특히, 본 실시 예에서는 반도체층(320)의 일정 영역에 n형 불순물을 주입하여 p채널을 갖는 반도체층(320)일 수 있다.
- <52> 반도체층(320)과 전기적으로 연결된 소오스 전극(325a) 및 드레인 전극(325b)이 위치하고, 소오스 전극(325a) 및 드레인 전극(325b)을 포함하는 기판(300) 상에 패시베이션막(330)이 위치한다.
- <53> 패시베이션막(330)에는 패시베이션막(330)을 관통하여 드레인 전극(325b)의 일부 영역을 노출시키는 비어홀(335)이 위치한다. 패시베이션막(330) 상에는 비어홀(335)을 통해 드레인 전극(325b)과 전기적으로 연결되는 하부전극(340)이 위치한다. 하부전극(340)은 ITO, IZO 또는 ITZO로 이루어질 수 있다.
- <54> 하부전극(340)을 포함하는 기판(300) 상에 하부전극(340)의 일부 영역을 노출시키는 개구부(347)를 포함하는 बैं크층(345)이 위치한다. 여기서, बैं크층(345)은 표면거칠기(RMS : Root Mean Square)가 1 내지 100nm일 수 있다. 여기서, बैं크층(345)의 표면거칠기(RMS)가 1nm 이상이면, 추후 बैं크층(345) 상에 5 내지 100Å의 두께로 증착되는 전자주입층(360)이 बैं크층(345)의 거칠기에 의해 각 화소마다 절연될 수 있어, 크로스 토크 현상을 방지할 수 있는 이점이 있고, बैं크층(345)의 표면거칠기(RMS)가 100nm 이하이면, 추후 형성되는 상부전극이 각 화소마다 절연되어 표시장치가 작동하지 않는 문제점을 방지할 수 있는 이점이 있다.
- <55> 따라서, 추후 전자주입층(360)은 각 화소마다 절연될 수 있으며, 이에 따라 유기전계발광표시장치에서 크로스 토크 현상이 발생하는 것을 방지할 수 있는 이점이 있다.
- <56> बैं크층(345)을 포함하는 기판(300) 상에 발광층(350)이 위치한다. 발광층(350)은 정공주입층, 정공수송층, 전자수송층 또는 전자주입층을 더 포함할 수 있다. 특히, 본 실시 예에서는 발광층(350)과 추후 형성되는 상부전극(370) 사이에 전자주입층(360)을 더 포함할 수 있다. 여기서, 전자주입층(360)은 발광층(350) 및 बैं크층(345)을 포함하는 기판 전면에 형성될 수 있다.
- <57> 전자주입층(360)을 포함하는 기판(300) 상에 상부전극(370)이 위치한다. 상부전극(370)은 알루미늄(Al), 칼슘(Ca), 리튬(Li), 마그네슘(Mg), 세슘(Cs), 나트륨(Na), 바륨(Ba) 및 리튬(Li) 또는 이들의 합금일 수 있다.
- <58> 본 실시 예에서는 진술한 실시 예에서 전면발광이 가능한 유기전계발광표시장치를 개시한 것과는 달리, 하부전극으로 투명한 도전물질을 사용함으로써, 배면발광 또는 양면발광이 가능한 유기전계발광표시장치를 개시하였다.
- <59> 상기와 같이, 본 발명의 일 실시 예에 따른 유기전계발광표시장치는 크로스 토크 현상이 발생하는 것을 방지하여 신뢰성을 향상시킬 수 있는 유기전계발광표시장치 및 그 제조방법을 제공할 수 있는 이점이 있다.
- <60> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

- <61> 도 1은 본 발명의 일 실시 예에 따른 유기전계발광표시장치를 도시한 단면도.
- <62> 도 2a 내지 도 2f는 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 공정별 단

면도.

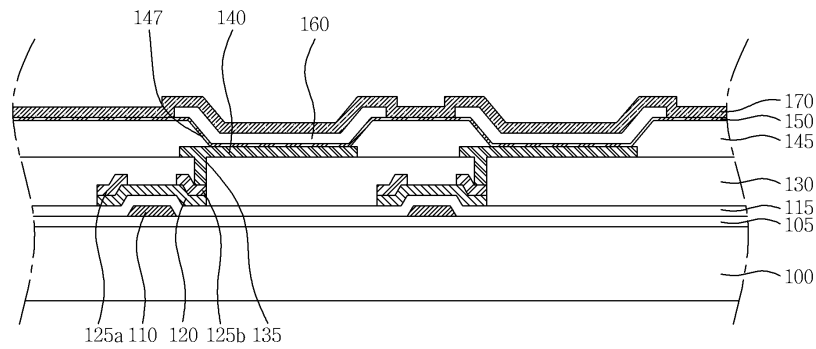
<63> 도 3은 본 발명의 일 실시 예에 따른 유기전계발광표시장치를 도시한 단면도.

<64> * 도면의 주요부분에 대한 부호의 설명 *

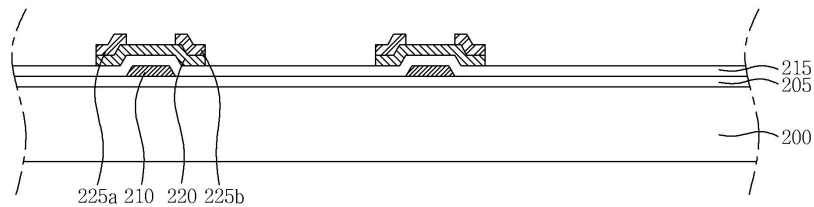
- | | | |
|------|--------------|------------------------------|
| <65> | 100 : 기판 | 105 : 버퍼층 |
| <66> | 110 : 게이트 전극 | 115 : 게이트 절연막 |
| <67> | 120 : 반도체층 | 125a, 125b : 소오스 전극 및 드레인 전극 |
| <68> | 130 : 평탄화막 | 140 : 제 1 하부전극 |
| <69> | 145 : बैं크층 | 150 : 제 2 하부전극 |
| <70> | 160 : 발광층 | 170 : 상부전극 |

도면

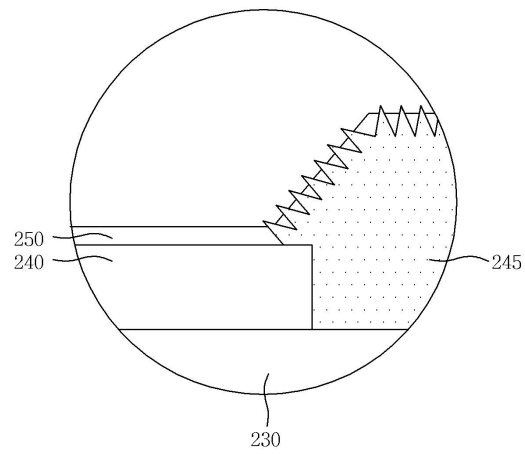
도면1



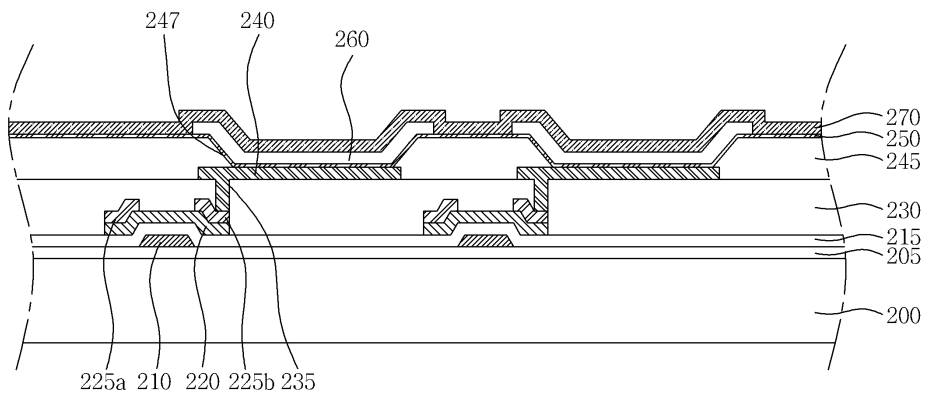
도면2a



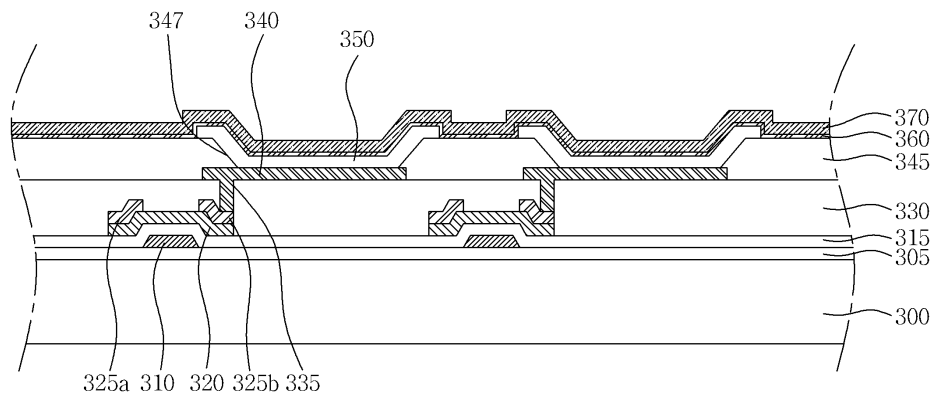
도면2e



도면2f



도면3



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020090035768A	公开(公告)日	2009-04-13
申请号	KR1020070100719	申请日	2007-10-08
申请(专利权)人(译)	LG电子公司		
当前申请(专利权)人(译)	LG电子公司		
[标]发明人	KANG SUN KIL		
发明人	KANG, SUN KIL		
IPC分类号	H05B33/22 H01L51/52		
CPC分类号	H01L27/3246 H01L51/5212 H05B33/22		
外部链接	Espacenet		

摘要(译)

本发明提供位于基板上的栅电极，位于栅电极上的栅极绝缘层，位于栅极绝缘层上的半导体层，以及位于上述半导体层上的源电极，以及称为“上述半导体层”的有机电致发光显示装置。堤层的表面粗糙度（RMS）为1至100nm，这意味着第一底部电极与漏电极电连接，漏电极，第二底部电极位于堤层上，暴露第一底部电极的预定部分，第一底部电极和堤层，以及位于第二底部电极上的发光层和位于发光层上部的上部电极。有机电致发光显示装置和薄膜晶体管。

