



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0082472
(43) 공개일자 2008년09월11일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)
G09G 3/20 (2006.01) H05B 33/12 (2006.01)

(21) 출원번호 10-2008-0020041

(22) 출원일자 2008년03월04일

심사청구일자 없음

(30) 우선권주장

JP-P-2007-00058885 2007년03월08일 일본(JP)

(71) 출원인

소니 가부시키 가이샤

일본국 도쿄도 미나토쿠 코난 1-7-1

(72) 발명자

야마모토 테츠로

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시키 가이샤 내

우치노 카츠히데

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시키 가이샤 내

(74) 대리인

최달용

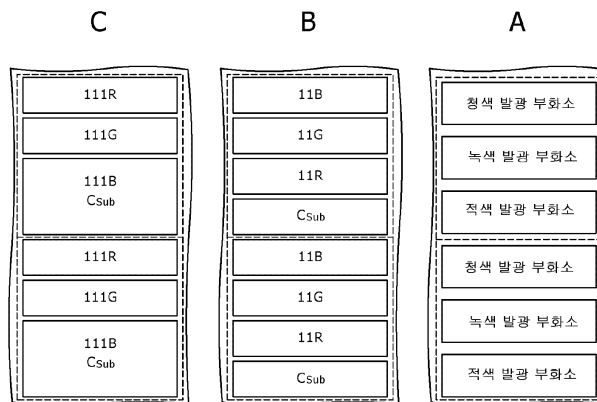
전체 청구항 수 : 총 5 항

(54) 유기 전계발광 표시 장치

(57) 요약

본 발명은 복수의 화소를 구비한 유기 전계발광 표시 장치를 제공하며, 하나의 화소는 복수의 부화소로 구성되어 있고, 각 부화소는: 구동 회로와, 상기 구동 회로에 접속된 유기 전계발광 발광부가 적층된 구조를 갖는 유기 전계발광 소자로 구성되어 있고; 하나의 화소를 구성하는 복수의 부화소중 하나의 부화소를 구성하는 상기 구동 회로에는, 상기 구동 회로의 유기 전계발광 발광부와 병렬로 접속된 보조 커패시터가 접속되어 있고, 상기 보조 커패시터는, 상기 구동 회로와 동일면 내에 마련된다.

대표도



특허청구의 범위

청구항 1

복수의 화소를 구비한 유기 전계발광 표시 장치로서,

하나의 화소는 복수의 부화소로 구성되어 있고,

각 부화소는:

구동 회로와, 상기 구동 회로에 접속된 유기 전계발광 발광부가 적층된 구조를 갖는 유기 전계발광 소자로 구성되어 있고;

하나의 화소를 구성하는 복수의 부화소중, 하나의 부화소를 구성하는 상기 구동 회로에는, 상기 구동 회로의 유기 전계발광 발광부와 병렬로 접속된 보조 커패시터가 접속되어 있고,

상기 보조 커패시터는, 상기 구동 회로와 동일면 내에 마련되어 있는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 2

제 1항에 있어서,

하나의 화소를 구성하는 복수의 부화소에 있어서, 상기 복수의 부화소의 구동 회로의 크기는 같은 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 3

제 1항에 있어서,

상기 구동 회로는, 또한,

(A) 소스/드레인 영역, 채널 형성 영역, 및, 게이트 전극을 구비한 구동 트랜지스터,

(B) 소스/드레인 영역, 채널 형성 영역, 및, 게이트 전극을 구비한 영상 신호 기록 트랜지스터, 및,

(C) 한 쌍의 전극을 구비한 커패시터로 구성되어 있고,

상기 구동 트랜지스터에서는,

(A-1) 상기 구동 트랜지스터의 하나의 소스/드레인 영역은, 전류 공급부에 접속되어 있고,

(A-2) 상기 구동 트랜지스터의 다른 소스/드레인 영역은, 유기 전계발광 발광부의 애노드 전극에 접속되고, 또한, 커패시터의 하나의 전극에 접속되어 있고, 제 2 노드에 상당하고,

(A-3) 상기 구동 트랜지스터의 게이트 전극은, 영상 신호 기록 트랜지스터의 다른 소스/드레인 영역에 접속되고, 또한, 커패시터의 다른 전극에 접속되어 있고, 제 1 노드를 구성하고,

상기 영상 신호 기록 트랜지스터에서는,

(B-1) 상기 영상 신호 기록 트랜지스터의 하나의 소스/드레인 영역은, 데이터선에 접속되어 있고,

(B-2) 상기 영상 신호 기록 트랜지스터의 게이트 전극은, 주사선에 접속되어 있는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 4

복수의 화소를 구비한 유기 전계발광 표시 장치로서,

하나의 화소는 복수의 부화소로 구성되어 있고,

각 부화소는:

구동 회로와, 상기 구동 회로에 접속된 유기 전계발광 발광부가 적층된 구조를 갖는 유기 전계발광 소자로 구성

되어 있고;

하나의 화소를 구성하는 복수의 부화소에 있어서, 상기 복수의 부화소를 구성하는 구동 회로중, 하나의 구동 회로는 다른 구동 회로보다도 크고,

상기 하나의 구동 회로는, 상기 구동 회로를 구성하는 유기 전계발광 발광부와 병렬로 접속된 보조 커패시터를 구비하는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 5

제 4항에 있어서,

상기 구동 회로는,

(A) 소스/드레인 영역, 채널 형성 영역, 및, 게이트 전극을 구비한 구동 트랜지스터,

(B) 소스/드레인 영역, 채널 형성 영역, 및, 게이트 전극을 구비한 영상 신호 기록 트랜지스터, 및,

(C) 한 쌍의 전극을 구비한 커패시터로 구성되어 있고,

상기 구동 트랜지스터에서는,

(A-1) 상기 구동 트랜지스터의 하나의 소스/드레인 영역은, 전류 공급부에 접속되어 있고,

(A-2) 상기 구동 트랜지스터의 다른 소스/드레인 영역은, 유기 전계발광 발광부에 구비된 애노드 전극에 접속되고, 또한, 커패시터의 하나의 전극에 접속되어 있고, 제 2 노드를 구성하고,

(A-3) 상기 구동 트랜지스터의 게이트 전극은, 영상 신호 기록 트랜지스터의 다른 소스/드레인 영역에 접속되고, 또한, 커패시터의 다른 전극에 접속되어 있고, 제 1 노드를 구성하고,

상기 영상 신호 기록 트랜지스터에서는,

(B-1) 상기 영상 신호 기록 트랜지스터 하나의 소스/드레인 영역은, 데이터선에 접속되어 있고,

(B-2) 상기 영상 신호 기록 트랜지스터의 게이트 전극은, 주사선에 접속되어 있는 것을 특징으로 하는 유기 전계발광 표시 장치.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 일본특허출원 제2007-058885호(2007.03.08)의 우선권 주장 출원이다.

<2> 본 발명은, 유기 전계발광 표시 장치에 관한 것이다.

배경 기술

<3> 유기 전계발광 소자(이하, 단지, 유기 EL 소자라고 약칭한다)를 발광 소자로서 이용한 유기 전계발광 표시 장치(이하, 단지, 유기 EL 표시 장치라고 약칭한다)에서, 유기 EL 소자의 휘도는, 유기 EL 소자를 흐르는 전류치에 의해 제어된다. 그리고, 액정 표시 장치와 마찬가지로, 유기 EL 표시 장치에서도, 구동 방식으로서, 단순 매트릭스 방식, 및, 액티브 매트릭스 방식이 주지(周知)하는 바이다. 액티브 매트릭스 방식은, 단순 매트릭스 방식에 비하여 구조가 복잡하게 된다는 결점은 있지만, 화상의 휘도를 높을 것으로 할 수 있는 등, 여러가지의 이점을 갖는다.

<4> 유기 EL 소자의 유기 전계발광 발광부(이하, 단지, 발광부라고 약칭한다)를 구동하기 위한 회로로서, 5개의 트랜지스터와 하나의 커패시터로 구성된 구동 회로(5Tr/1C 구동 회로라고 부른다)가, 예를 들면, 일본 특개2006-215213으로부터 주지하는 바이다. 이 종래의 5Tr/1C 구동 회로는, 도 3에 도시하는 바와 같이, 영상 신호 기록 트랜지스터(T_{Sig}), 구동 트랜지스터(T_{Drv}), 발광 제어 트랜지스터(T_{ELC}), 제 1 노드 초기화 트랜지스터(T_{ND1}), 제 2 노드 초기화 트랜지스터(T_{ND2})의 5개의 트랜지스터로 구성되고, 또한, 하나의 커패시터(C_1)로 구성되어 있다. 여기서, 구동 트랜지스터(T_{Drv})의 소스/드레인 영역은 제 2 노드(ND_2)에 상당하고, 구동 트랜지스터(T_{Drv})의 게이

트 전극은 제 1 노드(ND_1)에 상당한다.

<5> 이들의 트랜지스터 및 커패시터에 관해서는, 후에 상세하게 설명한다.

<6> 그리고, 도 5에 타이밍 차트를 도시하는 바와 같이, [기간-TP(5)₁]에서, 임계치 전압 캔슬 처리를 행하기 위한 전처리가 실행된다. 즉, 제 1 노드 초기화 트랜지스터(T_{ND1}) 및 제 2 노드 초기화 트랜지스터(T_{ND2})를 온 상태로 함으로써, 제 1 노드(ND_1)의 전위는, V_{ofs} (예를 들면, 0볼트)가 된다. 한편, 제 2 노드(ND_2)의 전위는, V_{ss} (예를 들면, -10볼트)가 된다. 그리고, 이것에 의해, 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스/드레인 영역(이하, 편의상, 소스 영역이라고 부른다) 사이의 전위차가 V_{th} 이상이 되고, 구동 트랜지스터(T_{Drv})는 온 상태로 된다.

<7> 뒤이어, [기간-TP(5)₂]에서, 임계치 전압 캔슬 처리가 행하여진다. 즉, 제 1 노드 초기화 트랜지스터(T_{ND1})의 온 상태를 유지한 채로, 발광 제어 트랜지스터(T_{ELC})를 온 상태로 한다. 그 결과, 부유(浮遊) 상태의 제 2 노드(ND_2)의 전위가 상승하고, 제 1 노드와 제 2 노드 사이의 전위차가 구동 트랜지스터의 임계치 전압에 근접한다. 그리고, 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차가 V_{th} 에 달하면, 구동 트랜지스터(T_{Drv})가 오프 상태로 된다. 이 상태에서는, 제 2 노드의 전위는, 대략 ($V_{ofs}-V_{th}$)이다. 그 후, [기간-TP(5)₃]에서, 제 1 노드 초기화 트랜지스터(T_{ND1})의 온 상태를 유지한 채로, 발광 제어 트랜지스터(T_{ELC})를 오프 상태로 한다. 다음에, [기간-TP(5)₄]에서, 제 1 노드 초기화 트랜지스터(T_{ND1})를 오프 상태로 한다.

<8> 뒤이어, [기간-TP(5)₅]에서, 구동 트랜지스터(T_{Drv})에 대한 일종의 기록 동작을 실행한다. 구체적으로는, 제 1 노드 초기화 트랜지스터(T_{ND1}), 제 2 노드 초기화 트랜지스터(T_{ND2}), 및, 발광 제어 트랜지스터(T_{ELC})의 오프 상태를 유지한 채로, 데이터선(DTL)의 전위를 영상 신호에 상당하는 전압[발광부(ELP)에서의 휘도를 제어하기 위한 구동 신호(휘도 신호)(V_{Sig})]로 하고, 뒤이어, 주사선(SCL)을 하이 레벨로 함에 의해 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태로 한다. 그 결과, 제 1 노드(ND_1)의 전위는, V_{Sig} 로 상승한다. 한편, 제 2 노드의 전위가 거의 변화하지 않는다면, 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차(V_{gs})는, 이하의 식 (A)와 같이 된다.

$$V_{gs} \doteq V_{Sig} - (V_{ofs} - V_{th}) \quad (A)$$

<10> 그 후, [기간-TP(5)₆]에서 구동 트랜지스터(T_{Drv})의 이동도(μ)의 대소에 의거한 구동 트랜지스터(T_{Drv})의 소스 영역(제 2 노드(ND_2))의 전위의 보정(이동도 보정 처리)을 행한다. 구체적으로는, 구동 트랜지스터(T_{Drv})의 온 상태를 유지한 채로, 발광 제어 트랜지스터(T_{ELC})를 온 상태로 하고, 뒤이어, 소정의 시간(t_0)이 경과한 후, 영상 신호 기록 트랜지스터(T_{Sig})를 오프 상태로 하고, 제 1 노드(ND_1)(구동 트랜지스터(T_{Drv})의 게이트 전극)를 부유 상태로 한다. 그 결과, 구동 트랜지스터(T_{Drv})의 이동도(μ)의 값이 큰 경우, 구동 트랜지스터(T_{Drv})의 소스 영역에서의 전위의 상승량(ΔV)(전위 보정치)은 커지고, 구동 트랜지스터(T_{Drv})의 이동도(μ)의 값이 작은 경우, 구동 트랜지스터(T_{Drv})의 소스 영역에서의 전위의 상승량(ΔV)(전위 보정치)은 작아진다. 여기서, 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차(V_{gs})는, 식 (A)으로부터 이하의 식 (B)와 같이 변형된다. 또한, 이동도 보정 처리를 실행하기 위한 소정의 시간([기간-TP(5)₆]의 전체 시간(t_0))는, 유기 EL 표시 장치의 설계에 즈음하여, 설계치로서 미리 결정하여 두면 좋다.

$$V_{gs} \doteq V_{Sig} - (V_{ofs} - V_{th}) - \Delta V \quad (B)$$

<12> 이상의 조작에 의해, 임계치 전압 캔슬 처리, 기록 처리, 이동도 보정 처리가 완료된다. 그리고, 그 후의 [기간-TP(5)₇]에서는, 영상 신호 기록 트랜지스터(T_{Sig})가 오프 상태로 되고, 제 1 노드(ND_1), 즉, 구동 트랜지스터(T_{Drv})의 게이트 전극은 부유 상태로 되는 한편, 발광 제어 트랜지스터(T_{ELC})는 온 상태를 유지하고 있고, 발광 제어 트랜지스터(T_{ELC})의 한쪽의 소스/드레인 영역(이하, 편의상, 드레인 영역이라고 부른다)은, 발광부(ELP)의 발광을 제어하기 위한 전류 공급부(전압(V_{cc}), 예를 들면 20볼트)에 접속된 상태에 있다. 따라서, 이상의 결과로

서, 제 2 노드(ND_2)의 전위가 상승하고, 이른바 부트 스트랩 회로에서와 같은 현상이 구동 트랜지스터(T_{Drv})의 게이트 전극에 생기고, 제 1 노드(ND_1)의 전위도 상승한다. 그 결과, 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차(V_{gs})는, 식 (B)의 값을 유지한다. 또한, 발광부(ELP)를 흐르는 전류는, 구동 트랜지스터(T_{Drv})의 한쪽의 소스/드레인 영역(이하, 편의상, 드레인 영역이라고 부른다)으로부터 소스 영역으로 흐르는 드레인 전류(I_{ds})이기 때문에, 식 (C)로 표시할 수 있다.

<13>
$$I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2$$

<14>
$$= k \cdot \mu \cdot (V_{sig} - V_{ofs} - \Delta V)^2 \quad (C)$$

<15> 이상으로 개요를 설명한 5Tr/1C 구동 회로의 구동 등에 관해서도, 후에 상세히 설명한다.

발명의 내용

해결 하고자하는 과제

<16> 그런데, 각 보정 동작에 관해 생각하면, 임계치 전압 캔슬 처리 전(前)에 있어서, 구동 트랜지스터(T_{Drv})의 게이트 전압에 인가되는 전압은 V_{ss} 은 일정하다. 한편, 이동도 보정 처리에서는, 구동 트랜지스터(T_{Drv})의 소스 영역의 전압은, 식 (B)로부터도 분명한 바와 같이, 구동 신호(휘도 신호)(V_{sig})에 의존하고 있고, 일정하지가 않다. 이동도 보정 처리에서는, 이동도 보정 처리중의 발광부(ELP)의 애노드 전극의 전위(구동 트랜지스터(T_{Drv})의 소스 영역의 전위)는, 발광부(ELP)의 발광에 필요하게 되는 임계치 전압(V_{th-EL}) 미만으로 할 필요가 있다. 여기서, 유기 EL 소자의 휘도를 높게 하는 경우에는 큰 전류가 구동 트랜지스터(T_{Drv})를 흐르기 때문에, 발광부(ELP)가 갖는 기생 커패시터(C_{EL})의 용량치(c_{EL})가 작을수록, 구동 트랜지스터(T_{Drv})의 소스 영역에서의 전위의 상승량(ΔV)(전위 보정치)의 상승 속도가 빨라진다. 따라서, 발광부(ELP)가 갖는 기생 커패시터(C_{EL})의 용량치(c_{EL})가 작을수록, 이동도 보정 처리를 실행하는 시간을 보다 단축할 필요가 있고, 이동도 보정 처리의 시간의 제어가 매우 어려워진다. 또한, 발광부(ELP)가 갖는 기생 커패시터(C_{EL})의 용량치(c_{EL})에 상대적으로 큰 편차가 존재하는 경우, 구동 트랜지스터(T_{Drv})의 소스 영역에서의 전위의 상승량(ΔV)(전위 보정치)에 큰 편차가 발생할 우려가 있다.

<17> 또한, 유기 전계발광 표시 장치의 대형화에 수반하여, 발광부(ELP)에 흘러야 할 전류도 커지고, 하나의 화소를 구성하는 3개의 부화소(예를 들면, 적색 발광 부화소, 녹색 발광 부화소, 청색 발광 부화소)에서의 기생 커패시터의 용량치의 차가 크게 표면화한다는 문제도 있다. 또한, 발광부(ELP)의 면적을 조정함으로써 발광부(ELP)의 기생 커패시터의 용량치의 차를 작게 하는 방법도 고려되지만, 면적이 작은 부화소에서는 발광부(ELP)에 흐르는 전류의 전류 밀도가 커지기 때문에, 발광부(ELP)의 수명이 짧아져 버린다는 문제가 있다.

<18> 따라서 본 발명의 목적은, 이동도 보정 처리를 실행하는 시간의 제어를 용이하게 할 수 있는 구조를 가지며, 유기 전계발광 발광부에서의 기생 커패시터의 용량치에 상대적으로 큰 편차가 존재하여도 문제가 생기기 어렵고, 또한, 하나의 화소를 구성하는 복수의 부화소에서의 기생 커패시터의 차를 작게 할 수 있는 구조를 갖는 유기 전계발광 표시 장치를 제공하는 데 있다.

<19> 본 발명의 제 1의 양태에 따르면, 유기 전계발광 표시 장치는, 복수의 화소를 구비한다. 상기 표시 장치에서, 하나의 화소는 복수의 부화소로 구성되어 있고, 각 부화소는, 구동 회로와, 이 구동 회로에 접속된 유기 전계발광 발광부가 적층된 구조를 갖는 유기 전계발광 소자로 구성되어 있다. 하나의 화소를 구성하는 복수의 부화소 중, 하나의 부화소를 구성하는 구동 회로에는, 이 구동 회로를 구성하는 유기 전계발광 발광부와 병렬로 접속된 보조 커패시터가 접속되어 있고, 이 보조 커패시터는, 구동 회로와 동일면 내에 마련되어 있는 것을 특징으로 한다.

<20> 본 발명의 제 1의 양태에 관한 유기 전계발광 표시 장치에서는, 하나의 화소를 구성하는 복수의 부화소에 있어서, 이들의 복수의 부화소를 구성하는 구동 회로의 크기는 같은 구성으로 할 수 있다. 단, 이와 같은 구성으로 한정하는 것이 아니고, 하나의 화소를 구성하는 복수의 부화소를 구성하는 구동 회로의 적어도 2개의 각각에는, 이들의 구동 회로의 각각을 구성하는 유기 전계발광 발광부와 병렬로 접속된 보조 커패시터가 접속되어 있고,

이들의 보조 커패시터는 구동 회로와 동일면 내에 마련되어 있고, 이들의 보조 커패시터의 용량의 값은 같은 또는 다른 구성으로 할 수도 있다.

- <21> 본 발명의 제 2의 양태에 따르면, 유기 전계발광 표시 장치는, 복수의 화소를 구비한다. 또한, 하나의 화소는 복수의 부화소로 구성되어 있고, 각 부화소는, 구동 회로와, 이 구동 회로에 접속된 유기 전계발광 발광부가 적층된 구조를 갖는 유기 전계발광 소자로 구성되어 있고, 하나의 화소를 구성하는 복수의 부화소에 있어서, 이들의 복수의 부화소를 구성하는 구동 회로중, 하나의 구동 회로는 다른 구동 회로보다도 크고, 이 하나의 구동 회로에는, 이 구동 회로를 구성하는 유기 전계발광 발광부와 병렬로 접속된 보조 커패시터가 마련되어 있는 것을 특징으로 한다.
- <22> 또한, 본 발명의 제 2의 양태에 관한 유기 전계발광 표시 장치에 있어서, 하나의 화소를 구성하는 복수의 부화소를 구성하는 구동 회로의 적어도 2개의 각각에는, 이들의 구동 회로의 각각을 구성하는 유기 전계발광 발광부와 병렬로 접속된 보조 커패시터가 마련되어 있고, 이들의 보조 커패시터의 용량의 값은 같은 또는 다른 구성으로 할 수도 있다.
- <23> 본 발명의 제 1의 양태 또는 제 2의 양태에 관한 유기 전계발광 표시 장치(이하, 이들을 총칭하여, 단지, 본 발명의 유기 EL 표시 장치, 또는 본 발명이라고 부른다)에 있어서, 어느 부화소를 구성하는 구동 회로에 보조 커패시터를 접속하는지, 또는 또한, 어느 부화소를 구성하는 구동 회로에 보조 커패시터를 마련하는지는, 주로, 유기 전계발광 발광부가 갖는 기생 커패시터의 용량치에 의존한다. 또한, 유기 전계발광 발광부가 갖는 기생 커패시터의 용량치는, 유기 전계발광 발광부의 발광층을 구성하는 재료에 크게 의존한다. 본 발명의 제 1의 양태에 관한 유기 전계발광 표시 장치에 있어서, 하나의 부화소를 구성하는 구동 회로에서의 유기 전계발광 발광부가 갖는 기생 커패시터의 용량치를 c_{EL} , 이 구동 회로에 접속된 보조 커패시터의 용량치를 c_{Sub} 로 하였을 때, 예를 들면, $c_{Sub} \geq 0.2c_{EL}$, 바람직하게는 $c_{Sub} \geq 0.4c_{EL}$ 를 만족하는 것이 바람직하다. 또한, 본 발명의 제 2의 양태에 관한 유기 전계발광 표시 장치에 있어서, 하나의 구동 회로의 크기를 S_1 , 다른 구동 회로의 크기를 S_2 로 하였을 때, 예를 들면, $S_1 \geq 1.2S_2$, 바람직하게는 $S_1 \geq 1.3S_2$ 를 만족하는 것이 바람직하다. 나아가서는, 본 발명의 제 2의 양태에 관한 유기 전계발광 표시 장치에서의 하나의 구동 회로에 있어서, 유기 전계발광 발광부가 갖는 기생 커패시터의 용량치를 c_{EL} , 보조 커패시터의 용량치를 c_{Sub} 로 하였을 때, 예를 들면, $c_{Sub} \geq 0.2c_{EL}$, 바람직하게는 $c_{Sub} \geq 0.4c_{EL}$ 를 만족하는 것이 바람직하다.
- <24> 이상으로 설명한 바람직한 구성을 포함하는 본 발명의 유기 EL 표시 장치에 있어서, 구동 회로는, 또한,
- <25> (A) 소스/드레인 영역, 채널 형성 영역, 및, 게이트 전극을 구비한 구동 트랜지스터,
- <26> (B) 소스/드레인 영역, 채널 형성 영역, 및, 게이트 전극을 구비한 영상 신호 기록 트랜지스터, 및,
- <27> (C) 한 쌍의 전극을 구비한 커패시터로 구성되어 있고,
- <28> 또한, 구동 트랜지스터에서는,
- <29> (A-1) 구동 트랜지스터의 하나의 소스/드레인 영역은, 전류 공급부에 접속되어 있고,
- <30> (A-2) 구동 트랜지스터의 다른 소스/드레인 영역은, 유기 전계발광 발광부에 구비된 애노드 전극에 접속되고, 또한, 커패시터의 한쪽의 전극에 접속되어 있고, 제 2 노드를 구성하고,
- <31> (A-3) 구동 트랜지스터의 게이트 전극은, 영상 신호 기록 트랜지스터의 다른쪽의 소스/드레인 영역에 접속되고, 또한, 커패시터의 다른쪽의 전극에 접속되어 있고, 제 1 노드를 구성하고,
- <32> 영상 신호 기록 트랜지스터에서는,
- <33> (B-1) 영상 신호 기록 트랜지스터의 하나의 소스/드레인 영역은, 데이터선에 접속되어 있고,
- <34> (B-2) 영상 신호 기록 트랜지스터의 게이트 전극은, 주사선에 접속되어 있는 구성으로 할 수 있다.
- <35> 여기서, 본 발명의 유기 EL 표시 장치는,
- <36> (a) 주사 회로,
- <37> (b) 영상 신호 출력 회로,
- <38> (c) 제 1의 방향으로 N개, 제 1의 방향과는 다른 제 2의 방향으로 M개, 합계 $N \times M$ 개의, 2차원 매트릭스형상으로

배열된 유기 전계발광 소자,

<39> (d) 주사 회로에 접속되고, 제 1의 방향으로 들어나는 M개의 주사선,

<40> (e) 영상 신호 출력 회로에 접속되고, 제 2의 방향으로 들어나는 N개의 데이터선, 및,

<41> (f) 전류 공급부를 구비하고 있는 구성으로 할 수 있다.

<42> 본 발명에서는, 하나의 화소는 복수의 부화소로 구성되어 있지만, 구체적으로는, 하나의 화소는, 적색 발광 부화소, 녹색 발광 부화소, 청색 발광 부화소의 3개의 부화소로 구성되어 있는 형태로 할 수 있다. 또한, 하나의 화소는 이들의 3종의 부화소에 또한 1종류 또는 복수종류의 부화소를 더한 1조(組)(예를 들면, 휘도 향상을 위해 백색광을 발광하는 부화소를 더한 1조, 색 재현 범위를 확대하기 위해 보색을 발광하는 부화소를 더한 1조, 색 재현 범위를 확대하기 위해 옐로우를 발광하는 부화소를 더한 1조, 색 재현 범위를 확대하기 위해 옐로우 및 시안을 발광하는 부화소를 더한 1조)로 구성할 수도 있다.

<43> 본 발명의 유기 EL 표시 장치에 있어서, 주사 회로, 영상 신호 출력 회로, 주사선, 데이터선, 전류 공급부, 유기 전계발광 발광부(이하, 단지, 발광부라고 부르는 경우가 있다)의 구성, 구조는, 주지의 구성, 구조로 할 수 있다. 구체적으로는, 발광부는, 예를 들면, 애노드 전극, 정공 수송층, 발광층, 전자 수송층, 캐소드 전극 등으로 구성할 수 있다.

<44> 구동 회로의 상세는 후술하지만, 5개의 트랜지스터와 하나의 커패시터로 구성된 구동 회로(5Tr/1C 구동 회로), 4개의 트랜지스터와 하나의 커패시터로 구성된 구동 회로(4Tr/1C 구동 회로라고 부른다), 3개의 트랜지스터와 하나의 커패시터로 구성된 구동 회로(3Tr/1C 구동 회로라고 부른다), 2개의 트랜지스터와 하나의 커패시터로 구성된 구동 회로(2Tr/1C 구동 회로라고 부른다)로 구성할 수 있다.

<45> 구동 회로를 구성하는 트랜지스터로서, n채널형의 박막 트랜지스터(TFT)를 들 수 있지만, 경우에 따라서는, 예를 들면, 발광 제어 트랜지스터에 p채널형의 박막 트랜지스터를 이용할 수도 있다. 나아가서는, 실리콘 반도체 기판에 형성된 전계 효과 트랜지스터(예를 들면, MOS 트랜지스터)로 구성할 수도 있다. 보조 커패시터는, 한쪽의 전극, 다른쪽의 전극, 및, 이들의 전극에 끼운 유전체층(절연층)으로 구성할 수 있다. 커패시터도, 한쪽의 전극, 다른쪽의 전극, 및, 이들의 전극에 끼운 유전체층(절연층)으로 구성할 수 있다. 구동 회로를 구성하는 트랜지스터 및 커패시터, 및, 보조 커패시터는, 어떤 평면 내에 형성되고(예를 들면, 지지체상에 형성되고), 발광부는, 예를 들면, 층간절연층을 통하여, 구동 회로를 구성하는 트랜지스터 및 커패시터, 및, 보조 커패시터의 상방에 형성되어 있다. 또한, 구동 트랜지스터의 다른쪽의 소스/드레인 영역은, 발광부에 구비된 애노드 전극에, 예를 들면, 콘택트 홀을 통하여 접속되어 있다. 나아가서는, 보조 커패시터의 한쪽의 전극도, 구동 트랜지스터의 다른쪽의 소스/드레인 영역에 접속되어 있다.

<46> 본 발명에서는, 구동 트랜지스터의 소스 영역(제 2 노드)에 보조 커패시터를 접속함으로써, 이동도 보정 처리에서, 구동 트랜지스터의 소스 영역(제 2 노드)의 전위의 상승 속도를 느리게 하는 것이 가능해지고, 이동도 보정 처리를 실행하는 시간을 길게 할 수 있는 결과, 이동도 보정 처리의 시간의 제어가 용이해진다. 또한, 발광부가 갖는 기생 커패시터의 용량치의 편차를 상대적으로 작게 할 수 있기 때문에, 구동 트랜지스터의 소스 영역에서의 전위의 상승량(ΔV)(전위 보정치)에 큰 편차가 발생하는 것을 방지할 수 있다. 나아가서는, 본 발명에 의해, 구동 트랜지스터의 소스 영역(제 2 노드)의 전위의 상승 속도를 느리게 할 수 있기 때문에, 유기 전계발광 발광부에 큰 역(逆)바이어스 전압을 인가할 필요가 없고, 점(点)결함 수를 적게 억제하는 것이 가능해진다. 또한, 본 발명에 의하면, 유기 전계발광 발광부의 크기를 바꿀 필요가 없기 때문에, 유기 전계발광 발광부를 흐르는 전류의 전류 밀도를 낮게 하는 것이 가능해지고, 유기 전계발광 소자의 장수명화가 실현 가능해진다.

발명의 실시를 위한 구체적인 내용

<47> 이하, 도면을 참조하여, 실시예에 의거하여 본 발명을 설명한다.

<48> [실시예 1]

<49> 실시예 1은, 본 발명의 제 1의 양태에 관한 유기 EL 표시 장치에 관한 것이다. 하나의 화소가 차지하는 평면에서의 개념도(평면도)를 도 1의 (A)에 도시하고, 3개의 구동 회로 및 하나의 보조 커패시터(C_{sub})가 차지하는 평면에서의 개념도(평면도)를 도 1의 (B)에 도시한다. 또한, 1화소를 점선으로 둘러싸고, 부화소, 구동 회로, 보조 커패시터를 실선으로 둘러쌌다. 도 1의 (A), (B), (C)에서는 2쌍의 화소를 표시하였다.

- <50> 실시예 1 또는 후술하는 실시예 2의 유기 EL 표시 장치는, 복수의 화소를 구비한 유기 EL 표시 장치이다. 그리고 하나의 화소는 복수의 부화소(실시예 1 또는 후술하는 실시예 2에서는, 3개의 부화소인 적색 발광 부화소, 녹색 발광 부화소, 청색 발광 부화소)로 구성되어 있고, 각 부화소는, 구동 회로(11)와, 이 구동 회로(11)에 접속된 유기 전계발광 발광부(발광부(ELP))가 적층된 구조를 갖는 유기 전계발광 소자(유기 EL 소자(10))로 구성되어 있다. 또한, 적색 발광 부화소를 구성하는 구동 회로를 참조 번호 11R로 나타내고, 녹색 발광 부화소를 구성하는 구동 회로를 참조 번호 11G로 나타내고, 청색 발광 부화소를 구성하는 구동 회로를 참조 번호 11B로 나타낸다.
- <51> 그리고, 실시예 1의 유기 EL 표시 장치에서는, 도 17에 등가 회로도를 도시하는 바와 같이, 하나의 화소를 구성하는 복수의 부화소중, 하나의 부화소(예를 들면, 청색 발광 부화소)를 구성하는 구동 회로(11B)에는, 이 구동 회로(11B)를 구성하는 발광부(ELP)와 병렬로 접속된 보조 커패시터(C_{Sub})가 접속되어 있고, 이 보조 커패시터(C_{Sub})는 구동 회로와 동일면 내에 마련되어 있다. 도 18에 등가 회로도를 도시하는 바와 같이, 다른 부화소(예를 들면, 적색 발광 부화소 및 녹색 발광 부화소)를 구성하는 구동 회로(11R, 11G)에는 보조 커패시터(C_{Sub})는 접속되어 있지 않다. 또한, 어떤 색을 발광하는 부화소를 구성하는 구동 회로에 보조 커패시터(C_{Sub})를 접속하는지는, 주로, 발광부(ELP)가 갖는 기생 커패시터(C_{EL})의 용량치(c_{EL})에 의존한다. 또한, 발광부(ELP)가 갖는 기생 커패시터(C_{EL})의 용량치(c_{EL})는, 발광부(ELP)의 발광층을 구성하는 재료에 크게 의존한다.
- <52> 실시예 1에서는, 하나의 화소를 구성하는 복수의 부화소에 있어서, 이들의 복수의 부화소를 구성하는 구동 회로(11R, 11G, 11B)의 크기를 같게 하였다. 보다 구체적으로는, 하나의 화소(3개의 부화소)를 구성하는 발광부(ELP)가 차지하는 총 면적과, 3개의 구동 회로(11R, 11G, 11B) 및 하나의 보조 커패시터(C_{Sub})가 차지한 총 면적은, 대강 동등하다. 또한, 예를 들면, 하나의 구동 회로(11R, 11G, 11B)가 차지하는 면적과 하나의 보조 커패시터(C_{Sub})가 차지하는 면적은, 대강 동등하다. 나아가서는, 3개의 부화소의 각각을 구성하는 발광부(ELP)가 차지하는 면적은, 대강 동등하다. 또한, 하나의 부화소를 구성하는 구동 회로(11B)에서의 발광부(ELP)가 갖는 기생 커패시터의 용량치를 c_{EL} , 이 구동 회로(11B)에 접속된 보조 커패시터의 용량치를 c_{Sub} 로 하였을 때, $c_{Sub} \approx 0.4c_{EL}$ 이다.
- <53> 여기서, 실시예 1의 유기 EL 표시 장치, 또는, 후술하는 실시예 2의 유기 EL 표시 장치는, 도 19에 회로의 개념도를 도시하는 바와 같이,
- <54> (a) 주사 회로(101),
- <55> (b) 영상 신호 출력 회로(102),
- <56> (c) 제 1의 방향으로 N개, 제 1의 방향과는 다른 제 2의 방향(구체적으로는, 제 1의 방향에 직교하는 방향)으로 M개, 합계 $N \times M$ 개의, 2차원 매트릭스형상으로 배열된 유기 EL 소자(10),
- <57> (d) 주사 회로(101)에 접속되고, 제 1의 방향으로 늘어나는 M개의 주사선(SCL),
- <58> (e) 영상 신호 출력 회로(102)에 접속되고, 제 2의 방향으로 늘어나는 N개의 데이터선(DTL), 및,
- <59> (f) 전류 공급부(100)를 구비하고 있다. 또한, 도 19 또는, 후술하는 도 4, 도 9, 도 14에서는, 3×3 개의 유기 EL 소자(10)를 도시하고 있지만, 이것은, 어디까지나 예시에 불과하다.
- <60> 또한, 실시예 1 또는 후술하는 실시예 2의 특징인 보조 커패시터(C_{Sub})는, 2트랜지스터/1커패시터로 기본적으로 구성된 구동 회로뿐만 아니라, 5트랜지스터/1커패시터로 기본적으로 구성된 구동 회로, 4트랜지스터/1커패시터로 기본적으로 구성된 구동 회로, 3트랜지스터/1커패시터로 기본적으로 구성된 구동 회로에도 적용할 수 있다. 여기서, 실시예 1 또는 후술하는 실시예 2에서의, 5트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 등가 회로도를 도 2(구동 회로(11B, 111B)에 관한 것) 및 도 3(구동 회로(11R, 11G, 111R, 111G)에 관한 것)에 도시하고, 4트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 등가 회로도를 도 7(구동 회로(11B, 111B)에 관한 것) 및 도 8(구동 회로(11R, 11G, 111R, 111G)에 관한 것)에 도시하고, 3트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 등가 회로도를 도 12(구동 회로(11B, 111B)에 관한 것) 및 도 13(구동 회로(11R, 11G, 111R, 111G)에 관한 것)에 도시한다. 또한, 2트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 등가 회로도는, 도 17(구동 회로(11B, 111B)에 관한 것) 및 도 18(구동 회로(11R, 11G, 111R, 111G)에 관한 것)에

도시한 바와 같다.

- <61> 발광부(ELP)는, 예를 들면, 애노드 전극, 정공 수송층, 발광층, 전자 수송층, 캐소드 전극 등의 주지의 구성, 구조를 갖는다. 또한, 주사선(SCL)의 일단에 주사 회로(101)가 마련되어 있다. 나아가서는, 주사 회로(101), 영상 신호 출력 회로(102), 주사선(SCL), 데이터선(DTL), 전류 공급부(100)의 구성, 구조는, 주지의 구성, 구조로 할 수 있다. 후술하는 실시예 2의 유기 EL 표시 장치도 마찬가지로 할 수 있다.
- <62> 구동 회로는, 실시예 1 또는 후술하는 실시예 2에서는, 2개의 트랜지스터와 하나의 커패시터(C_1)로 구성된 구동 회로(2Tr/1C 구동 회로)로 구성되어 있다. 즉, 실시예 1의 구동 회로는, 도 17 또는 도 18에 도시하는 바와 같이, 구동 트랜지스터(T_{drv}), 영상 신호 기록 트랜지스터(T_{sig}), 및, 한 쌍의 전극을 구비한 커패시터(C_1)로 구성되어 있다. 구동 트랜지스터(T_{drv})는, 소스/드레인 영역, 채널 형성 영역, 및, 게이트 전극을 구비한, n채널형의 TFT로 이루어진다. 또한, 영상 신호 기록 트랜지스터(T_{sig})도, 소스/드레인 영역, 채널 형성 영역, 및, 게이트 전극을 구비한, n채널형의 TFT로 이루어진다. 나아가서는, 도 17에 도시하는 바와 같이, 구동 회로(11B)에 접속된 보조 커패시터(C_{sub})가 마련되고, 게다가, 이 보조 커패시터(C_{sub})는, 구동 회로(11B)를 구성하는 발광부(ELP)와 병렬로 접속되어 있다.
- <63> 여기서, 구동 트랜지스터(T_{drv})에서는,
- <64> (A-1) 한쪽의 소스/드레인 영역(이하, 드레인 영역이라고 부른다)은, 전류 공급부(100)에 접속되어 있고,
- <65> (A-2) 다른쪽의 소스/드레인 영역(이하, 소스 영역이라고 부른다)은, 발광부(ELP)에 구비된 애노드 전극에 접속되고, 또한, 커패시터(C_1)의 한쪽의 전극에 접속되어 있고, 제 2 노드(ND_2)를 구성하고,
- <66> (A-3) 게이트 전극은, 영상 신호 기록 트랜지스터(T_{sig})의 다른쪽의 소스/드레인 영역에 접속되고, 또한, 커패시터(C_1)의 다른쪽의 전극에 접속되어 있고, 제 1 노드(ND_1)를 구성한다.
- <67> 또한, 영상 신호 기록 트랜지스터(T_{sig})에서는,
- <68> (B-1) 한쪽의 소스/드레인 영역은, 데이터선(DTL)에 접속되어 있고,
- <69> (B-2) 게이트 전극은, 주사선(SCL)에 접속되어 있다.
- <70> 보다 구체적으로는, 도 23에 일부분의 모식적인 일부 단면도를 도시하는 바와 같이, 구동 회로를 구성하는 트랜지스터(T_{sig} , T_{drv}) 및 커패시터(C_1)는 지지체상에 형성되고, 발광부(ELP)는, 예를 들면, 층간절연층(40)을 통하여, 구동 회로를 구성하는 트랜지스터(T_{sig} , T_{drv}) 및 커패시터(C_1)의 상방에 형성되어 있다. 또한, 구동 트랜지스터(T_{drv})의 다른쪽의 소스/드레인 영역은, 발광부(ELP)에 구비된 애노드 전극에, 콘택트 홀을 통하여 접속되어 있다. 또한, 도 23에서는, 구동 트랜지스터(T_{drv})만을 도시한다. 영상 신호 기록 트랜지스터(T_{sig}), 보조 커패시터(C_{sub}), 또는, 후술하는 해당 외의 구동 회로에서 여러가지의 트랜지스터는 은폐되어 보이지 않는다.
- <71> 보다 구체적으로는, 구동 트랜지스터(T_{drv})는, 게이트 전극(31), 게이트 절연층(32), 반도체층(33)에 마련된 소스/드레인 영역(35), 및, 소스/드레인 영역(35)의 사이의 반도체층(33)의 부분이 해당하는 채널 형성 영역(34)으로 구성되어 있다. 한편, 커패시터(C_1)는, 다른쪽의 전극(36), 게이트 절연층(32)의 연재부로 구성된 유전체층, 및, 한쪽의 전극(37)(제 2 노드(ND_2)에 상당한다)으로 이루어진다. 게이트 전극(31), 게이트 절연층(32)의 일부, 및 커패시터(C_1)를 구성하는 다른쪽의 전극(36)은, 지지체(20)상에 형성되어 있다. 구동 트랜지스터(T_{drv})의 한쪽의 소스/드레인 영역(35)은 배선(38)에 접속되고, 다른쪽의 소스/드레인 영역(35)은 한쪽의 전극(37)(제 2 노드(ND_2)에 상당한다)에 접속되어 있다. 구동 트랜지스터(T_{drv}) 및 커패시터(C_1) 등은, 층간절연층(40)으로 덮여 있고, 층간절연층(40)상에, 애노드 전극(51), 정공 수송층, 발광층, 전자 수송층, 및, 캐소드 전극(53)으로 이루어지는 발광부(ELP)가 마련되어 있다. 또한, 도 23에서는, 정공 수송층, 발광층, 및, 전자 수송층을 1층(52)으로 도시하였다. 발광부(ELP)가 마련되지 않은 층간절연층(40)의 부분의 위에는, 제 2 층간절연층(54)이 마련되고, 제 2 층간절연층(54) 및 캐소드 전극(53)상에는 투명한 기판(21)이 배치되어 있고, 발광층에서 발광한 광은, 기판(21)을 통과하여, 외부로 출사된다. 또한, 한쪽의 전극(37)(제 2 노드(ND_2))과 애노드 전극(5

1)은, 층간절연층(40)에 마련된 콘택트 홀에 의해 접속되어 있다. 또한, 캐소드 전극(53)은, 제 2 층간절연층(54), 층간절연층(40)에 마련된 콘택트 홀(56, 55)을 통하여, 게이트 절연층(32)의 연재부상에 마련된 배선(39)에 접속되어 있다.

<72> 실시예 1의 유기 EL 표시 장치에서는, 구동 트랜지스터(T_{drv})의 소스 영역(제 2 노드(ND_2))에 보조 커패시터(C_{sub})가 접속되어 있기 때문에, 후술하는 이동도 보정 처리에서, 구동 트랜지스터(T_{drv})의 소스 영역(제 2 노드(ND_2))의 전위의 상승 속도를 느리게 하는 것이 가능해지고, 이동도 보정 처리를 실행하는 시간을 길게 할 수 있는 결과, 이동도 보정 처리의 시간의 제어가 용이해진다. 또한, 발광부(ELP)가 갖는 기생 커패시터(C_{el})의 용량치(c_{el})의 편차를 상대적으로 작게 할 수 있기 때문에, 구동 트랜지스터(T_{drv})의 소스 영역(제 2 노드(ND_2))에서의 전위의 상승량(ΔV)(전위 보정치)에 큰 편차가 발생하는 것을 방지할 수 있다. 또한, 발광부(ELP)의 크기를 부화소의 종류마다 바꿀 필요가 없기 때문에, 발광부(ELP)를 흐르는 전류의 전류 밀도를 낮게 하는 것이 가능해지고, 유기 EL 소자의 장수명화가 실현 가능해진다.

<73> [실시예 2]

<74> 실시예 2는, 본 발명의 제 2의 양태에 관한 유기 EL 표시 장치에 관한 것이다. 하나의 화소가 차지하는 평면에서의 개념도(평면도)를 도 1의 (C)에 도시한다.

<75> 실시예 2의 유기 EL 표시 장치는, 복수의 화소를 구비한 유기 EL 표시 장치이다. 그리고 하나의 화소는 복수의 부화소(실시예 2에서도 3개의 부화소인 적색 발광 부화소, 녹색 발광 부화소, 청색 발광 부화소)로 구성되어 있고, 각 부화소는, 구동 회로(111)와, 이 구동 회로(111)에 접속된 유기 전계발광 발광부(발광부(ELP))가 적층된 구조를 갖는 유기 전계발광 소자(유기 EL 소자(10))로 구성되어 있다.

<76> 그리고, 하나의 화소를 구성하는 복수의 부화소에 있어서, 도 17에 등가 회로도를 도시하는 바와 같이, 이들의 복수의 부화소를 구성하는 구동 회로중, 하나의 구동 회로(예를 들면, 청색 발광 부화소를 구성하는 구동 회로(111B))는 다른 구동 회로(예를 들면, 적색 발광 부화소를 구성하는 구동 회로(111R) 및 녹색 발광 부화소를 구성하는 구동 회로(111G))보다도 크고, 이 하나의 구동 회로(111B)에는, 이 구동 회로(111B)를 구성하는 발광부(ELP)와 병렬로 접속된 보조 커패시터(C_{sub})가 마련되어 있다. 도 18에 등가 회로도를 도시하는 바와 같이, 다른 부화소(예를 들면, 적색 발광 부화소 및 녹색 발광 부화소)를 구성하는 구동 회로(111R, 111G)에는 보조 커패시터(C_{sub})는 접속되어 있지 않다. 또한, 어떤 색을 발광하는 부화소를 구성하는 구동 회로에 보조 커패시터(C_{sub})를 마련하는지는, 주로, 발광부(ELP)가 갖는 기생 커패시터(C_{el})의 용량치(c_{el})에 의존한다. 또한, 발광부(ELP)가 갖는 기생 커패시터(C_{el})의 용량치(c_{el})는, 발광부(ELP)의 발광층을 구성하는 재료에 크게 의존한다. 실시예 2에서는, 청색 발광 부화소를 구성하는 구동 회로(111B)의 크기를 S_B , 적색 발광 부화소를 구성하는 구동 회로(111R)의 크기를 S_R , 녹색 발광 부화소를 구성하는 구동 회로(111G)의 크기를 S_G 로 하였을 때, $S_B \approx 1.2S_R \approx 1.2S_G$ 를 만족하고 있다. 또한, 하나의 구동 회로(111B)에서, 발광부(ELP)가 갖는 기생 커패시터의 용량치를 c_{el} , 보조 커패시터(C_{sub})의 용량치를 c_{sub} 로 하였을 때, $c_{sub} \geq 0.2c_{el}$ 를 만족하고 있다.

<77> 실시예 2에서의 유기 EL 표시 장치 및 구동 회로(111R, 111G, 111B)의 기본적인 구성, 구조는, 실시예 1에서 설명한 유기 EL 표시 장치 및 구동 회로(11R, 11G, 11B)와 마찬가지로 할 수 있기 때문에, 상세한 설명은 생략한다.

<78> 또한, 실시예 1에서 설명한 구동 회로의 구성과, 실시예 2에서 설명한 구동 회로의 구성을 조합시켜도 좋다.

<79> 실시예 2의 유기 EL 표시 장치에서는, 하나의 화소를 구성하는 복수의 부화소에 있어서, 이들의 복수의 부화소를 구성하는 구동 회로중, 하나의 구동 회로(예를 들면, 구동 회로(111B))는 다른 구동 회로(예를 들면, 구동 회로(111R, 111G))보다도 크기 때문에, 이 하나의 구동 회로(111B)에, 발광부(ELP)와 병렬로 접속된 보조 커패시터(C_{sub})를 용이하게 마련할 수 있다. 그리고, 구동 트랜지스터(T_{drv})의 소스 영역(제 2 노드(ND_2))에 보조 커패시터(C_{sub})가 접속되어 있기 때문에, 후술하는 이동도 보정 처리에서, 구동 트랜지스터(T_{drv})의 소스 영역(제 2 노드(ND_2))의 전위의 상승 속도를 느리게 하는 것이 가능해지고, 이동도 보정 처리를 실행하는 시간을 길게 할 수 있는 결과, 이동도 보정 처리의 시간의 제어가 용이해진다. 또한, 발광부(ELP)가 갖는 기생 커패시터(C_{el})의 용량치(c_{el})의 편차를 상대적으로 작게 할 수 있기 때문에, 구동 트랜지스터(T_{drv})의 소스 영역(제 2 노드(ND_2))

에서의 전위의 상승량(ΔV)(전위 보정치)에 큰 편차가 발생하는 것을 방지할 수 있다. 또한, 발광부(ELP)의 크기를 부화소의 종류마다 바꿀 필요가 없기 때문에, 발광부(ELP)를 흐르는 전류의 전류 밀도를 낮게 하는 것이 가능해지고, 유기 EL 소자의 장수명화가 실현 가능해진다.

<80> 이하, 5Tr/1C 구동 회로, 4Tr/1C 구동 회로, 3Tr/1C 구동 회로, 2Tr/1C 구동 회로, 및, 이들의 구동 회로를 이용한 발광부(ELP)의 구동 방법을 설명한다. 또한, 이하의 설명에서는, 보조 커패시터(C_{Sub})에 관한 기술(記述), 즉, 이들의 구동 회로에는 보조 커패시터(C_{Sub})가 구비되고, 또한, 마련되어 있지만, 그 취지의 기재는 생략하였다.

<81> 유기 EL 표시 장치는, $(N/3) \times M$ 개의 2차원 매트릭스형상으로 배열된 화소로 구성되어 있는데, 이하의 설명에서, 하나의 화소는, 3개의 부화소(적색을 발광하는 적색 발광 부화소, 녹색을 발광하는 녹색 발광 부화소, 청색을 발광하는 청색 발광 부화소)로 구성되어 있다고 한다. 또한, 각 화소를 구성하는 유기 EL 소자(10)는, 선순차(線順次) 구동되는 것으로 하고, 표시 프레임 레이트를 FR(회/초)이라고 한다. 즉, 제 m행째(단, $m=1, 2, 3 \dots M$)에 배열된 $(N/3)$ 개의 화소(N개의 부화소)의 각각을 구성하는 유기 EL 소자(10)가 동시에 구동된다. 환언하면, 하나의 행을 구성하는 각 유기 EL 소자(10)에서는, 해당 발광/비발광의 타이밍은, 그것들이 속한 행 단위로 제어된다. 또한, 하나의 행을 구성하는 각 화소에 대해 영상 신호를 기록하는 처리는, 모든 화소에 대해 동시에 영상 신호를 기록하는 처리(이하, 단지, 동시 기록 처리라고 부르는 경우가 있다)라고도 좋고, 각 화소마다 순차적으로 영상 신호를 기록하는 처리(이하, 단지, 순차 기록 처리라고 부르는 경우가 있다)라고도 좋다. 어느 기록 처리로 하는지는, 구동 회로의 구성에 따라 적절히 선택하면 좋다.

<82> 여기서, 원칙으로서, 제 m행째, 제 n열(단, $n=1, 2, 3 \dots N$)에 위치하는 화소에서의 하나의 부화소를 구성하는 유기 EL 소자(10)에 관한 구동, 동작을 설명하는데, 이러한 부화소 또는 유기 EL 소자(10)를, 이하, 제 (n, m) 번째의 부화소 또는 제 (n, m) 번째의 유기 EL 소자(10)라고 부른다. 그리고, 제 m행째에 배열된 각 유기 EL 소자(10)의 수평 주사 기간(제 m 번째의 수평 주사 기간)이 종료될 때까지, 각종의 처리(후술하는 임계치 전압 캔슬 처리, 기록 처리, 이동도 보정 처리)가 행하여진다. 또한, 기록 처리나 이동도 보정 처리는, 제 m 번째의 수평 주사 기간 내에 행하여질 필요가 있다. 한편, 구동 회로의 종류에 따라서는, 임계치 전압 캔슬 처리나 이것에 수반하는 전처리를 제 m 번째의 수평 주사 기간보다 선행하고 행할 수 있다.

<83> 그리고, 상술한 각종의 처리가 전부 종료한 후, 제 m행째에 배열된 각 유기 EL 소자(10)를 구성하는 발광부를 발광시킨다. 또한, 상술한 각종의 처리가 전부 종료한 후, 곧바로 발광부를 발광시켜도 좋고, 소정의 기간(예를 들면, 소정의 행 수만큼의 수평 주사 기간)이 경과한 후에 발광부를 발광시켜도 좋다. 이 소정의 기간은, 유기 EL 표시 장치의 사양이나 구동 회로의 구성 등에 따라, 적절히 설정할 수 있다. 또한, 이하의 설명에서는, 설명의 편의를 위해, 각종의 처리 종료 후, 곧바로 발광부를 발광시키는 것으로 한다. 그리고, 제 m행째에 배열된 각 유기 EL 소자(10)를 구성하는 발광부의 발광은, 제 $(m+m')$ 행째에 배열된 각 유기 EL 소자(10)의 수평 주사 기간의 시작 직전까지 계속된다. 여기서, 「m'」는, 유기 EL 표시 장치의 설계 사양에 의해 결정된다. 즉, 어떤 표시 프레임의 제 m행째에 배열된 각 유기 EL 소자(10)를 구성하는 발광부의 발광은, 제 $(m+m'-1)$ 번째의 수평 주사 기간까지 계속된다. 한편, 제 $(m+m')$ 번째의 수평 주사 기간의 시기(始期)로부터, 다음의 표시 프레임에서의 제 m 번째의 수평 주사 기간 내에서 기록 처리나 이동도 보정 처리가 완료될 때까지, 제 m행째에 배열된 각 유기 EL 소자(10)를 구성하는 발광부는, 비발광 상태를 유지한다. 상술한 비발광 상태의 기간(이하, 단지, 비발광 기간이라고 부르는 경우가 있다)을 마련함에 의해, 액티브 매트릭스 구동에 수반하는 잔상 흐름이 저감되고, 동화 품질을 보다 우수한 것으로 할 수 있다. 단, 각 부화소(유기 EL 소자(10))의 발광 상태/비발광 상태는, 이상으로 설명한 상태로 한정하는 것이 아니다. 또한, 수평 주사 기간의 시간 길이는, $(1/FR) \times (1/M)$ 초 미만의 시간 길이이다. $(m+m')$ 의 값이 M을 초과하는 경우, 초과한 분의 수평 주사 기간은, 다음의 표시 프레임에서 처리된다.

<84> 하나의 트랜지스터가 갖는 2개의 소스/드레인 영역에서, 「한쪽의 소스/드레인 영역」이라는 용어를, 전원부에 접속된 측의 소스/드레인 영역이라는 의미에서 사용하는 경우가 있다. 또한, 트랜지스터가 온 상태에 있다는 것은, 소스/드레인 영역 사이에 채널이 형성되어 있는 상태를 의미한다. 이러한 트랜지스터의 한쪽의 소스/드레인 영역부터 다른쪽의 소스/드레인 영역으로 전류가 흐르고 있는지의 여부는 불문한다. 한편, 트랜지스터가 오프 상태에 있다는 것은, 소스/드레인 영역 사이에 채널이 형성되지 않은 상태를 의미한다. 또한, 어떤 트랜지스터의 소스/드레인 영역이 다른 트랜지스터의 소스/드레인 영역에 접속되어 있다는 것은, 어떤 트랜지스터의 소스/드레인 영역과 다른 트랜지스터의 소스/드레인 영역이 같은 영역을 차지하고 있는 형태를 포함한다. 나아가서는, 소스/드레인 영역은, 불순물을 함유한 폴리실리콘이나 어모퍼스 실리콘 등의 도전성 물질로 구성할

수 있을 뿐만 아니라, 금속, 합금, 도전성 입자, 이들의 적층 구조, 유기 재료(도전성 고분자)로 이루어지는 층으로 구성할 수 있다. 또한, 이하의 설명에서 이용하는 타이밍 차트에서, 각 기간을 나타내는 횡축의 길이(시간 길이)는 모식적인 것이고, 각 기간의 시간 길이의 비율을 나타내는 것이 아니다.

<85> [5Tr/1C 구동 회로]

<86> 5Tr/1C 구동 회로의 등가 회로도를 도 2 및 도 3에 도시하고, 개념도를 도 4를 도시하고, 구동의 타이밍 차트를 모식적으로 도 5에 도시하고, 각 트랜지스터의 온/오프 상태 등을 모식적으로 도 6(A) 내지 (I)에 도시한다. 또한, 구동의 상태를 모식적으로 도시하는 도 6, 도 11, 도 16, 도 21에서, 보조 커패시터(C_{sub})의 도시를 생략하였다.

<87> 이 5Tr/1C 구동 회로는, 영상 신호 기록 트랜지스터(T_{sig}), 구동 트랜지스터(T_{drv}), 발광 제어 트랜지스터(T_{elc}), 제 1 노드 초기화 트랜지스터(T_{nd1}), 제 2 노드 초기화 트랜지스터(T_{nd2})의 5개의 트랜지스터로 구성되고, 또한, 하나의 커패시터(C_1)로 구성되어 있다.

<88> [발광 제어 트랜지스터(T_{elc})]

<89> 발광 제어 트랜지스터(T_{elc})의 한쪽의 소스/드레인 영역은, 전류 공급부(100)(전압(V_{cc}))에 접속되고, 발광 제어 트랜지스터(T_{elc})의 다른쪽의 소스/드레인 영역은, 구동 트랜지스터(T_{drv})의 한쪽의 소스/드레인 영역에 접속되어 있다. 또한, 발광 제어 트랜지스터(T_{elc})의 온/오프 동작은, 발광 제어 트랜지스터(T_{elc})의 게이트 전극에 접속된 발광 제어 트랜지스터 제어선(CL_{elc})에 의해 제어된다. 또한, 전류 공급부(100)는, 유기 EL 소자(10)의 발광부(ELP)에 전류를 공급하고, 발광부(ELP)의 발광을 제어하기 위해 마련되어 있다. 또한, 발광 제어 트랜지스터 제어선(CL_{elc})은, 발광 제어 트랜지스터 제어 회로(103)에 접속되어 있다.

<90> [구동 트랜지스터(T_{drv})]

<91> 구동 트랜지스터(T_{drv})의 한쪽의 소스/드레인 영역은, 상술한 바와 같이, 발광 제어 트랜지스터(T_{elc})의 다른쪽의 소스/드레인 영역에 접속되어 있다. 즉, 구동 트랜지스터(T_{drv})의 한쪽의 소스/드레인 영역은, 발광 제어 트랜지스터(T_{elc})를 통하여, 전류 공급부(100)에 접속되어 있다. 한편, 구동 트랜지스터(T_{drv})의 다른쪽의 소스/드레인 영역은,

<92> (1) 발광부(ELP)의 애노드 전극,

<93> (2) 제 2 노드 초기화 트랜지스터(T_{nd2})의 다른쪽의 소스/드레인 영역, 및,

<94> (3) 커패시터(C_1)의 한쪽의 전극에 접속되어 있고, 제 2 노드(ND_2)를 구성한다.

<95> 또한, 구동 트랜지스터(T_{drv})의 게이트 전극은,

<96> (1) 영상 신호 기록 트랜지스터(T_{sig})의 다른쪽의 소스/드레인 영역,

<97> (2) 제 1 노드 초기화 트랜지스터(T_{nd1})의 다른쪽의 소스/드레인 영역, 및,

<98> (3) 커패시터(C_1)의 다른쪽의 전극에 접속되어 있고, 제 1 노드(ND_1)를 구성한다.

<99> 여기서, 구동 트랜지스터(T_{drv})는, 유기 EL 소자(10)의 발광 상태에서는, 이하의 식 (1)에 따라 드레인 전류(I_d)가 흐르도록 구동된다. 유기 EL 소자(10)의 발광 상태에서는, 구동 트랜지스터(T_{drv})의 한쪽의 소스/드레인 영역은 드레인 영역으로서 작용하고, 다른쪽의 소스/드레인 영역은 소스 영역으로서 작용한다. 설명의 편의를 위해, 이하의 설명에서, 구동 트랜지스터(T_{drv})의 한쪽의 소스/드레인 영역을 단지 드레인 영역이라고 부르고, 다른쪽의 소스/드레인 영역을 단지 소스 영역이라고 부르는 경우가 있다. 또한,

<100> μ : 실효적인 이동도

<101> L : 채널 길이

- <102> W : 채널 폭
- <103> V_{gs} : 게이트 전극과 소스 영역 사이의 전위차
- <104> V_{th} : 임계치 전압
- <105> C_{ox} : (게이트 절연층의 비유전율)×(진공의 유전율)/(게이트 절연층의 두께)
- <106> $k \equiv (1/2) \cdot (W/L) \cdot C_{ox}$ 로 한다.
- <107> $I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2$ (1)
- <108> 이 드레인 전류(I_{ds})가 유기 EL 소자(10)의 발광부(ELP)를 흐름으로써, 유기 EL 소자(10)의 발광부(ELP)가 발광한다. 나아가서는, 이 드레인 전류(I_{ds})의 값의 대소에 의해, 유기 EL 소자(10)의 발광부(ELP)에서의 발광 상태(휘도)가 제어된다.
- <109> [영상 신호 기록 트랜지스터(T_{Sig})]
- <110> 영상 신호 기록 트랜지스터(T_{Sig})의 다른쪽의 소스/드레인 영역은, 상술한 바와 같이, 구동 트랜지스터(T_{Drv})의 게이트 전극에 접속되어 있다. 한편, 영상 신호 기록 트랜지스터(T_{Sig})의 한쪽의 소스/드레인 영역은, 데이터선(DTL)에 접속되어 있다. 그리고, 영상 신호 출력 회로(102)로부터 데이터선(DTL)을 통하여, 발광부(ELP)에서의 휘도를 제어하기 위한 구동 신호(휘도 신호)(V_{Sig})가, 한쪽의 소스/드레인 영역에 공급된다. 또한, 데이터선(DTL)을 통하여, V_{Sig} 이외의 여러가지의 신호·전압(프리차지 구동을 위한 신호나 각종의 기준 전압 등)이, 한쪽의 소스/드레인 영역에 공급되어도 좋다. 또한, 영상 신호 기록 트랜지스터(T_{Sig})의 온/오프 동작은, 영상 신호 기록 트랜지스터(T_{Sig})의 게이트 전극에 접속된 주사선(SCL)에 의해 제어된다.
- <111> [제 1 노드 초기화 트랜지스터(T_{ND1})]
- <112> 제 1 노드 초기화 트랜지스터(T_{ND1})의 다른쪽의 소스/드레인 영역은, 상술한 바와 같이, 구동 트랜지스터(T_{Drv})의 게이트 전극에 접속되어 있다. 한편, 제 1 노드 초기화 트랜지스터(T_{ND1})의 한쪽의 소스/드레인 영역에는, 제 1 노드(ND_1)의 전위(즉, 구동 트랜지스터(T_{Drv})의 게이트 전극의 전위)를 초기화하기 위한 전압(V_{ofs})이 공급된다. 또한, 제 1 노드 초기화 트랜지스터(T_{ND1})의 온/오프 동작은, 제 1 노드 초기화 트랜지스터(T_{ND1})의 게이트 전극에 접속된 제 1 노드 초기화 트랜지스터 제어선(AZ_{ND1})에 의해 제어된다. 제 1 노드 초기화 트랜지스터 제어선(AZ_{ND1})은, 제 1 노드 초기화 트랜지스터 제어 회로(104)에 접속되어 있다.
- <113> [제 2 노드 초기화 트랜지스터(T_{ND2})]
- <114> 제 2 노드 초기화 트랜지스터(T_{ND2})의 다른쪽의 소스/드레인 영역은, 상술한 바와 같이, 구동 트랜지스터(T_{Drv})의 소스 영역에 접속되어 있다. 한편, 제 2 노드 초기화 트랜지스터(T_{ND2})의 한쪽의 소스/드레인 영역에는, 제 2 노드(ND_2)의 전위(즉, 구동 트랜지스터(T_{Drv})의 소스 영역의 전위)를 초기화하기 위한 전압(V_{ss})이 공급된다. 또한, 제 2 노드 초기화 트랜지스터(T_{ND2})의 온/오프 동작은, 제 2 노드 초기화 트랜지스터(T_{ND2})의 게이트 전극에 접속된 제 2 노드 초기화 트랜지스터 제어선(AZ_{ND2})에 의해 제어된다. 제 2 노드 초기화 트랜지스터 제어선(AZ_{ND2})은, 제 2 노드 초기화 트랜지스터 제어 회로(105)에 접속되어 있다.
- <115> [발광부(ELP)]
- <116> 발광부(ELP)의 애노드 전극은, 상술한 바와 같이, 구동 트랜지스터(T_{Drv})의 소스 영역에 접속되어 있다. 한편, 발광부(ELP)의 캐소드 전극에는, 전압(V_{cat})이 인가된다. 발광부(ELP)의 기생 커패시터를 부호 C_{EL} 로 나타낸다. 또한, 발광부(ELP)의 발광에 필요하게 되는 임계치 전압을 V_{th-EL} 로 한다. 즉, 발광부(ELP)의 애노드 전극과 캐소드 전극 사이에 V_{th-EL} 이상의 전압이 인가되면, 발광부(ELP)는 발광한다.

- <117> 이하의 설명에서, 전압 또는 전위의 값을 이하와 같이 하지만, 이것은, 어디까지나 설명을 위한 값이고, 이들의 값으로 한정되는 것이 아니다.
- <118> V_{Sig} : 발광부(ELP)에서 휘도를 제어하기 위한 구동 신호(휘도 신호) ... 0볼트 내지 10볼트
- <119> V_{CC} : 발광부(ELP)의 발광을 제어하기 위한 전류 공급부의 전압 ... 20볼트
- <120> V_{ofs} : 구동 트랜지스터(T_{Drv})의 게이트 전극의 전위(제 1 노드(ND_1)의 전위)를 초기화하기 위한 전압 ... 0볼트
- <121> V_{SS} : 구동 트랜지스터(T_{Drv})의 소스 영역의 전위(제 2 노드(ND_2)의 전위)를 초기화하기 위한 전압 ... -10볼트
- <122> V_{th} : 구동 트랜지스터(T_{Drv})의 임계치 전압 ... 3볼트
- <123> V_{Cat} : 발광부(ELP)의 캐소드 전극에 인가되는 전압 ... 0볼트
- <124> V_{th-EL} : 발광부(ELP)의 임계치 전압 ... 3볼트
- <125> 이하, 5Tr/1C 구동 회로의 동작 설명을 행한다. 또한, 상술한 바와 같이, 각종의 처리(임계치 전압 캔셀 처리, 기록 처리, 이동도 보정 처리)가 전부 완료한 후, 곧바로 발광 상태가 시작된 것으로 하여 설명하지만, 이것으로 한하는 것이 아니다. 후술하는 4Tr/1C 구동 회로, 3Tr/1C 구동 회로, 2Tr/1C 구동 회로의 설명에서도 마찬가지이다.
- <126> [기간-TP(5)₋₁](도 6(A) 참조)
- <127> 이 [기간-TP(5)₋₁]은, 예를 들면, 이전(前)의 표시 프레임에서의 동작이고, 전회의 각종의 처리 완료 후에 제 (n, m)번째의 유기 EL 소자(10)가 발광 상태에 있는 기간이다. 즉, 제 (n, m)번째의 부화소를 구성하는 유기 EL 소자(10)에서의 발광부(ELP)에는, 후술하는 식 (5)에 의거한 드레인 전류(I'_{ds})가 흐르고 있고, 제 (n, m)번째의 부화소를 구성하는 유기 EL 소자(10)의 휘도는, 이러한 드레인 전류(I'_{ds})에 대응한 값이다. 여기서, 영상 신호 기록 트랜지스터(T_{Sig}), 제 1 노드 초기화 트랜지스터(T_{ND1}) 및 제 2 노드 초기화 트랜지스터(T_{ND2})는 오프 상태이고, 발광 제어 트랜지스터(T_{ELC}) 및 구동 트랜지스터(T_{Drv})는 온 상태이다. 제 (n, m)번째의 유기 EL 소자(10)의 발광 상태는, 제 (m+m')번째에 배열된 유기 EL 소자(10)의 수평 주사 기간의 시작 직전까지 계속된다.
- <128> 도 5에 도시하는 [기간-TP(5)₀] 내지 [기간-TP(5)₄]은, 전회의 각종의 처리 완료 후의 발광 상태가 종료된 후로부터, 다음의 기록 처리가 행하여지기 직전까지의 동작 기간이다. 즉, 이 [기간-TP(5)₀] 내지 [기간-TP(5)₄]은, 예를 들면, 이전의 표시 프레임에서 제 (m+m')번째의 수평 주사 기간의 시기(始期)로부터, 현 표시 프레임에서의 제 (m-1)번째의 수평 주사 기간의 종기(終期)까지의 어떤 시간 길이의 기간이다. 또한, [기간-TP(5)₁] 내지 [기간-TP(5)₄]를, 현 표시 프레임에서의 제 m번째의 수평 주사 기간 내에 포함하는 구성으로 할 수도 있다.
- <129> 그리고, 이 [기간-TP(5)₀] 내지 [기간-TP(5)₄]에서, 제 (n, m)번째의 유기 EL 소자(10)는 비발광 상태에 있다. 즉, [기간-TP(5)₀] 내지 [기간-TP(5)₁], [기간-TP(5)₃] 내지 [기간-TP(5)₄]에서는, 발광 제어 트랜지스터(T_{ELC})는 오프 상태이기 때문에, 유기 EL 소자(10)는 발광하지 않는다. 또한, [기간-TP(5)₂]에서는, 발광 제어 트랜지스터(T_{ELC})는 온 상태로 된다. 그러나, 이 기간에서는 후술하는 임계치 전압 캔셀 처리가 행하여지고 있다. 임계치 전압 캔셀 처리의 설명에서 상세히 기술하지만, 후술하는 식 (2)를 충족시키는 것을 전제로 하면, 유기 EL 소자(10)가 발광하는 일은 없다.
- <130> 이하, [기간-TP(5)₀] 내지 [기간-TP(5)₄]의 각 기간에 관해, 우선, 설명한다. 또한, [기간-TP(5)₁]의 시기나, [기간-TP(5)₁] 내지 [기간-TP(5)₄]의 각 기간의 길이는, 유기 EL 표시 장치의 설계에 따라 적절히 설정하면 좋다.
- <131> [기간-TP(5)₀]
- <132> 상술한 바와 같이, 이 [기간-TP(5)₀]에서, 제 (n, m)번째의 유기 EL 소자(10)는, 비발광 상태에 있다. 영상 신

호 기록 트랜지스터(T_{Sig}), 제 1 노드 초기화 트랜지스터(T_{ND1}), 제 2 노드 초기화 트랜지스터(T_{ND2})는 오프 상태이다. 또한, [기간-TP(5)₋₁]로부터 [기간-TP(5)₀]으로 이전되는 시점에서, 발광 제어 트랜지스터(T_{EL_C})가 오프 상태로 되기 때문에, 제 2 노드(ND_2)(구동 트랜지스터(T_{Drv})의 소스 영역 또는 발광부(ELP)의 애노드 전극)의 전위는, ($V_{th-EL}+V_{Cat}$)까지 저하되고, 발광부(ELP)는 비발광 상태로 된다. 또한, 제 2 노드(ND_2)의 전위 저하를 모방하도록, 부유 상태의 제 1 노드(ND_1)(구동 트랜지스터(T_{Drv})의 게이트 전극)의 전위도 저하된다.

<133> [기간-TP(5)₁](도 6(B) 및 (C) 참조)

<134> 이 [기간-TP(5)₁]에서, 후술하는 임계치 전압 캔슬 처리를 행하기 위한 전처리가 행하여진다. 즉, [기간-TP(5)₁]의 시작시, 제 1 노드 초기화 트랜지스터 제어 회로(104) 및 제 2 노드 초기화 트랜지스터 제어 회로(105)의 동작에 의거하여 제 1 노드 초기화 트랜지스터 제어선(AZ_{ND1}) 및 제 2 노드 초기화 트랜지스터 제어선(AZ_{ND2})을 하이 레벨로 함에 의해, 제 1 노드 초기화 트랜지스터(T_{ND1}) 및 제 2 노드 초기화 트랜지스터(T_{ND2})를 온 상태로 한다. 그 결과, 제 1 노드(ND_1)의 전위는, V_{ofs} (예를 들면, 0볼트)가 된다. 한편, 제 2 노드(ND_2)의 전위는, V_{ss} (예를 들면, -10볼트)가 된다. 그리고, 이 [기간-TP(5)₁]의 완료 이전에서, 제 2 노드 초기화 트랜지스터 제어 회로(105)의 동작에 의거하여 제 2 노드 초기화 트랜지스터 제어선(AZ_{ND2})을 로우 레벨로 함에 의해, 제 2 노드 초기화 트랜지스터(T_{ND2})를 오프 상태로 한다. 또한, 제 1 노드 초기화 트랜지스터(T_{ND1})의 온 상태 및 제 2 노드 초기화 트랜지스터(T_{ND2})를 동시에 온 상태로 하여도 좋고, 제 1 노드 초기화 트랜지스터(T_{ND1})를 먼저 온 상태로 하여도 좋고, 제 2 노드 초기화 트랜지스터(T_{ND2})를 먼저 온 상태로 하여도 좋다.

<135> 이상의 처리에 의해, 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차가 V_{th} 이상이 되고, 구동 트랜지스터(T_{Drv})는 온 상태로 된다.

<136> [기간-TP(5)₂](도 6(D) 참조)

<137> 다음에, 임계치 전압 캔슬 처리가 행하여진다. 즉, 제 1 노드 초기화 트랜지스터(T_{ND1})의 온 상태를 유지한 채로, 발광 제어 트랜지스터 제어 회로(103)의 동작에 의거하여 발광 제어 트랜지스터 제어선(CL_{EL_C})을 하이 레벨로 함에 의해, 발광 제어 트랜지스터(T_{EL_C})를 온 상태로 한다. 그 결과, 제 1 노드(ND_1)의 전위는 변화하지 않지만($V_{ofs}=0$ 볼트를 유지), 부유 상태의 제 2 노드(ND_2)의 전위는 상승하고, 제 1 노드(ND_1)와 제 2 노드(ND_2) 사이의 전위차가 구동 트랜지스터(T_{Drv})의 임계치 전압(V_{th})에 근접한다. 그리고, 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차가 V_{th} 에 달하면, 구동 트랜지스터(T_{Drv})가 오프 상태로 된다. 구체적으로는, 부유 상태의 제 2 노드(ND_2)의 전위가 ($V_{ofs}-V_{th}=-3\text{볼트}>V_{ss}$)에 근접하고, 최종적으로 ($V_{ofs}-V_{th}$)가 된다. 여기서, 이하의 식 (2)가 보증되어 있으면, 환언하면, 식 (2)를 만족하도록 전위를 선택, 결정하여 두면, 발광부(ELP)가 발광하는 일은 없다. 또한, 정성적(定性的)으로는, 임계치 전압 캔슬 처리에서, 제 1 노드(ND_1)와 제 2 노드(ND_2) 사이의 전위차(환언하면, 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차)가 구동 트랜지스터(T_{Drv})의 임계치 전압(V_{th})에 근접하는 정도는, 임계치 전압 캔슬 처리의 시간에 의해 좌우된다. 따라서, 예를 들면 임계치 전압 캔슬 처리의 시간을 충분히 길게 확보한 경우에는, 제 1 노드(ND_1)와 제 2 노드(ND_2) 사이의 전위차는 구동 트랜지스터(T_{Drv})의 임계치 전압(V_{th})에 달하고, 구동 트랜지스터(T_{Drv})는 오프 상태로 된다. 한편, 예를 들면 임계치 전압 캔슬 처리의 시간을 짧게 설정한 경우에는, 제 1 노드(ND_1)와 제 2 노드(ND_2) 사이의 전위차가 구동 트랜지스터(T_{Drv})의 임계치 전압(V_{th})보다 크고, 구동 트랜지스터(T_{Drv})는 오프 상태로는 되지 않는 경우가 있다. 즉, 임계치 전압 캔슬 처리의 결과로서, 반드시 구동 트랜지스터(T_{Drv})가 오프 상태로 되는 것을 필요로 하지 않는다.

<138> ($V_{ofs}-V_{th}) < (V_{th-EL}+V_{Cat})$ (2)

<139> 이 [기간-TP(5)₂]에서는, 제 2 노드(ND_2)의 전위는, 예를 들면, 최종적으로, ($V_{ofs}-V_{th}$)가 된다. 즉, 구동 트랜지

스터(T_{Drv})의 임계치 전압(V_{th}), 및, 구동 트랜지스터(T_{Drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs})만에 의존하여, 제 2 노드(ND_2)의 전위는 결정된다. 환언하면, 발광부(ELP)의 임계치 전압(V_{th-EL})에는 의존하지 않는다.

<140> [기간-TP(5)₃](도 6(E) 참조)

<141> 그 후, 제 1 노드 초기화 트랜지스터(T_{ND1})의 온 상태를 유지한 채로, 발광 제어 트랜지스터 제어 회로(103)의 동작에 의거하여 발광 제어 트랜지스터 제어선(CL_{ELC})을 로우 레벨로 함에 의해, 발광 제어 트랜지스터(T_{ELC})를 오프 상태로 한다. 그 결과, 제 1 노드(ND_1)의 전위는 변화하지 않고($V_{ofs}=0$ 볼트를 유지), 부유 상태의 제 2 노드(ND_2)의 전위도 변화하지 않고, ($V_{ofs}-V_{th}=-3$ 볼트)를 유지한다.

<142> [기간-TP(5)₄](도 6(F) 참조)

<143> 뒤이어, 제 1 노드 초기화 트랜지스터 제어 회로(104)의 동작에 의거하여 제 1 노드 초기화 트랜지스터 제어선(AZ_{ND1})을 로우 레벨로 함에 의해, 제 1 노드 초기화 트랜지스터(T_{ND1})를 오프 상태로 한다. 제 1 노드(ND_1) 및 제 2 노드(ND_2)의 전위는, 실질상, 변화하지 않는다(실제로는, 기생 커패시터 등의 정전 결합에 의해 전위 변화가 생길 수 있지만, 통상, 이들은 무시할 수 있다).

<144> 뒤이어, [기간-TP(5)₅] 내지 [기간-TP(5)₇]의 각 기간에 관해 설명한다. 또한, 후술하는 바와 같이, [기간-TP(5)₅]에서 기록 처리가 행하여지고, [기간-TP(5)₆]에서 이동도 보정 처리가 행하여진다. 상술한 바와 같이, 이들의 처리는, 제 m번째의 수평 주사 기간 내에 행하여질 필요가 있다. 설명의 편의를 위해, [기간-TP(5)₅]의 시기와 [기간-TP(5)₆]의 종기는, 각각, 제 m번째의 수평 주사 기간의 시기와 종기에 일치하는 것으로 하여 설명한다.

<145> [기간-TP(5)₅](도 6(G) 참조)

<146> 그 후, 구동 트랜지스터(T_{Drv})에 대한 기록 처리를 실행한다. 구체적으로는, 제 1 노드 초기화 트랜지스터(T_{ND1}), 제 2 노드 초기화 트랜지스터(T_{ND2}), 및, 발광 제어 트랜지스터(T_{ELC})의 오프 상태를 유지한 채로, 영상 신호 출력 회로(102)의 동작에 의거하여, 데이터선(DTL)의 전위를, 발광부(ELP)에서의 휘도를 제어하기 위한 구동 신호(휘도 신호)(V_{Sig})로 하고, 뒤이어, 주사 회로(101)의 동작에 의거하여 주사선(SCL)을 하이 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태로 한다. 그 결과, 제 1 노드(ND_1)의 전위는, V_{Sig} 로 상승한다.

<147> 여기서, 커패시터(C_1)의 용량은 값(C_1)이고, 발광부(ELP)의 기생 커패시터(C_{EL})의 용량은 값(c_{EL})이다. 그리고, 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 기생 커패시터의 값을 c_{gs} 로 한다. 구동 트랜지스터(T_{Drv})의 게이트 전극의 전위가 V_{ofs} 로부터 $V_{Sig}(>V_{ofs})$ 로 변화한 때, 커패시터(C_1)의 양단의 전위(제 1 노드(ND_1) 및 제 2 노드(ND_2)의 전위)는, 원칙으로서 변화한다. 즉, 구동 트랜지스터(T_{Drv})의 게이트 전극의 전위(=제 1 노드(ND_1)의 전위)의 변화분($V_{Sig}-V_{ofs}$)에 의거한 전하가, 커패시터(C_1), 발광부(ELP)의 기생 커패시터(C_{EL}), 보조 커패시터(C_{Sub})가 접속되어 있는 구동 회로에서는 보조 커패시터(C_{Sub}), 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 기생 커패시터로 배분된다. 그런데도 불구하고, 값(c_{EL})이나 값(c_{Sub})이, 값(c_1) 및 값(c_{gs})과 비교하여 충분히 큰 값이면, 구동 트랜지스터(T_{Drv})의 게이트 전극의 전위의 변화분($V_{Sig}-V_{ofs}$)에 의거하는 구동 트랜지스터(T_{Drv})의 소스 영역(제 2 노드(ND_2))의 전위의 변화는 작다. 그리고, 일반적으로, 발광부(ELP)의 기생 커패시터(C_{EL})의 용량치(c_{EL})는, 커패시터(C_1)의 용량치(c_1) 및 구동 트랜지스터(T_{Drv})의 기생 커패시터의 값(c_{gs})보다도 크다. 그래서, 설명의 편의를 위해, 특별한 필요가 있는 경우를 제외하고, 제 1 노드(ND_1)의 전위 변화에 의해 생기는 제 2 노드(ND_2)의 전위 변화는 고려하지 않고 설명을 행한다. 다른 구동 회로에서도 마찬가지이다. 도시한 구동의 타이밍 차트도, 제 1 노드(ND_1)의 전위 변화에 의해 생기는 제 2 노드(ND_2)의 전위 변화를 고려하지 않고 나타내었다. 구동 트랜지스터(T_{Drv})의 게이트 전극(제 1 노드(ND_1))의 전위를 V_g , 구동 트랜지스터(T_{Drv})의 소스 영역(제 2 노드(ND_2))의 전위를 V_s 로 하였을 때, V_g 의 값, V_s 의 값은 이하와 같이 된다. 그러

므로, 제 1 노드(ND_1)와 제 2 노드(ND_2)의 전위차, 즉, 구동 트랜지스터(T_{drv})의 게이트 전극과 소스 영역 사이의 전위차(V_{gs})는, 이하의 식 (3)으로 표시할 수 있다.

<148> $V_g = V_{Sig}$

<149> $V_s \doteq V_{ofs} - V_{th}$

<150> $V_{gs} \doteq V_{Sig} - (V_{ofs} - V_{th}) \quad (3)$

<151> 즉, 구동 트랜지스터(T_{drv})에 대한 기록 처리에서 얻어진 V_{gs} 는, 발광부(ELP)에서의 휘도를 제어하기 위한 구동 신호(휘도 신호)(V_{Sig}), 구동 트랜지스터(T_{drv})의 임계치 전압(V_{th}), 및, 구동 트랜지스터(T_{drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs})만에 의존하고 있다. 그리고, 발광부(ELP)의 임계치 전압(V_{th-EL})과는 관계가 없다.

<152> [기간-TP(5)₆](도 6(H) 참조)

<153> 그 후, 구동 트랜지스터(T_{drv})의 이동도(μ)의 대소에 의거한 구동 트랜지스터(T_{drv})의 소스 영역(제 2 노드(ND_2))의 전위의 보정(이동도 보정 처리)을 행한다.

<154> 일반적으로, 구동 트랜지스터(T_{drv})를 폴리실리콘 박막 트랜지스터 등으로 제작한 경우, 트랜지스터 사이에서 이동도(μ)에 편차가 생기는 것은 피하기 어렵다. 따라서, 이동도(μ)에 차이가 있는 복수의 구동 트랜지스터(T_{drv})의 게이트 전극에 같은 값의 구동 신호(V_{Sig})를 인가한다고 하여도, 이동도(μ)가 큰 구동 트랜지스터(T_{drv})를 흐르는 드레인 전류(I_{ds})와, 이동도(μ)가 작은 구동 트랜지스터(T_{drv})를 흐르는 드레인 전류(I_{ds}) 사이에, 차이가 생겨 버린다. 그리고, 이와 같은 차이가 생기면, 유기 EL 표시 장치의 화면의 균일성이 손상되어 버린다.

<155> 따라서 구체적으로는, 구동 트랜지스터(T_{drv})의 온 상태를 유지한 채로, 발광 제어 트랜지스터 제어 회로(103)의 동작에 의거하여 발광 제어 트랜지스터 제어선(CL_{ELC})을 하이 레벨로 함에 의해, 발광 제어 트랜지스터(T_{ELC})를 온 상태로 하고, 뒤이어, 소정의 시간(t_0)이 경과한 후, 주사 회로(101)의 동작에 의거하여 주사선(SCL)을 로우 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 오프 상태로 하고, 제 1 노드(ND_1)(구동 트랜지스터(T_{drv}))의 게이트 전극을 부유 상태로 한다. 그리고, 이상의 결과, 구동 트랜지스터(T_{drv})의 이동도(μ)의 값이 큰 경우, 구동 트랜지스터(T_{drv})의 소스 영역에서의 전위의 상승량(ΔV)(전위 보정치)은 커지고, 구동 트랜지스터(T_{drv})의 이동도(μ)의 값이 작은 경우, 구동 트랜지스터(T_{drv})의 소스 영역에서의 전위의 상승량(ΔV)(전위 보정치)은 작아진다. 여기서, 구동 트랜지스터(T_{drv})의 게이트 전극과 소스 영역 사이의 전위차(V_{gs})는, 식 (3)으로부터 이하의 식 (4)와 같이 변형된다.

<156> $V_{gs} \doteq V_{Sig} - (V_{ofs} - V_{th}) - \Delta V \quad (4)$

<157> 또한, 이동도 보정 처리를 실행하기 위한 소정의 시간([기간-TP(5)₆])의 전체 시간(t_0)은, 유기 EL 표시 장치의 설계에 즈음하여, 설계치로서 미리 결정하여 두면 좋다. 또한, 이때의 구동 트랜지스터(T_{drv})의 소스 영역에서의 전위($V_{ofs} - V_{th} + \Delta V$)가 이하의 식 (2')를 만족하도록, [기간-TP(5)₆]의 전체 시간(t_0)은 결정되어 있다. 그리고, 이것에 의해, [기간-TP(5)₆]에서, 발광부(ELP)가 발광하는 일은 없다. 나아가서는, 이 이동도 보정 처리에 의해, 계수(k)($\equiv (1/2) \cdot (W/L) \cdot C_{ox}$)의 편차의 보정도 동시에 행하여진다.

<158> $(V_{ofs} - V_{th} + \Delta V) < (V_{th-EL} + V_{Cat}) \quad (2')$

<159> [기간-TP(5)₇](도 6(I) 참조)

<160> 이상의 조작에 의해, 임계치 전압 캔슬 처리, 기록 처리, 이동도 보정 처리가 완료된다. 그런데, 주사 회로(101)의 동작에 의거하여 주사선(SCL)이 로우 레벨로 되는 결과, 영상 신호 기록 트랜지스터(T_{Sig})가 오프 상태로 되고, 제 1 노드(ND_1), 즉, 구동 트랜지스터(T_{drv})의 게이트 전극은 부유 상태로 된다. 한편, 발광 제어 트랜

지스터(T_{ELC})는 온 상태를 유지하고 있고, 발광 제어 트랜지스터(T_{ELC})의 드레인 영역은, 발광부(ELP)의 발광을 제어하기 위한 전류 공급부(100)(전압(V_{CC}), 예를 들면 20볼트)에 접속된 상태에 있다. 따라서, 이상의 결과로서, 제 2 노드(ND_2)의 전위는 상승한다.

<161> 여기서, 상술한 바와 같이, 구동 트랜지스터(T_{Drv})의 게이트 전극은 부유 상태에 있고, 게다가, 커패시터(C_1)가 존재하기 때문에, 이른바 부트 스트랩 회로에서와 같은 현상이 구동 트랜지스터(T_{Drv})의 게이트 전극에 생기고, 제 1 노드(ND_1)의 전위도 상승한다. 그 결과, 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차(V_{gs})는, 식 (4)의 값을 유지한다.

<162> 또한, 제 2 노드(ND_2)의 전위가 상승하고, ($V_{th-EL}+V_{cat}$)를 초과하기 때문에, 발광부(ELP)는 발광을 시작한다. 이 때, 발광부(ELP)를 흐르는 전류는, 구동 트랜지스터(T_{Drv})의 드레인 영역으로부터 소스 영역으로 흐르는 드레인 전류(I_{ds})이기 때문에, 식 (1)로 표시할 수 있다. 여기서, 식 (1)과 식 (4)로부터, 식 (1)은, 이하의 식 (5)와 같이 변형할 수 있다.

<163>
$$I_{ds}=k \cdot \mu \cdot (V_{Sig}-V_{ofs}-\Delta V)^2 \quad (5)$$

<164> 따라서 발광부(ELP)를 흐르는 전류(I_{ds})는, 예를 들면, V_{ofs} 를 0볼트에 설정하였다고 한 경우, 발광부(ELP)에서의 휘도를 제어하기 위한 구동 신호(휘도 신호)(V_{Sig})의 값으로부터, 구동 트랜지스터(T_{Drv})의 이동도(μ)에 기인하는 제 2 노드(ND_2)(구동 트랜지스터(T_{Drv})의 소스 영역)에서의 전위 보정치(ΔV)의 값을 뺀 값의 2승에 비례한다. 환언하면, 발광부(ELP)를 흐르는 전류(I_{ds})는, 발광부(ELP)의 임계치 전압(V_{th-EL}), 및, 구동 트랜지스터(T_{Drv})의 임계치 전압(V_{th})에는 의존하지 않는다. 즉, 발광부(ELP)의 발광량(휘도)은, 발광부(ELP)의 임계치 전압(V_{th-EL})의 영향, 및, 구동 트랜지스터(T_{Drv})의 임계치 전압(V_{th})의 영향을 받지 않는다. 그리고, 제 (n, m)번째의 유기 EL 소자(10)의 휘도는, 이러한 전류(I_{ds})에 대응한 값이다.

<165> 게다가, 이동도(μ)가 큰 구동 트랜지스터(T_{Drv})일수록, 전위 보정치(ΔV)가 커지기 때문에, 식 (4)의 좌변의 V_{gs} 의 값이 작아진다. 따라서, 식 (5)에서, 이동도(μ)의 값이 크더라도, ($V_{Sig}-V_{ofs}-\Delta V$)의 값이 작아지는 결과, 드레인 전류(I_{ds})를 보정할 수 있다. 즉, 이동도(μ)가 다른 구동 트랜지스터(T_{Drv})에서도, 구동 신호(휘도 신호)(V_{Sig})의 값이 같으면, 드레인 전류(I_{ds})가 개략 같아지는 결과, 발광부(ELP)를 흐르고, 발광부(ELP)의 휘도를 제어하는 전류(I_{ds})가 균일화된다. 즉, 이동도(μ)의 편차(나아가서는, k의 편차)에 기인하는 발광부의 휘도의 편차를 보정할 수 있다.

<166> 발광부(ELP)의 발광 상태를 제 (m+m'-1)번째의 수평 주사 기간까지 계속한다. 이 시점은, [기간-TP(5)₋₁]의 끝에 상당한다.

<167> 이상으로써, 유기 EL 소자(10)[제 (n, m)번째의 부화소(유기 EL 소자(10))]의 발광의 동작이 완료된다.

<168> 상술한 바와 같이, 이동도 보정 처리를 실행하기 위한 소정의 시간([기간-TP(5)₆]의 전체 시간(t_0))은, 유기 EL 표시 장치의 설계에 즈음하여, 설계치로서 미리 결정하여 두면 좋다. 그러나, 발광부(ELP)의 기생 커패시터(C_{EL})의 용량치(c_{EL})가 작을수록, 구동 트랜지스터(T_{Drv})의 소스 영역에서의 전위의 상승량(ΔV)(전위 보정치)의 상승 속도가 빨라지는 결과, 실시예에서 설명한 바와 같이, 실제의 [기간-TP(5)₆]의 시간(t)은, 단축할 필요가 생긴다. 따라서, 이동도 보정 처리를 실행하는 시간의 제어가 매우 어렵게 된다. 또한, 발광부(ELP)가 갖는 기생 커패시터(C_{EL})의 용량치(c_{EL})에 상대적으로 큰 편차가 존재하는 경우, 구동 트랜지스터(T_{Drv})의 소스 영역에서의 전위의 상승량(ΔV)(전위 보정치)에 큰 편차가 발생한다. 그러나, 실시예의 유기 EL 표시 장치에서는, 구동 트랜지스터(T_{Drv})의 소스 영역(제 2 노드(ND_2))에 보조 커패시터(C_{Sub})가 접속되어 있기 때문에, 이동도 보정 처리에서, 구동 트랜지스터(T_{Drv})의 소스 영역(제 2 노드(ND_2))의 전위의 상승 속도를 느리게 하는 것이 가능해지고, 이동도 보정 처리를 실행하는 시간을 길게 할 수 있는 결과, 이동도 보정 처리의 시간의 제어가 용이해진다. 또

한, 발광부(ELP)가 갖는 기생 커패시터(C_{EL})의 용량치(c_{EL})의 편차를 상대적으로 작게 할 수 있기 때문에, 구동 트랜지스터(T_{Drv})의 소스 영역(제 2 노드(ND_2))에서의 전위의 상승량(ΔV)(전위 보정치)에 큰 편차가 발생하는 것을 방지할 수 있다. 또한, 발광부(ELP)의 크기를 부화소의 종류마다 바꿀 필요가 없기 때문에, 발광부(ELP)를 흐르는 전류의 전류 밀도를 낮게 하는 것이 가능해지고, 유기 EL 소자의 장수명화가 실현 가능해진다. 이하에 설명하는 4Tr/1C 구동 회로, 3Tr/1C 구동 회로, 및, 2Tr/1C 구동 회로에서도, 마찬가지이다.

- <169> 다음에, 4Tr/1C 구동 회로에 관한 설명을 행한다.
- <170> [4Tr/1C 구동 회로]
- <171> 4Tr/1C 구동 회로의 등가 회로도를 도 7 및 도 8에 도시하고, 개념도를 도 9에 도시하고, 구동의 타이밍 차트를 모식적으로 도 10에 도시하고, 각 트랜지스터의 온/오프 상태 등을 모식적으로 도 11(A) 내지 (H)에 도시한다.
- <172> 이 4Tr/1C 구동 회로에서는, 전술한 5Tr/1C 구동 회로에서, 제 1 노드 초기화 트랜지스터(T_{ND1})가 생략되어 있다. 즉, 이 4Tr/1C 구동 회로는, 영상 신호 기록 트랜지스터(T_{Sig}), 구동 트랜지스터(T_{Drv}), 발광 제어 트랜지스터(T_{EL_C}), 제 2 노드 초기화 트랜지스터(T_{ND2})의 4개의 트랜지스터로 구성되고, 또한, 하나의 커패시터(C_1)로 구성되어 있다.
- <173> [발광 제어 트랜지스터(T_{EL_C})]
- <174> 발광 제어 트랜지스터(T_{EL_C})의 구성은, 5Tr/1C 구동 회로에서 설명한 발광 제어 트랜지스터(T_{EL_C})의 구성과 같기 때문에, 상세한 설명은 생략한다.
- <175> [구동 트랜지스터(T_{Drv})]
- <176> 구동 트랜지스터(T_{Drv})의 구성은, 5Tr/1C 구동 회로에서 설명한 구동 트랜지스터(T_{Drv})의 구성과 같기 때문에, 상세한 설명은 생략한다.
- <177> [제 2 노드 초기화 트랜지스터(T_{ND2})]
- <178> 제 2 노드 초기화 트랜지스터(T_{ND2})의 구성은, 5Tr/1C 구동 회로에서 설명한 제 2 노드 초기화 트랜지스터(T_{ND2})의 구성과 같기 때문에, 상세한 설명은 생략한다.
- <179> [영상 신호 기록 트랜지스터(T_{Sig})]
- <180> 영상 신호 기록 트랜지스터(T_{Sig})의 구성은, 5Tr/1C 구동 회로에서 설명한 영상 신호 기록 트랜지스터(T_{Sig})의 구성과 같기 때문에, 상세한 설명은 생략한다. 단, 영상 신호 기록 트랜지스터(T_{Sig})의 한쪽의 소스/드레인 영역은, 데이터선(DTL)에 접속되어 있지만, 영상 신호 출력 회로(102)로부터, 발광부(ELP)에서의 회로를 제어하기 위한 구동 신호(회도 신호)(V_{Sig})뿐만 아니라, 구동 트랜지스터(T_{Drv})의 게이트 전극을 초기화하기 위한 전압(V_{Ofs})도 공급된다. 이 점이, 5Tr/1C 구동 회로에서 설명한 영상 신호 기록 트랜지스터(T_{Sig})의 동작과 상위하고 있다. 또한, 영상 신호 출력 회로(102)로부터, 데이터선(DTL)을 통하여, V_{Sig} 나 V_{Ofs} 이외의 신호·전압(예를 들면, 프리차지 구동을 위한 신호)이, 한쪽의 소스/드레인 영역에 공급되어도 좋다.
- <181> [발광부(ELP)]
- <182> 발광부(ELP)의 구성은, 5Tr/1C 구동 회로에서 설명한 발광부(ELP)의 구성과 같기 때문에, 상세한 설명은 생략한다.
- <183> 이하, 4Tr/1C 구동 회로의 동작 설명을 행한다.
- <184> [기간-TP(4)₋₁](도 11(A) 참조)
- <185> 이 [기간-TP(4)₋₁]은, 예를 들면, 이전의 표시 프레임에서의 동작이고, 5Tr/1C 구동 회로에서 설명한 [기간-TP(5)₋₁]과 같은 동작이다.
- <186> 도 10에 도시하는 [기간-TP(4)₀] 내지 [기간-TP(4)₄]은, 도 5에 나타내는 [기간-TP(5)₀] 내지 [기간-TP(5)₄]에

대응하는 기간이고, 다음의 기록 처리가 행하여지기 직전까지의 동작 기간이다. 그리고, 5Tr/1C 구동 회로와 마찬가지로, [기간-TP(4)₀] 내지 [기간-TP(4)₄]에서, 제 (n, m)번째의 유기 EL 소자(10)는 비발광 상태에 있다. 단, 4Tr/1C 구동 회로의 동작에서는, 도 10에 나타내는 [기간-TP(4)₅] 내지 [기간-TP(4)₆] 외에, [기간-TP(4)₂] 내지 [기간-TP(4)₄]도 제 m번째의 수평 주사 기간에 포함되는 점이, 5Tr/1C 구동 회로의 동작과는 다르다. 또한, 설명의 편의를 위해, [기간-TP(4)₂]의 시기, 및, [기간-TP(4)₆]의 종기는, 각각, 제 m번째의 수평 주사 기간의 시기, 및, 종기에 일치하는 것으로 하여 설명한다.

<187> 이하, [기간-TP(4)₀] 내지 [기간-TP(4)₄]의 각 기간에 관해, 설명한다. 또한, 5Tr/1C 구동 회로에서 설명한 바와 마찬가지로, [기간-TP(4)₁]의 시기나, [기간-TP(4)₁] 내지 [기간-TP(4)₄]의 각 기간의 길이는, 유기 EL 표시 장치의 설계에 따라 적절히 설정하면 좋다.

<188> [기간-TP(4)₀]

<189> 이 [기간-TP(4)₀]은, 예를 들면, 이전의 표시 프레임부터 현 표시 프레임에서의 동작이고, 5Tr/1C 구동 회로에서 설명한 [기간-TP(5)₀]과, 실질적으로 같은 동작이다.

<190> [기간-TP(4)₁](도 11(B) 참조)

<191> 이 [기간-TP(4)₁]은, 5Tr/1C 구동 회로에서 설명한 [기간-TP(5)₁]에 상당한다. 이 [기간-TP(4)₁]에서, 후술하는 임계치 전압 캔슬 처리를 행하기 위한 전처리가 행하여진다. [기간-TP(4)₁]의 시작시, 제 2 노드 초기화 트랜지스터 제어 회로(105)의 동작에 의거하여 제 2 노드 초기화 트랜지스터 제어선(AZ_{ND2})을 하이 레벨로 함에 의해, 제 2 노드 초기화 트랜지스터(T_{ND2})를 온 상태로 한다. 그 결과, 제 2 노드(ND₂)의 전위는, V_{ss}(예를 들면, -10볼트)가 된다. 또한, 제 2 노드(ND₂)의 전위 저하를 모방하도록, 부유 상태의 제 1 노드(ND₁)(구동 트랜지스터(T_{Drv})의 게이트 전극)의 전위도 저하된다. 또한, [기간-TP(4)₁]에서의 제 1 노드(ND₁)의 전위는, [기간-TP(4)₋₁]에서 제 1 노드(ND₁)의 전위(전 프레임의 V_{Sig}의 값에 따라 정해진다)에 의해 좌우되기 때문에, 일정한 값을 취하는 것이 아니다.

<192> [기간-TP(4)₂](도 11(C) 참조)

<193> 그 후, 영상 신호 출력 회로(102)의 동작에 의거하여 데이터선(DTL)의 전위를 V_{ofs}로 하고, 주사 회로(101)의 동작에 의거하여 주사선(SCL)을 하이 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태로 한다. 그 결과, 제 1 노드(ND₁)의 전위는, V_{ofs}(예를 들면, 0볼트)가 된다. 제 2 노드(ND₂)의 전위는 V_{ss}(예를 들면, -10볼트)를 유지한다. 그 후, 제 2 노드 초기화 트랜지스터 제어 회로(105)의 동작에 의거하여 제 2 노드 초기화 트랜지스터 제어선(AZ_{ND2})을 로우 레벨로 함에 의해, 제 2 노드 초기화 트랜지스터(T_{ND2})를 오프 상태로 한다.

<194> 또한, [기간-TP(4)₁]의 시작과 동시에, 또는, [기간-TP(4)₁]의 도중에, 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태로 하여도 좋다.

<195> 이상의 처리에 의해, 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차가 V_{th} 이상이 되고, 구동 트랜지스터(T_{Drv})는 온 상태로 된다.

<196> [기간-TP(4)₃](도 11(D) 참조)

<197> 다음에, 임계치 전압 캔슬 처리가 행하여진다. 즉, 영상 신호 기록 트랜지스터(T_{Sig})의 온 상태를 유지한 채로, 발광 제어 트랜지스터 제어 회로(103)의 동작에 의거하여 발광 제어 트랜지스터 제어선(CL_{EL,C})을 하이 레벨로 함에 의해, 발광 제어 트랜지스터(T_{EL,C})를 온 상태로 한다. 그 결과, 제 1 노드(ND₁)의 전위는 변화하지 않지만(V_{ofs}=0볼트를 유지), 부유 상태의 제 2 노드(ND₂)의 전위는 상승하고, 제 1 노드(ND₁)와 제 2 노드(ND₂) 사이의 전위차가 구동 트랜지스터(T_{Drv})의 임계치 전압(V_{th})에 근접한다. 그리고, 구동 트랜지스터(T_{Drv})의 게이트 전극과

소스 영역 사이의 전위차가 V_{th} 에 달하면, 구동 트랜지스터(T_{drv})가 오프 상태로 된다. 구체적으로는, 부유 상태의 제 2 노드(ND_2)의 전위가 ($V_{ofs}-V_{th}=-3$ 볼트)에 근접하고, 최종적으로 ($V_{ofs}-V_{th}$)가 된다. 여기서, 상술한 식 (2)가 보증되어 있으면, 환언하면, 식 (2)를 만족하도록 전위를 선택, 결정하여 두면, 발광부(ELP)가 발광하는 일은 없다.

<198> 이 [기간-TP(4)₃]에서는, 제 2 노드(ND_2)의 전위는, 예를 들면, 최종적으로, ($V_{ofs}-V_{th}$)가 된다. 즉, 구동 트랜지스터(T_{drv})의 임계치 전압(V_{th}), 및, 구동 트랜지스터(T_{drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs})만에 의존하고, 제 2 노드(ND_2)의 전위는 결정된다. 그리고, 발광부(ELP)의 임계치 전압(V_{th-EL})과는 관계가 없다.

<199> [기간-TP(4)₄](도 11(E) 참조)

<200> 그 후, 영상 신호 기록 트랜지스터(T_{Sig})의 온 상태를 유지한 채로, 발광 제어 트랜지스터 제어 회로(103)의 동작에 의거하여 발광 제어 트랜지스터 제어선(CL_{ELC})을 로우 레벨로 함에 의해, 발광 제어 트랜지스터(T_{ELC})를 오프 상태로 한다. 그 결과, 제 1 노드(ND_1)의 전위는 변화하지 않고($V_{ofs}=0$ 볼트를 유지), 부유 상태의 제 2 노드(ND_2)의 전위도, 실질상, 변화하지 않고(실제로는, 기생 커패시터 등의 정전 결합에 의해 전위 변화가 생길 수 있지만, 통상, 이들은 무시할 수 있다), ($V_{ofs}-V_{th}=-3$ 볼트)를 유지한다.

<201> 뒤이어, [기간-TP(4)₅] 내지 [기간-TP(4)₇]의 각 기간에 관해 설명한다. 이들의 기간은, 5Tr/1C 구동 회로에서 설명한 [기간-TP(5)₅] 내지 [기간-TP(5)₇]과, 실질적으로 같은 동작이다.

<202> [기간-TP(4)₅](도 11(F) 참조)

<203> 다음에, 구동 트랜지스터(T_{drv})에 대한 기록 처리를 실행한다. 구체적으로는, 영상 신호 기록 트랜지스터(T_{Sig})의 온 상태를 유지하고, 제 2 노드 초기화 트랜지스터(T_{ND2}), 및, 발광 제어 트랜지스터(T_{ELC})의 오프 상태를 유지한 채로, 영상 신호 출력 회로(102)의 동작에 의거하여 데이터선(DTL)의 전위를, V_{ofs} 로부터, 발광부(ELP)에서 휘도를 제어하기 위한 구동 신호(휘도 신호)(V_{Sig})로 전환한다. 그 결과, 제 1 노드(ND_1)의 전위는, V_{Sig} 로 상승한다. 또한, 영상 신호 기록 트랜지스터(T_{Sig})를, 일단, 오프 상태로 하고, 영상 신호 기록 트랜지스터(T_{Sig}), 제 2 노드 초기화 트랜지스터(T_{ND2}), 및, 발광 제어 트랜지스터(T_{ELC})의 오프 상태를 유지한 채로, 영상 신호 출력 회로(102)의 동작에 의거하여 데이터선(DTL)의 전위를, 발광부(ELP)에서의 휘도를 제어하기 위한 구동 신호(휘도 신호)(V_{Sig})로 변경하고, 그 후, 제 2 노드 초기화 트랜지스터(T_{ND2}), 및, 발광 제어 트랜지스터(T_{ELC})의 오프 상태를 유지한 채로, 주사선(SCL)을 하이 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태로 하여도 좋다.

<204> 이로써, 5Tr/1C 구동 회로에서 설명한 바와 마찬가지로, 제 1 노드(ND_1)와 제 2 노드(ND_2)의 전위차, 즉, 구동 트랜지스터(T_{drv})의 게이트 전극과 소스 영역 사이의 전위차(V_{gs})로서, 식 (3)에서 설명한 값을 얻을 수 있다.

<205> 즉, 4Tr/1C 구동 회로에서도, 구동 트랜지스터(T_{drv})에 대한 기록 처리에서 얻어진 V_{gs} 은, 발광부(ELP)에서의 휘도를 제어하기 위한 구동 신호(휘도 신호)(V_{Sig}), 구동 트랜지스터(T_{drv})의 임계치 전압(V_{th}), 및, 구동 트랜지스터(T_{drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs})만에 의존하고 있다. 그리고, 발광부(ELP)의 임계치 전압(V_{th-EL})과는 관계가 없다.

<206> [기간-TP(4)₆](도 11(G) 참조)

<207> 그 후, 구동 트랜지스터(T_{drv})의 이동도(μ)의 대소에 의거한 구동 트랜지스터(T_{drv})의 소스 영역(제 2 노드(ND_2))의 전위의 보정(이동도 보정 처리)을 행한다. 구체적으로는, 5Tr/1C 구동 회로에서 설명한 [기간-TP(5)₆]과 같은 동작을 행하면 좋다. 또한, 이동도 보정 처리를 실행하기 위한 소정의 시간([기간-TP(4)₆]의 이전의 시간(t_0))은, 유기 EL 표시 장치의 설계에 즈음하여, 설계치로서 미리 결정하여 두면 좋다.

- <208> [기간-TP(4)₇](도 11(H) 참조)
- <209> 이상의 조작에 의해, 임계치 전압 캔슬 처리, 기록 처리, 이동도 보정 처리가 완료된다. 그리고, 5Tr/1C 구동 회로에서 설명한 [기간-TP(5)₇]과 같은 처리가 이루어지고, 제 2 노드(ND_2)의 전위가 상승하고, ($V_{th-EL}+V_{Cat}$)를 초과하기 때문에, 발광부(ELP)는 발광을 시작한다. 이때, 발광부(ELP)를 흐르는 전류는, 전술한 식 (5)에서 얻을 수 있기 때문에, 발광부(ELP)를 흐르는 전류(I_{ds})는, 발광부(ELP)의 임계치 전압(V_{th-EL}), 및, 구동 트랜지스터(T_{drv})의 임계치 전압(V_{th})에는 의존하지 않는다. 즉, 발광부(ELP)의 발광량(휘도)은, 발광부(ELP)의 임계치 전압(V_{th-EL})의 영향, 및, 구동 트랜지스터(T_{drv})의 임계치 전압(V_{th})의 영향을 받지 않는다. 더하여, 구동 트랜지스터(T_{drv})에서의 이동도(μ)의 편차에 기인한 드레인 전류(I_{ds})의 편차 발생을 억제할 수 있다.
- <210> 그리고, 발광부(ELP)의 발광 상태를 제 ($m+m'-1$)번째의 수평 주사 기간까지 계속한다. 이 시점은, [기간-TP(4)₁의 끝에 상당한다.
- <211> 이상에 의해, 유기 EL 소자(10)[제 (n, m)번째의 부화소(유기 EL 소자(10))]의 발광의 동작이 완료된다.
- <212> 다음에, 3Tr/1C 구동 회로에 관한 설명을 행한다.
- <213> [3Tr/1C 구동 회로]
- <214> 3Tr/1C 구동 회로의 등가 회로도를 도 12 및 도 13에 도시하고, 개념도를 도 14에 도시하고, 구동의 타이밍 차트를 모식적으로 도 15에 도시하고, 각 트랜지스터의 온/오프 상태 등을 모식적으로 도 16(A) 내지 (I)에 도시한다.
- <215> 이 3Tr/1C 구동 회로에서는, 전술한 5Tr/1C 구동 회로로부터, 제 1 노드 초기화 트랜지스터(T_{ND1}), 및, 제 2 노드 초기화 트랜지스터(T_{ND2})의 2개의 트랜지스터가 생략되어 있다. 즉, 이 3Tr/1C 구동 회로는, 영상 신호 기록 트랜지스터(T_{Sig}), 발광 제어 트랜지스터(T_{EL-C}), 및, 구동 트랜지스터(T_{drv})의 3개의 트랜지스터로 구성되고, 또한, 하나의 커패시터(C_1)로 구성되어 있다.
- <216> [발광 제어 트랜지스터(T_{EL-C})]
- <217> 발광 제어 트랜지스터(T_{EL-C})의 구성은, 5Tr/1C 구동 회로에서 설명한 발광 제어 트랜지스터(T_{EL-C})의 구성과 같기 때문에, 상세한 설명은 생략한다.
- <218> [구동 트랜지스터(T_{drv})]
- <219> 구동 트랜지스터(T_{drv})의 구성은, 5Tr/1C 구동 회로에서 설명한 구동 트랜지스터(T_{drv})의 구성과 같기 때문에, 상세한 설명은 생략한다.
- <220> [영상 신호 기록 트랜지스터(T_{Sig})]
- <221> 영상 신호 기록 트랜지스터(T_{Sig})의 구성은, 5Tr/1C 구동 회로에서 설명한 영상 신호 기록 트랜지스터(T_{Sig})의 구성과 같기 때문에, 상세한 설명은 생략한다. 단, 영상 신호 기록 트랜지스터(T_{Sig})의 한쪽의 소스/드레인 영역은, 데이터선(DTL)에 접속되어 있지만, 영상 신호 출력 회로(102)로부터, 발광부(ELP)에서의 휘도를 제어하기 위한 구동 신호(휘도 신호)(V_{Sig})뿐만 아니라, 구동 트랜지스터(T_{drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs-H}) 및 전압(V_{ofs-L})도 공급된다. 이 점이, 5Tr/1C 구동 회로에서 설명한 영상 신호 기록 트랜지스터(T_{Sig})의 동작과 상이하고 있다. 또한, 영상 신호 출력 회로(102)로부터, 데이터선(DTL)을 통하여, V_{Sig} 나 V_{ofs-H}/V_{ofs-L} 이외의 신호·전압(예를 들면, 프리차지 구동을 위한 신호)이, 한쪽의 소스/드레인 영역에 공급되어도 좋다. 전압(V_{ofs-H}) 및 전압(V_{ofs-L})의 값으로서, 한정하는 것이 아니지만, 예를 들면, V_{ofs-H} =약 30볼트 V_{ofs-L} =약 0볼트를 예시할 수 있다.
- <222> [C_{EL} 와 C_1 의 값의 관계]
- <223> 후술하는 바와 같이, 3Tr/1C 구동 회로에서는, 데이터선(DTL)을 이용하여 제 2 노드(ND_2)의 전위를 변화시킬 필

요가 있다. 상술한 5Tr/1C 구동 회로나 4Tr/1C의 구동 회로에서는, ϕ_{EL} (보조 커패시터(C_{Sub})가 접속되어 있는 구동 회로에서는, 더하여 보조 커패시터(C_{Sub})의 용량치(c_{Sub})는, ϕ_{C1} 및 ϕ_{Cgs} 과 비교하고 충분히 큰 값인 것으로 하고, 구동 트랜지스터(T_{Drv})의 게이트 전극의 전위의 변화분($V_{\text{Sig}}-V_{\text{Ofs}}$)에 의거하는 구동 트랜지스터(T_{Drv})의 소스 영역(제 2 노드(ND_2))의 전위의 변화를 고려하지 않고 설명을 행하였다(후술하는 2Tr/1C 구동 회로에서도 마찬가지이다). 한편, 3Tr/1C 구동 회로에서는, ϕ_{C1} 을, 설계상, 다른 구동 회로보다도 큰 값(예를 들면, ϕ_{C1} 을 ϕ_{EL} 의 약 1/4 내지 1/3 정도, 또한, 보조 커패시터(C_{Sub})가 접속되어 있는 구동 회로에서는 보조 커패시터(C_{Sub})의 ϕ_{CSub} 과 ϕ_{C1} 의 합계치를 ϕ_{EL} 의 약 1/4 내지 1/3 정도)으로 설정한다. 따라서, 다른 구동 회로보다도, 제 1 노드(ND_1)의 전위 변화에 의해 생기는 제 2 노드(ND_2)의 전위 변화의 정도는 크다. 이 때문에, 3Tr/1C의 설명에서는, 제 1 노드(ND_1)의 전위 변화에 의해 생기는 제 2 노드(ND_2)의 전위 변화를 고려하여 설명을 행한다. 또한, 도시한 구동의 타이밍 차트도, 제 1 노드(ND_1)의 전위 변화에 의해 생기는 제 2 노드(ND_2)의 전위 변화를 고려하여 도시하였다.

<224> [발광부(ELP)]

<225> 발광부(ELP)의 구성은, 5Tr/1C 구동 회로에서 설명한 발광부(ELP)의 구성과 같기 때문에, 상세한 설명은 생략한다.

<226> 이하, 3Tr/1C 구동 회로의 동작 설명을 행한다.

<227> [기간-TP(3)₋₁](도 16(A) 참조)

<228> 이 [기간-TP(3)₋₁]은, 예를 들면, 이전의 표시 프레임에서의 동작이고, 실질적으로, 5Tr/1C 구동 회로에서 설명한 [기간-TP(5)₋₁]과 같은 동작이다.

<229> 도 15에 도시하는 [기간-TP(3)₀] 내지 [기간-TP(3)₄]은, 도 5에 도시하는 [기간-TP(5)₀] 내지 [기간-TP(5)₄]에 대응하는 기간이고, 다음의 기록 처리가 행하여지기 직전까지의 동작 기간이다. 그리고, 5Tr/1C 구동 회로와 마찬가지로, [기간-TP(3)₀] 내지 [기간-TP(3)₄]에서, 제 (n, m)번째의 유기 EL 소자(10)는 비발광 상태에 있다. 단, 3Tr/1C 구동 회로의 동작에서는, 도 15에 도시하는 바와 같이, [기간-TP(3)₅] 내지 [기간-TP(3)₆] 외에, [기간-TP(3)₁] 내지 [기간-TP(3)₄]도 제 m번째의 수평 주사 기간에 포함되는 점이, 5Tr/1C 구동 회로의 동작과는 다르다. 또한, 설명의 편의를 위해, [기간-TP(3)₁]의 시기, 및, [기간-TP(3)₆]의 종기는, 각각, 제 m번째의 수평 주사 기간의 시기, 및, 종기에 일치하는 것으로 하여 설명한다.

<230> 이하, [기간-TP(3)₀] 내지 [기간-TP(3)₄]의 각 기간에 관해, 설명한다. 또한, 5Tr/1C 구동 회로에서 설명한 바와 마찬가지로, [기간-TP(3)₁] 내지 [기간-TP(3)₄]의 각 기간의 길이는, 유기 EL 표시 장치의 설계에 따라 적절히 설정하면 좋다.

<231> [기간-TP(3)₀](도 16(B) 참조)

<232> 이 [기간-TP(3)₀]은, 예를 들면, 전의 표시 프레임부터 현 표시 프레임에서의 동작이고, 5Tr/1C 구동 회로에서 설명한 [기간-TP(5)₀]과, 실질적으로 같은 동작이다.

<233> [기간-TP(3)₁](도 16(C) 참조)

<234> 그리고, 현 표시 프레임에서의 제 m행째의 수평 주사 기간이 시작한다. [기간-TP(3)₁]의 시작시, 영상 신호 출력 회로(102)의 동작에 의거하여 데이터선(DTL)의 전위를, 구동 트랜지스터(T_{Drv})의 게이트 전극을 초기화하기 위한 전압($V_{\text{Ofs-H}}$)으로 하고, 뒤이어, 주사 회로(101)의 동작에 의거하여 주사선(SCL)을 하이 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태로 한다. 그 결과, 제 1 노드(ND_1)의 전위는, $V_{\text{Ofs-H}}$ 가 된다. 상술한 바와 같이, 커패시터(C_1)의 ϕ_{C1} 을, 설계상, 다른 구동 회로보다도 큰 값으로 하였기 때문에, 소스 영역의 전위(제 2 노드(ND_2)의 전위)는 상승한다. 그리고, 발광부(ELP)의 양단의 전위차가 임계치 전압($V_{\text{th-EL}}$)을 초과하기

때문에, 전위 발광부(ELP)는 도통 상태로 되지만, 구동 트랜지스터(T_{Drv})의 소스 영역의 전위는, 재차, ($V_{th-EL}+V_{Cat}$)까지, 곧바로 저하된다. 또한, 이 과정에서, 발광부(ELP)가 발광할 수 있지만, 발광은 한순간이고, 실용상, 문제로는 되지 않는다. 한편, 구동 트랜지스터(T_{Drv})의 게이트 전극은 전압(V_{ofs-H})을 유지한다.

<235> [기간-TP(3)₂](도 16(D) 참조)

<236> 그 후, 영상 신호 출력 회로(102)의 동작에 의거하여, 데이터선(DTL)의 전위를, 구동 트랜지스터(T_{Drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs-H})으로부터 전압(V_{ofs-L})으로 변경함에 의해, 제 1 노드(ND_1)의 전위는, V_{ofs-L} 가 된다. 그리고, 제 1 노드(ND_1)의 전위의 저하에 수반하여, 제 2 노드(ND_2)의 전위도 저하된다. 즉, 구동 트랜지스터(T_{Drv})의 게이트 전극의 전위의 변화분($V_{ofs-Lm}V_{ofs-H}$)에 의거한 전하가, 커패시터(C_1), 발광부(ELP)의 기생 커패시터(C_{EL}), 보조 커패시터(C_{Sub})가 접속되어 있는 구동 회로에서는 보조 커패시터(C_{Sub}), 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 기생 커패시터에 배분된다. 또한, 후술하는 [기간-TP(3)₃]에서의 동작의 전제로서, [기간-TP(3)₂]의 종기에서, 제 2 노드(ND_2)의 전위가 $V_{ofs-Lm}V_{th}$ 보다도 낮은 것이 필요하게 된다. V_{ofs-H} 의 값 등은, 이 조건을 충족시키도록 설정되어 있다. 즉, 이상의 처리에 의해, 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차가 V_{th} 이상이 되고, 구동 트랜지스터(T_{Drv})는 온 상태로 된다.

<237> [기간-TP(3)₃](도 16(E) 참조)

<238> 다음에, 임계치 전압 캔슬 처리가 행하여진다. 즉, 영상 신호 기록 트랜지스터(T_{Sig})의 온 상태를 유지한 채로, 발광 제어 트랜지스터 제어 회로(103)의 동작에 의거하여 발광 제어 트랜지스터 제어선(CL_{EL-C})을 하이 레벨로 함에 의해, 발광 제어 트랜지스터(T_{EL-C})를 온 상태로 한다. 그 결과, 제 1 노드(ND_1)의 전위는 변화하지 않지만($V_{ofs-L}=0$ 볼트를 유지), 부유 상태의 제 2 노드(ND_2)의 전위는 상승하고, 제 1 노드(ND_1)와 제 2 노드(ND_2) 사이의 전위차가 구동 트랜지스터(T_{Drv})의 임계치 전압(V_{th})에 근접한다. 그리고, 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차가 V_{th} 에 달하면, 구동 트랜지스터(T_{Drv})가 오프 상태로 된다. 구체적으로는, 부유 상태의 제 2 노드(ND_2)의 전위가 ($V_{ofs-Lm}V_{th}=-3$ 볼트)에 근접하고, 최종적으로 ($V_{ofs-Lm}V_{th}$)가 된다. 여기서, 상술한 식(2)가 보증되어 있으면, 환언하면, 식(2)를 만족하도록 전위를 선택, 결정하여 두면, 발광부(ELP)가 발광하는 일은 없다.

<239> 이 [기간-TP(3)₃]에서는, 제 2 노드(ND_2)의 전위는, 예를 들면, 최종적으로, ($V_{ofs-Lm}V_{th}$)가 된다. 즉, 구동 트랜지스터(T_{Drv})의 임계치 전압(V_{th}), 및, 구동 트랜지스터(T_{Drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs-L})만에 의존하고, 제 2 노드(ND_2)의 전위는 결정된다. 그리고, 발광부(ELP)의 임계치 전압(V_{th-EL})과는 관계가 없다.

<240> [기간-TP(3)₄](도 16(F) 참조)

<241> 그 후, 영상 신호 기록 트랜지스터(T_{Sig})의 온 상태를 유지한 채로, 발광 제어 트랜지스터 제어 회로(103)의 동작에 의거하여 발광 제어 트랜지스터 제어선(CL_{EL-C})을 로우 레벨로 함에 의해, 발광 제어 트랜지스터(T_{EL-C})를 오프 상태로 한다. 그 결과, 제 1 노드(ND_1)의 전위는 변화하지 않고($V_{ofs-L}=0$ 볼트를 유지), 부유 상태의 제 2 노드(ND_2)의 전위도 변화하지 않고, ($V_{ofs-Lm}V_{th}=-3$ 볼트)를 유지한다.

<242> 뒤이어, [기간-TP(3)₅] 내지 [기간-TP(3)₇]의 각 기간에 관해 설명한다. 이들은, 5Tr/1C 구동 회로에서 설명한 [기간-TP(5)₅] 내지 [기간-TP(5)₇]과, 실질적으로 같은 동작이다.

<243> [기간-TP(3)₅](도 16(G) 참조)

<244> 다음에, 구동 트랜지스터(T_{Drv})에 대한 기록 처리를 실행한다. 구체적으로는, 영상 신호 기록 트랜지스터(T_{Sig})의 온 상태를 유지하고, 발광 제어 트랜지스터(T_{EL-C})의 오프 상태를 유지한 채로, 영상 신호 출력 회로(102)의 동작에 의거하여, 데이터선(DTL)의 전위를, 발광부(ELP)에서의 휘도를 제어하기 위한 구동 신호(휘도 신호)(V_{Sig})

로 한다. 그 결과, 제 1 노드(ND_1)의 전위는, V_{Sig} 로 상승한다. 또한, 영상 신호 기록 트랜지스터(T_{Sig})를, 일단, 오프 상태로 하고, 영상 신호 기록 트랜지스터(T_{Sig}), 및, 발광 제어 트랜지스터(T_{EL_C})의 오프 상태를 유지한 채로, 데이터선(DTL)의 전위를, 발광부(ELP)에서의 휘도를 제어하기 위한 구동 신호(휘도 신호)(V_{Sig})로 변경하고, 그 후, 발광 제어 트랜지스터(T_{EL_C})의 오프 상태를 유지한 채로, 주사선(SCL)을 하이 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태로 하여도 좋다.

<245> [기간-TP(3)₅]에서, 제 1 노드(ND_1)의 전위가, V_{ofs-L} 로부터 V_{Sig} 로 상승한다. 이 때문에, 제 1 노드(ND_1)의 전위 변화에 의해 생기는 제 2 노드(ND_2)의 전위 변화를 고려하면, 제 2 노드(ND_1)의 전위도, 약간, 상승한다. 즉, 제 2 노드(ND_1)의 전위를, $V_{ofs-L}mV_{th} + \alpha \cdot (V_{Sig} - V_{ofs-L})$ 로 표시할 수 있다. 단, $0 < \alpha < 1$ 이고, α 의 값은 커패시터(C_1), 발광부(ELP)의 기생 커패시터(C_{EL})의 값(보조 커패시터(C_{Sub}))가 접속되어 있는 구동 회로에서는, 더하여 보조 커패시터(C_{Sub})) 등에 의해 정해진다.

<246> 이로써, 5Tr/1C 구동 회로에서 설명한 바와 마찬가지로, 제 1 노드(ND_1)와 제 2 노드(ND_2)의 전위차, 즉, 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차(V_{gs})로서, 이하의 식 (3')에서 설명한 값을 얻을 수 있다.

$$V_{gs} \doteq V_{Sig} - (V_{ofs-L}mV_{th}) - \alpha \cdot (V_{Sig} - V_{ofs-L}) \quad (3')$$

<248> 즉, 3Tr/1C 구동 회로에서도, 구동 트랜지스터(T_{Drv})에 대한 기록 처리에서 얻어진 V_{gs} 는, 발광부(ELP)에서의 휘도를 제어하기 위한 구동 신호(휘도 신호)(V_{Sig}), 구동 트랜지스터(T_{Drv})의 임계치 전압(V_{th}), 및, 구동 트랜지스터(T_{Drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs-L})만에 의존하고 있다. 그리고, 발광부(ELP)의 임계치 전압(V_{th-EL})과는 관계가 없다.

<249> [기간-TP(3)₆](도 16(H) 참조)

<250> 그 후, 구동 트랜지스터(T_{Drv})의 이동도(μ)의 대소에 의거한 구동 트랜지스터(T_{Drv})의 소스 영역(제 2 노드(ND_2))의 전위의 보정(이동도 보정 처리)을 행한다. 구체적으로는, 5Tr/1C 구동 회로에서 설명한 [기간-TP(5)₆]과 같은 동작을 행하면 좋다. 또한, 이동도 보정 처리를 실행하기 위한 소정의 시간([기간-TP(3)₆]의 전체 시간(t_0))은, 유기 EL 표시 장치의 설계에 즈음하여, 설계치로서 미리 결정하여 두면 좋다.

<251> [기간-TP(3)₇](도 16(I) 참조)

<252> 이상의 조작에 의해, 임계치 전압 캔슬 처리, 기록 처리, 이동도 보정 처리가 완료된다. 그리고, 5Tr/1C 구동 회로에서 설명한 [기간-TP(5)₇]과 같은 처리가 이루어지고, 제 2 노드(ND_2)의 전위가 상승하고, ($V_{th-EL} + V_{Cat}$)를 초과하기 때문에, 발광부(ELP)는 발광을 시작한다. 이때, 발광부(ELP)를 흐르는 전류는, 전술한 식 (5)에서 얻을 수 있기 때문에, 발광부(ELP)를 흐르는 전류(I_{ds})는, 발광부(ELP)의 임계치 전압(V_{th-EL}), 및, 구동 트랜지스터(T_{Drv})의 임계치 전압(V_{th})에는 의존하지 않는다. 즉, 발광부(ELP)의 발광량(휘도)은, 발광부(ELP)의 임계치 전압(V_{th-EL})의 영향, 및, 구동 트랜지스터(T_{Drv})의 임계치 전압(V_{th})의 영향을 받지 않는다. 더하여, 구동 트랜지스터(T_{Drv})에서의 이동도(μ)의 편차에 기인한 드레인 전류(I_{ds})의 편차 발생을 억제할 수 있다.

<253> 그리고, 발광부(ELP)의 발광 상태를 제 ($m+m'-1$)번째의 수평 주사 기간까지 계속한다. 이 시점은, [기간-TP(4)₁]의 끝에 상당한다.

<254> 이상에 의해, 유기 EL 소자(10)[제 (n, m)번째의 부화소(유기 EL 소자(10))]의 발광의 동작이 완료된다.

<255> 다음에, 2Tr/1C 구동 회로에 관한 설명을 행한다.

<256> [2Tr/1C 구동 회로]

<257> 2Tr/1C 구동 회로의 등가 회로도를 도 17 및 도 18에 도시하고, 개념도를 도 19에 도시하고, 구동의 타이밍 차

트를 모식적으로 도 20에 도시하고, 각 트랜지스터의 온/오프 상태 등을 모식적으로 도 21의 (A) 내지 (F)에 도시한다.

<258> 이 2Tr/1C 구동 회로에서는, 전술한 5Tr/1C 구동 회로로부터, 제 1 노드 초기화 트랜지스터(T_{ND1}), 발광 제어 트랜지스터(T_{EL_C}), 및, 제 2 노드 초기화 트랜지스터(T_{ND2})의 3개의 트랜지스터가 생략되어 있다. 즉, 이 2Tr/1C 구동 회로는, 영상 신호 기록 트랜지스터(T_{Sig}), 및, 구동 트랜지스터(T_{Drv})의 2개의 트랜지스터로 구성되고, 또한, 하나의 커패시터(C_1)로 구성되어 있다.

<259> [구동 트랜지스터(T_{Drv})]

<260> 구동 트랜지스터(T_{Drv})의 구성은, 5Tr/1C 구동 회로에서 설명한 구동 트랜지스터(T_{Drv})의 구성과 같기 때문에, 상세한 설명은 생략한다. 단, 구동 트랜지스터(T_{Drv})의 드레인 영역은 전류 공급부(100)에 접속되어 있다. 또한, 전류 공급부(100)로부터는, 발광부(ELP)의 발광을 제어하기 위한 전압(V_{CC-H}), 및, 구동 트랜지스터(T_{Drv})의 소스 영역의 전위를 제어하기 위한 전압(V_{CC-L})이 공급된다. 여기서, 전압(V_{CC-H} 및 V_{CC-L})의 값으로서, $V_{CC-H}=20$ 볼트 $V_{CC-L}=-10$ 볼트를 예시할 수 있지만, 이들의 값으로 한정하는 것이 아니다.

<261> [영상 신호 기록 트랜지스터(T_{Sig})]

<262> 영상 신호 기록 트랜지스터(T_{Sig})의 구성은, 5Tr/1C 구동 회로에서 설명한 영상 신호 기록 트랜지스터(T_{Sig})의 구성과 같기 때문에, 상세한 설명은 생략한다.

<263> [발광부(ELP)]

<264> 발광부(ELP)의 구성은, 5Tr/1C 구동 회로에서 설명한 발광부(ELP)의 구성과 같기 때문에, 상세한 설명은 생략한다.

<265> 이하, 2Tr/1C 구동 회로의 동작 설명을 행한다.

<266> [기간-TP(2)₋₁](도 21의 (A) 참조)

<267> 이 [기간-TP(2)₋₁]은, 예를 들면, 이전의 표시 프레임에서의 동작이고, 실질적으로, 5Tr/1C 구동 회로에서 설명한 [기간-TP(5)₋₁]과 같은 동작이다.

<268> 도 20에 도시하는 [기간-TP(2)₀] 내지 [기간-TP(2)₂]은, 도 5에 도시하는 [기간-TP(5)₀] 내지 [기간-TP(5)₄]에 대응하는 기간이고, 다음의 기록 처리가 행하여지기 직전까지의 동작 기간이다. 그리고, 5Tr/1C 구동 회로와 마찬가지로, [기간-TP(2)₀] 내지 [기간-TP(2)₂]에서, 제 (n, m)번째의 유기 EL 소자(10)는 비발광 상태에 있다. 단, 2Tr/1C 구동 회로의 동작에서는, 도 20에 도시하는 바와 같이, [기간-TP(2)₃] 외에, [기간-TP(2)₁] 내지 [기간-TP(2)₂]도 제 m번째의 수평 주사 기간에 포함되는 점이, 5Tr/1C 구동 회로의 동작과는 다르다. 또한, 설명의 편의를 위해, [기간-TP(2)₁]의 시기, 및, [기간-TP(2)₃]의 종기는, 각각, 제 m번째의 수평 주사 기간의 시기, 및, 종기에 일치하는 것으로 하여 설명한다.

<269> 이하, [기간-TP(2)₀] 내지 [기간-TP(2)₂]의 각 기간에 관해, 설명한다. 또한, 5Tr/1C 구동 회로에서 설명한 바와 마찬가지로, [기간-TP(2)₁] 내지 [기간-TP(2)₃]의 각 기간의 길이는, 유기 EL 표시 장치의 설계에 따라 적절히 설정하면 좋다.

<270> [기간-TP(2)₀](도 21의 (B) 참조)

<271> 이 [기간-TP(2)₀]은, 예를 들면, 이전의 표시 프레임부터 현 표시 프레임에서의 동작이다. 즉, 이 [기간-TP(2)₀]은, 이전의 표시 프레임에서의 제 (m+m')번째의 수평 주사 기간으로부터, 현 표시 프레임에서의 제 (m-1)번째의 수평 주사 기간까지의 기간이다. 그리고, 이 [기간-TP(2)₀]에서, 제 (n, m)번째의 유기 EL 소자(10)는, 비발광 상태에 있다. 여기서, [기간-TP(2)₋₁]으로부터 [기간-TP(2)₀]으로 이전되는 시점에서, 전류

공급부(100)로부터 공급되는 전압을, V_{CC-H} 로부터 전압(V_{CC-L})으로 전환한다. 그 결과, 제 2 노드(ND_2)(구동 트랜지스터(T_{Drv})의 소스 영역 또는 발광부(ELP)의 애노드 전극)의 전위는 V_{CC-L} 까지 저하되고, 발광부(ELP)는 비발광 상태로 된다. 또한, 제 2 노드(ND_2)의 전위 저하를 모방하도록, 부유 상태의 제 1 노드(ND_1)(구동 트랜지스터(T_{Drv})의 게이트 전극)의 전위도 저하된다.

<272> [기간-TP(2)₁](도 21의 (C) 참조)

<273> 그리고, 현 표시 프레임에서의 제 m행째의 수평 주사 기간이 시작한다. [기간-TP(2)₁]의 시작시, 주사 회로(101)의 동작에 의거하여 주사선(SCL)을 하이 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태로 한다. 그 결과, 제 1 노드(ND_1)의 전위는, V_{ofs} (예를 들면, 0볼트)가 된다. 제 2 노드(ND_2)의 전위는 V_{CC-L} (예를 들면, -10볼트)를 유지한다.

<274> 상기한 처리에 의해, 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차가 V_{th} 이상이 되고, 구동 트랜지스터(T_{Drv})는 온 상태로 된다.

<275> [기간-TP(2)₂](도 21의 (D) 참조)

<276> 다음에, 임계치 전압 캔슬 처리가 행하여진다. 즉, 영상 신호 기록 트랜지스터(T_{Sig})의 온 상태를 유지한 채로, 전류 공급부(100)로부터 공급되는 전압을, V_{CC-L} 로부터 전압(V_{CC-H})으로 전환한다. 그 결과, 제 1 노드(ND_1)의 전위는 변화하지 않지만($V_{ofs}=0$ 볼트를 유지), 부유 상태의 제 2 노드(ND_2)의 전위는 상승하고, 제 1 노드와 제 2 노드 사이의 전위차가 구동 트랜지스터의 임계치 전압에 근접한다. 그리고, 구동 트랜지스터(T_{Drv})의 게이트 전극과 소스 영역 사이의 전위차가 V_{th} 에 달하면, 구동 트랜지스터(T_{Drv})가 오프 상태로 된다. 구체적으로는, 부유 상태의 제 2 노드(ND_2)의 전위가 ($V_{ofs}-V_{th}=-3$ 볼트)에 근접하고, 최종적으로 ($V_{ofs}-V_{th}$)가 된다. 여기서, 상술한 식(2)가 보증되어 있으면, 환언하면, 식(2)를 만족하도록 전위를 선택, 결정하여 두면, 발광부(ELP)가 발광하는 일은 없다.

<277> 이 [기간-TP(2)₂]에서는, 제 2 노드(ND_2)의 전위는, 예를 들면, 최종적으로, ($V_{ofs}-V_{th}$)가 된다. 즉, 구동 트랜지스터(T_{Drv})의 임계치 전압(V_{th}), 및, 구동 트랜지스터(T_{Drv})의 게이트 전극을 초기화하기 위한 전압(V_{ofs})만에 의존하고, 제 2 노드(ND_2)의 전위는 결정된다. 그리고, 발광부(ELP)의 임계치 전압(V_{th-EL})과는 관계가 없다.

<278> [기간-TP(2)₃](도 21의 (E) 참조)

<279> 다음에, 구동 트랜지스터(T_{Drv})에 대한 기록 처리, 및, 구동 트랜지스터(T_{Drv})의 이동도(μ)의 대소에 의거한 구동 트랜지스터(T_{Drv})의 소스 영역(제 2 노드(ND_2))의 전위의 보정(이동도 보정 처리)을 행한다. 구체적으로는, 영상 신호 기록 트랜지스터(T_{Sig})의 온 상태를 유지한 채로, 영상 신호 출력 회로(102)의 동작에 의거하여, 데이터선(DTL)의 전위를, 발광부(ELP)에서의 휘도를 제어하기 위한 구동 신호(휘도 신호)(V_{Sig})로 한다. 그 결과, 제 1 노드(ND_1)의 전위는 V_{Sig} 로 상승하고, 구동 트랜지스터(T_{Drv})는 온 상태로 된다. 또한, 영상 신호 기록 트랜지스터(T_{Sig})를, 일단, 오프 상태로 하고, 데이터선(DTL)의 전위를, 발광부(ELP)에서의 휘도를 제어하기 위한 구동 신호(휘도 신호)(V_{Sig})로 변경하고, 그 후, 주사선(SCL)을 하이 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 온 상태로 함으로써, 구동 트랜지스터(T_{Drv})를 온 상태로 하여도 좋다.

<280> 5Tr/1C 구동 회로에서 설명한 것과는 달리, 구동 트랜지스터(T_{Drv})의 드레인 영역에는 전류 공급부(100)로부터 전위(V_{CC-H})가 인가되어 있기 때문에, 구동 트랜지스터(T_{Drv})의 소스 영역의 전위는 상승한다. 소정의 시간(t_0)이 경과한 후, 주사선(SCL)을 로우 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{Sig})를 오프 상태로 하고, 제 1 노드(ND_1)(구동 트랜지스터(T_{Drv})의 게이트 전극)를 부유 상태라고 하다. 또한, 이 [기간-TP(2)₃]의 전체 시간(t_0)은, 제 2 노드(ND_2)의 전위가 ($V_{ofs}-V_{th}+\Delta V$)가 되도록, 유기 EL 표시 장치의 설계에 즈음하여, 설계치로서 미리 결정하여 두면 좋다.

- <281> 이 [기간-TP(2)₃]에서도, 구동 트랜지스터(T_{drv})의 이동도(μ)의 값이 큰 경우, 구동 트랜지스터(T_{drv})의 소스 영역에서의 전위의 상승량(ΔV)은 크고, 구동 트랜지스터(T_{drv})의 이동도(μ)의 값이 작은 경우, 구동 트랜지스터(T_{drv})의 소스 영역에서의 전위의 상승량(ΔV)은 작다.
- <282> [기간-TP(2)₄](도 21의 (F) 참조)
- <283> 이상의 조작에 의해, 임계치 전압 채널 처리, 기록 처리, 이동도 보정 처리가 완료된다. 그리고, 5Tr/1C 구동 회로에서 설명한 [기간-TP(5)₇]과 같은 처리가 이루어지고, 제 2 노드(ND_2)의 전위가 상승하고, ($V_{th-EL}+V_{cat}$)를 초과하기 때문에, 발광부(ELP)는 발광을 시작한다. 이때, 발광부(ELP)를 흐르는 전류는, 전술한 식 (5)에서 얻을 수 있기 때문에, 발광부(ELP)를 흐르는 전류(I_{ds})는, 발광부(ELP)의 임계치 전압(V_{th-EL}), 및, 구동 트랜지스터(T_{drv})의 임계치 전압(V_{th})에는 의존하지 않는다. 즉, 발광부(ELP)의 발광량(휘도)은, 발광부(ELP)의 임계치 전압(V_{th-EL})의 영향, 및, 구동 트랜지스터(T_{drv})의 임계치 전압(V_{th})의 영향을 받지 않는다. 더하여, 구동 트랜지스터(T_{drv})에서의 이동도(μ)의 편차에 기인한 드레인 전류(I_{ds})의 편차 발생을 억제할 수 있다.
- <284> 그리고, 발광부(ELP)의 발광 상태를 제 ($m+m'-1$)번째의 수평 주사 기간까지 계속한다. 이 시점은, [기간-TP(2)₁]'의 끝에 상당한다.
- <285> 이상에 의해, 유기 EL 소자(10)[제 (n, m)번째의 부화소(유기 EL 소자(10))]'의 발광의 동작이 완료된다.
- <286> 이상, 본 발명을 바람직한 실시예에 의거하여 설명하였지만, 본 발명은 이들의 실시예로 한정되는 것이 아니다. 실시예에서 설명한 유기 EL 표시 장치를 구성하는 각종의 구성 요소의 구성, 구조는 예시이고, 적절히, 변경할 수 있다.
- <287> 예를 들면, 2Tr/1C 구동 회로의 동작에서의 [기간-TP(2)₃]를 2개의 기간, [기간-TP(2)₃] 및 [기간-TP(2)₃]'으로 분할하고, [기간-TP(2)₃]에서, 전술한 바와 같이, 영상 신호 기록 트랜지스터(T_{sig})를, 일단, 오프 상태로 하고, 데이터선(DTL)의 전위를, 발광부(ELP)에서의 휘도를 제어하기 위한 구동 신호(휘도 신호)(V_{sig})로 변경하고, 그 후, [기간-TP(2)₃]'에서, 주사선(SCL)을 하이 레벨로 함에 의해, 영상 신호 기록 트랜지스터(T_{sig})를 온 상태로 함으로써, 구동 트랜지스터(T_{drv})를 온 상태로 하여도 좋다. 이 경우의 타이밍 차트를 모식적으로 도 22에 도시한다.

도면의 간단한 설명

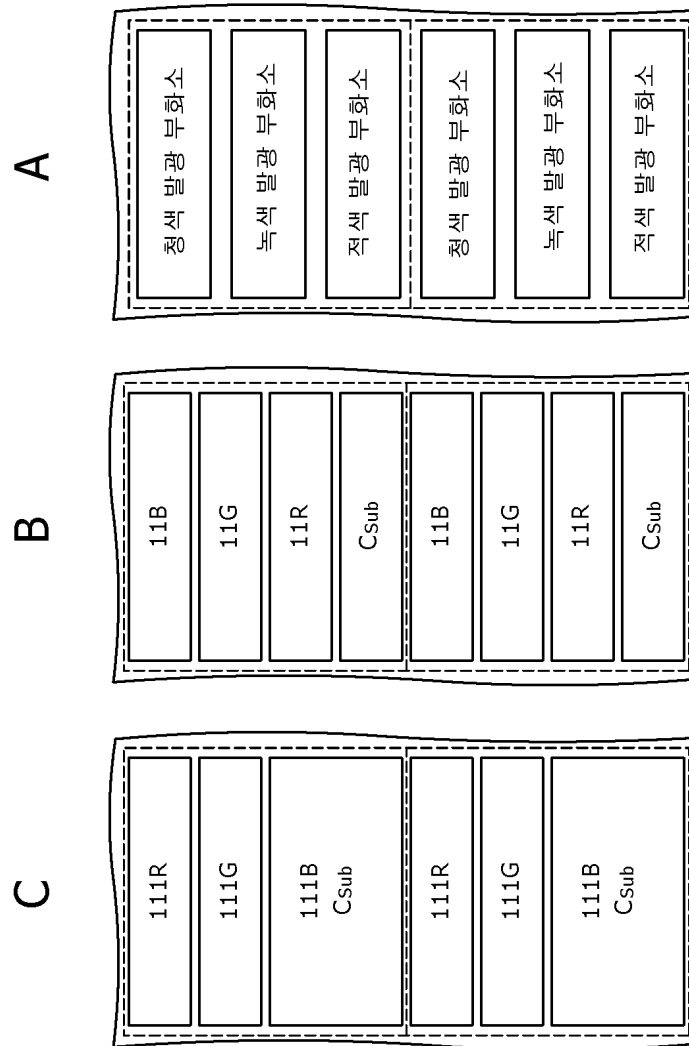
- <288> 도 1의 (A)는 실시예 1의 유기 전계발광 표시 장치에 있어서, 하나의 화소(복수의 부화소)가 차지하는 평면에서의 개념도(평면도),
- <289> 도 1의 (B)는 복수의 구동 회로 및 하나의 보조 커패시터가 차지하는 평면에서의 개념도(평면도).
- <290> 도 1의 (C)는 실시예 2의 유기 전계발광 표시 장치에 있어서, 하나의 화소(복수의 부화소)가 차지하는 평면에서의 개념도(평면도).
- <291> 도 2는 5트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 등가 회로도(단, 보조 커패시터가 마련되어 있다).
- <292> 도 3은 5트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 등가 회로도(단, 보조 커패시터는 마련되어 있지 않다).
- <293> 도 4는 5트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 개념도.
- <294> 도 5는 5트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 구동의 타이밍 차트를 모식적으로 도시하는 도면.
- <295> 도 6(A) 내지 (I)는 5트랜지스터/1커패시터로 기본적으로 구성된 구동 회로를 구성하는 각 트랜지스터의 온/오프 상태 등을 모식적으로 도시하는 도면.
- <296> 도 7은 4트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 등가 회로도(단, 보조 커패시터가 마련되어 있

다).

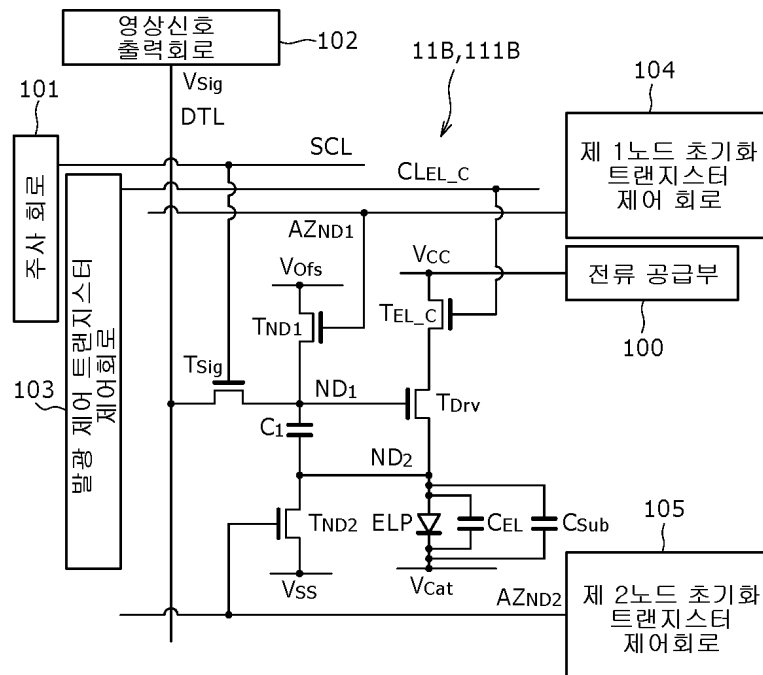
- <297> 도 8는 4트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 등가 회로도(단, 보조 커패시터는 마련되어 있지 않다).
- <298> 도 9은 4트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 개념도.
- <299> 도 10은 4트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 구동의 타이밍 차트를 모식적으로 도시하는 도면.
- <300> 도 11(A) 내지 (H)는 4트랜지스터/1커패시터로 기본적으로 구성된 구동 회로를 구성하는 각 트랜지스터의 온/오프 상태 등을 모식적으로 도시하는 도면.
- <301> 도 12는 3트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 등가 회로도(단, 보조 커패시터가 마련되어 있다).
- <302> 도 13는 3트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 등가 회로도(단, 보조 커패시터는 마련되어 있지 않다).
- <303> 도 14은 3트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 개념도.
- <304> 도 15은 3트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 구동의 타이밍 차트를 모식적으로 도시하는 도면.
- <305> 도 16(A) 내지 (I)는 3트랜지스터/1커패시터로 기본적으로 구성된 구동 회로를 구성하는 각 트랜지스터의 온/오프 상태 등을 모식적으로 도시하는 도면.
- <306> 도 17은 2트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 등가 회로도(단, 보조 커패시터가 마련되어 있다).
- <307> 도 18은 2트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 등가 회로도(단, 보조 커패시터는 마련되어 있지 않다).
- <308> 도 19는 2트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 개념도.
- <309> 도 20은 2트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의 구동의 타이밍 차트를 모식적으로 도시하는 도면.
- <310> 도 21의 (A) 내지 (F)는 2트랜지스터/1커패시터로 기본적으로 구성된 구동 회로를 구성하는 각 트랜지스터의 온/오프 상태 등을 모식적으로 도시하는 도면.
- <311> 도 22는 2트랜지스터/1커패시터로 기본적으로 구성된 구동 회로의, 도 23에 도시한 것과는 다른 구동의 타이밍 차트를 모식적으로 도시하는 도면.
- <312> 도 23은 유기 전계발광 소자의 일부분의 모식적인 일부 단면도.

도면

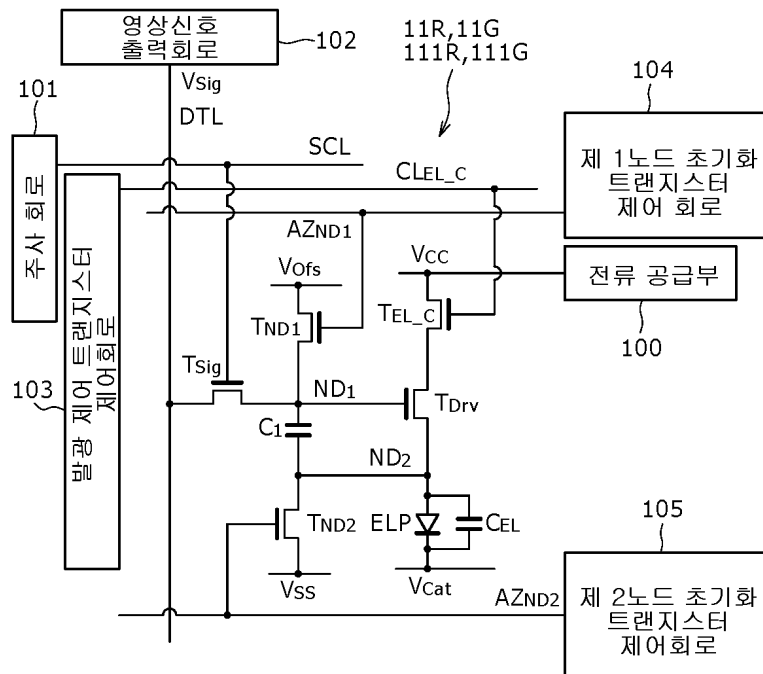
도면1



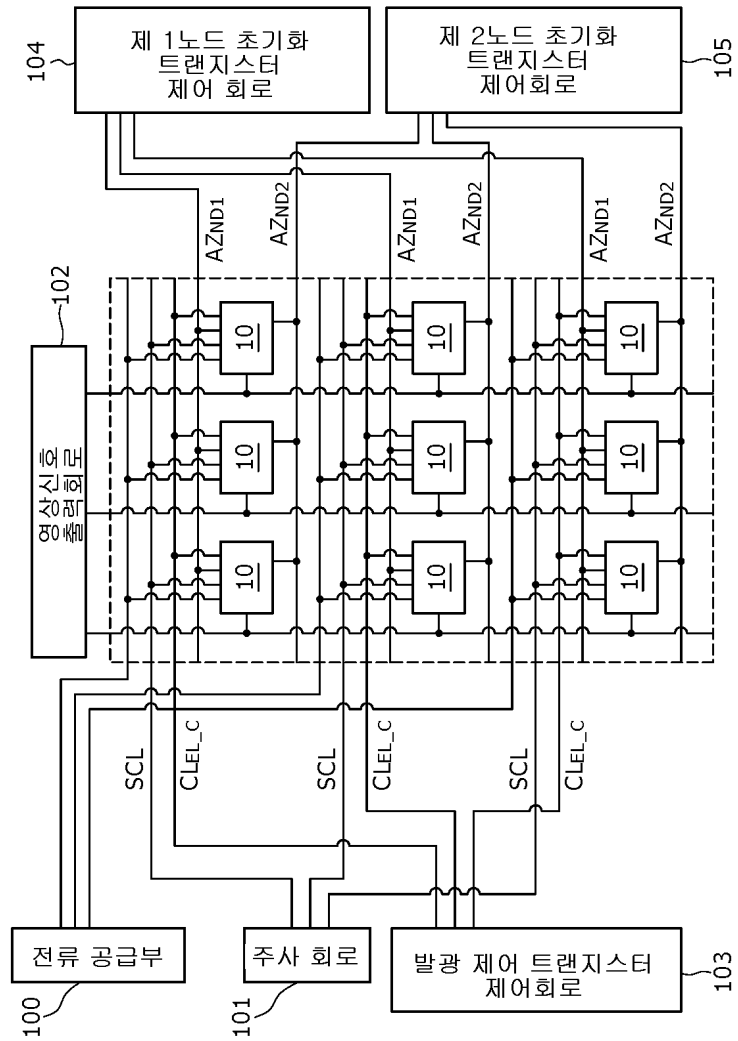
도면2



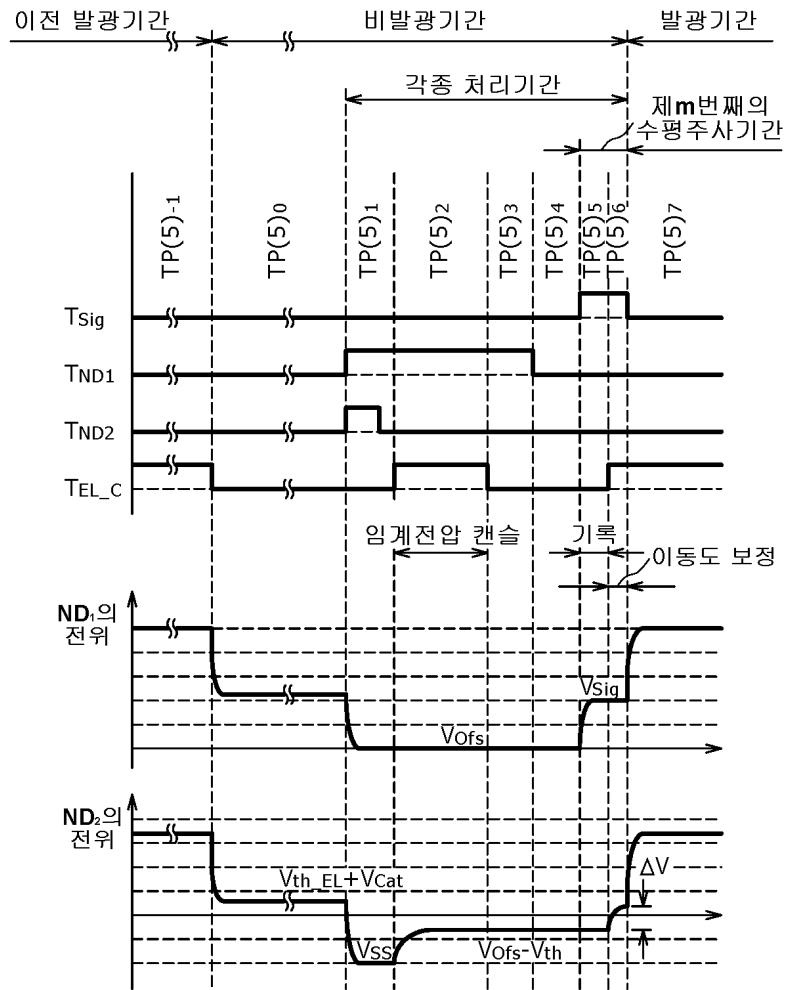
도면3



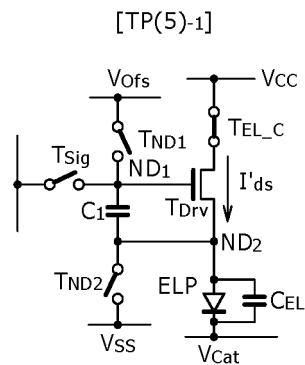
도면4



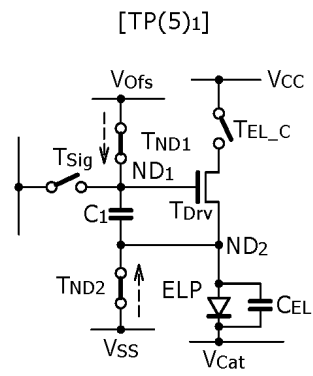
도면5



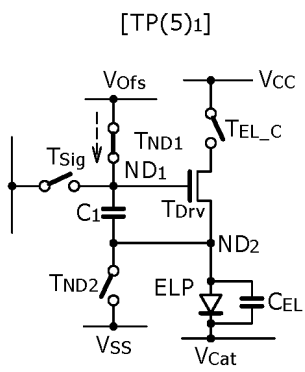
도면6a



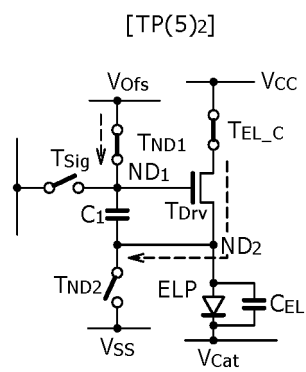
도면6b



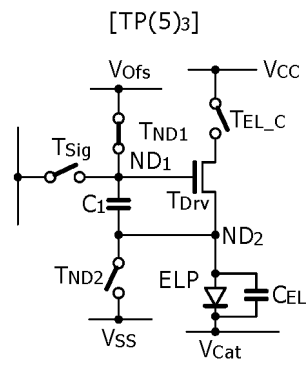
도면6c



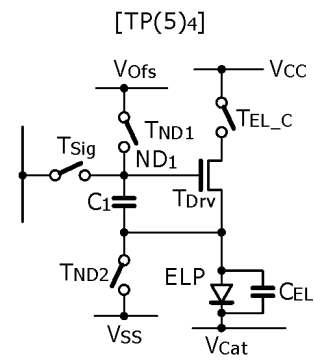
도면6d



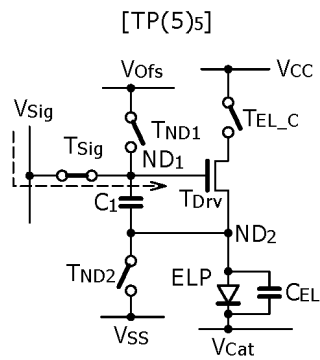
도면6e



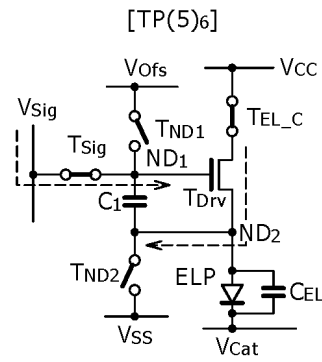
도면6f



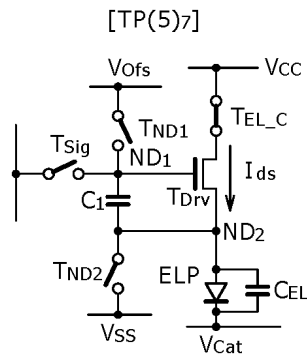
도면6g



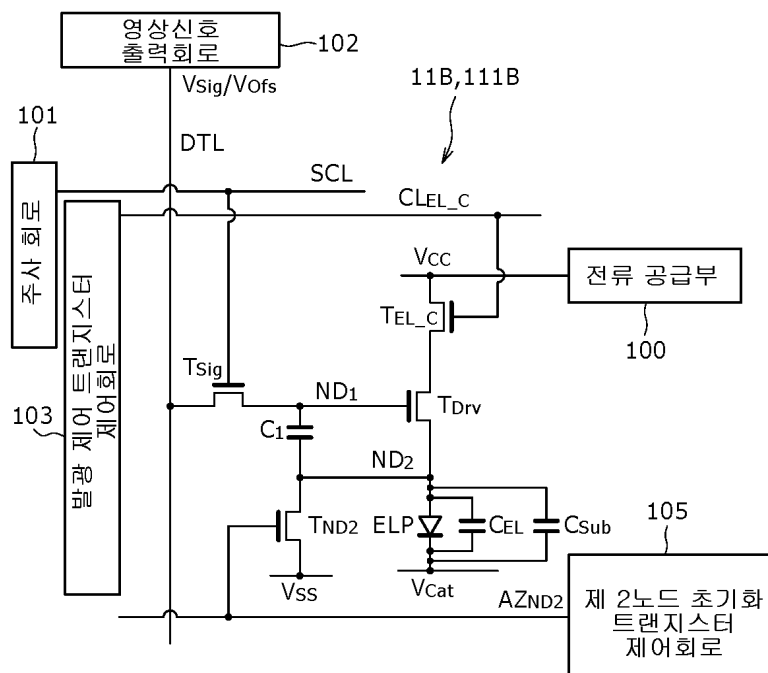
도면6h



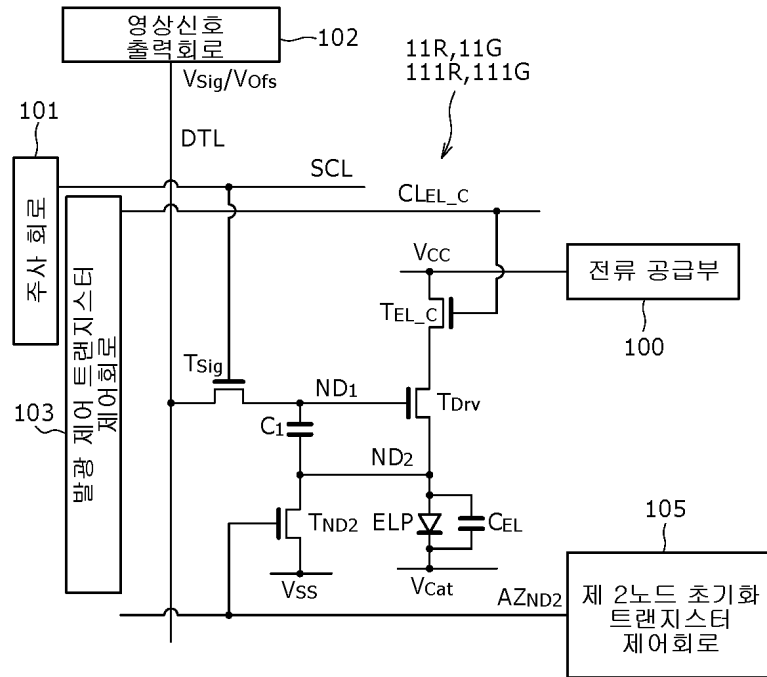
도면6i



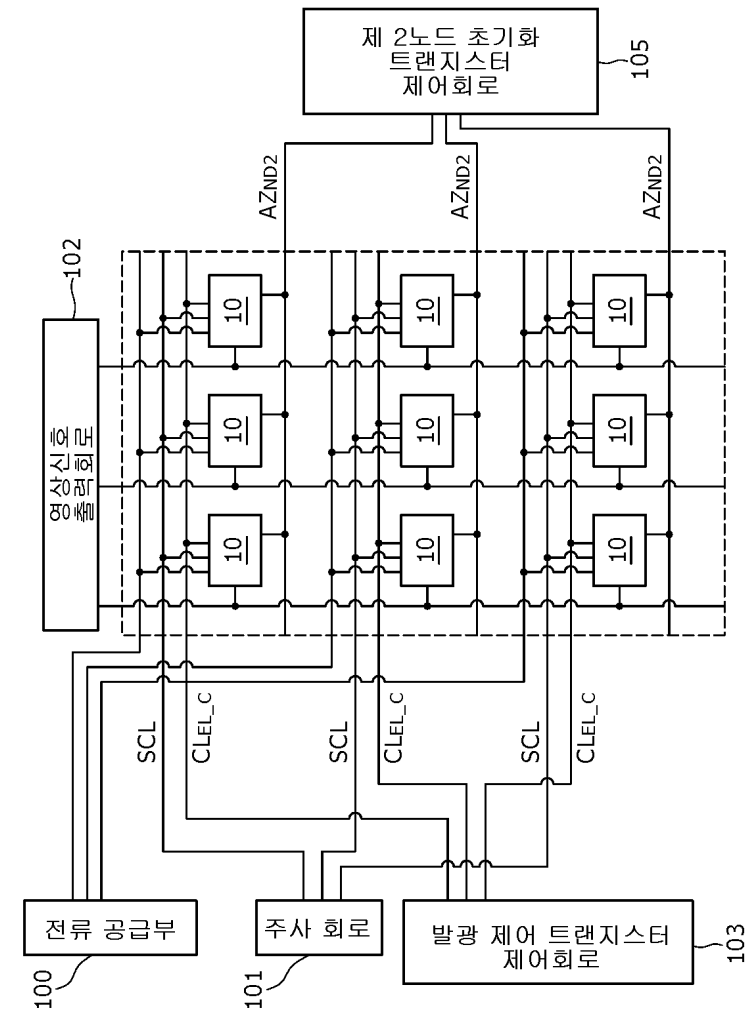
도면7



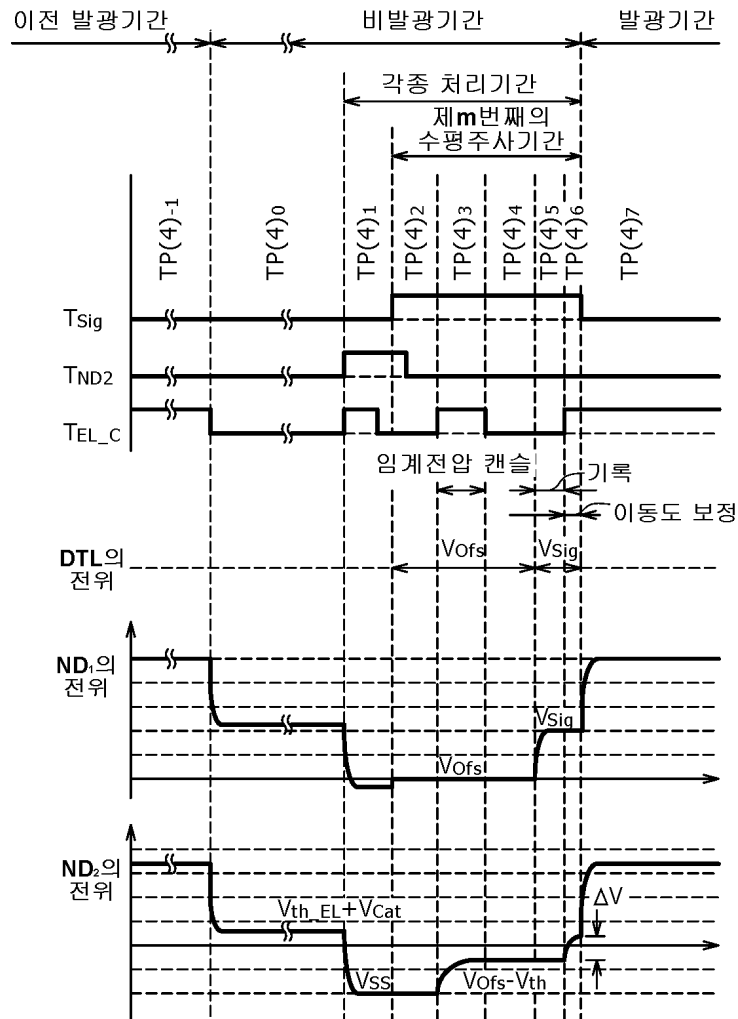
도면8



도면9

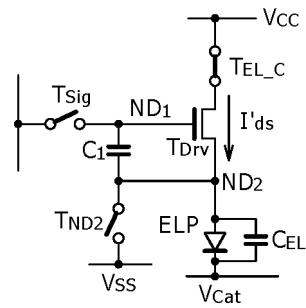


도면10

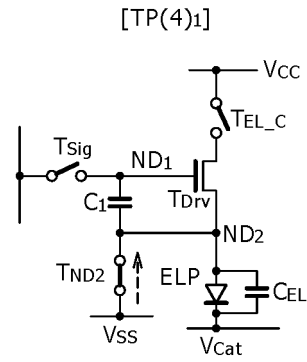


도면11a

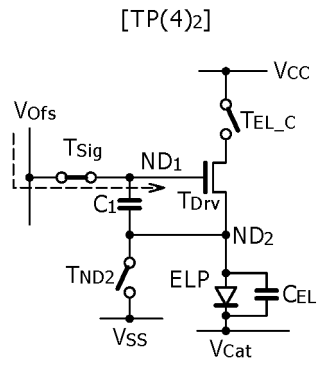
[TP(4)-1]



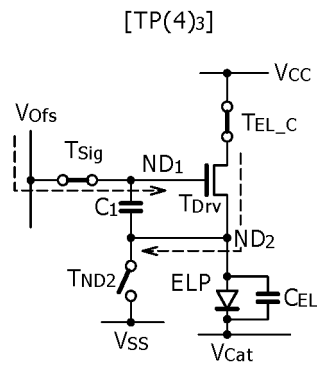
도면11b



도면11c

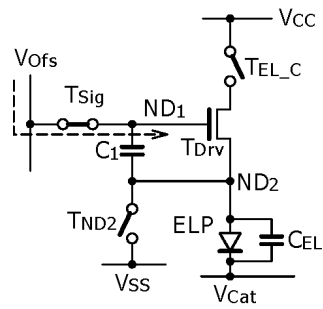


도면11d



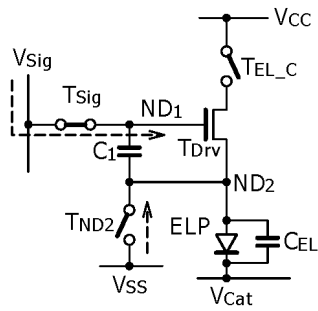
도면11e

[TP(4)4]



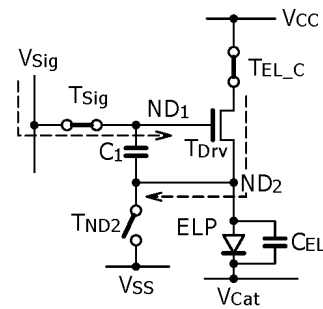
도면11f

[TP(4)5]

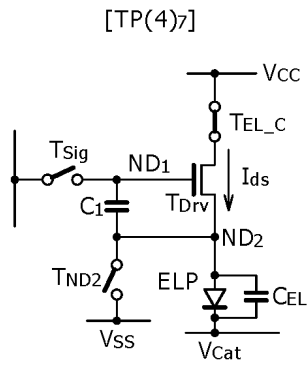


도면11g

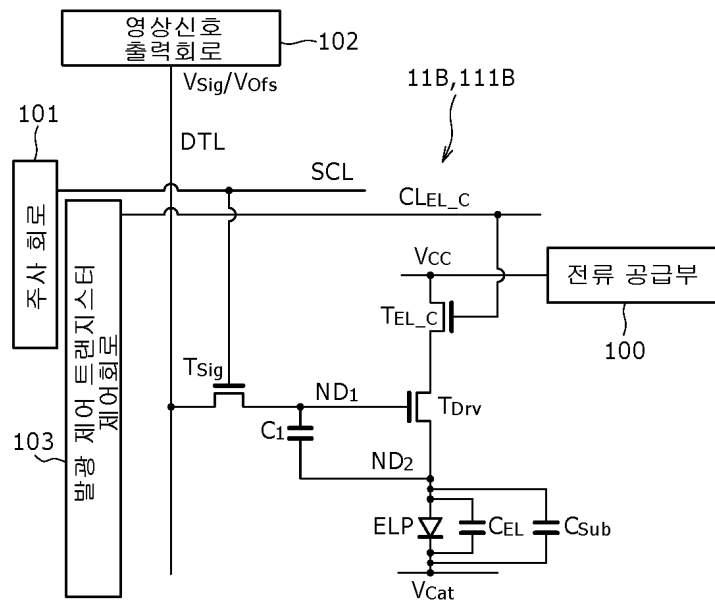
[TP(4)6]



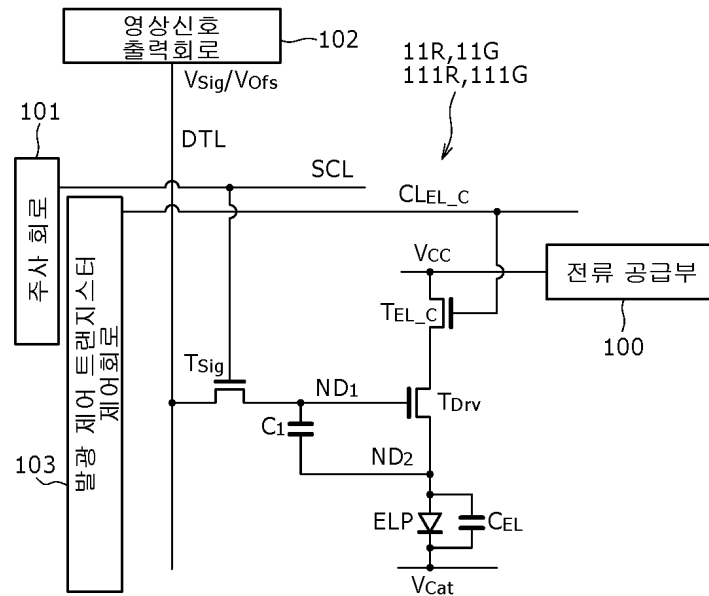
도면11h



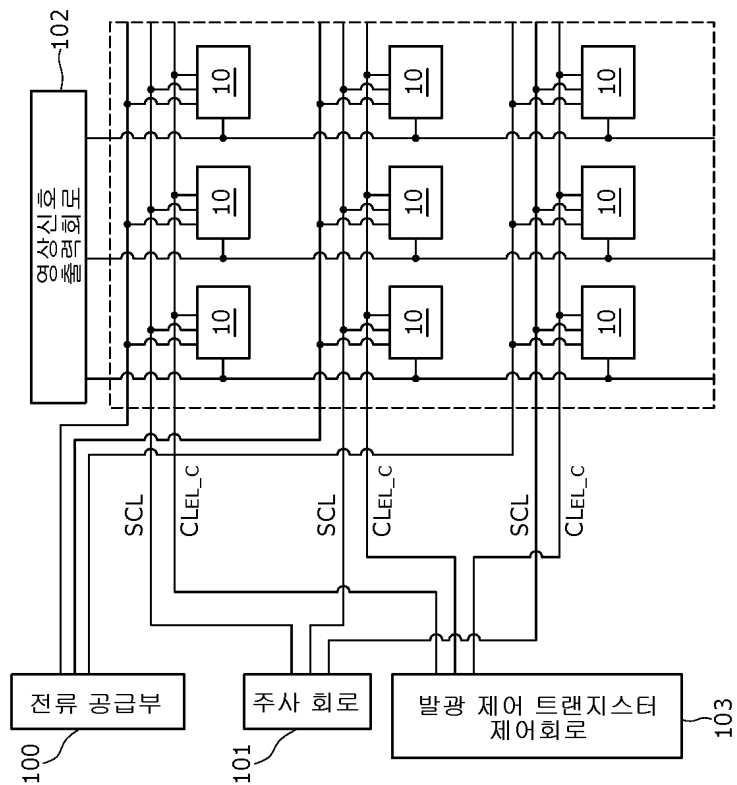
도면12



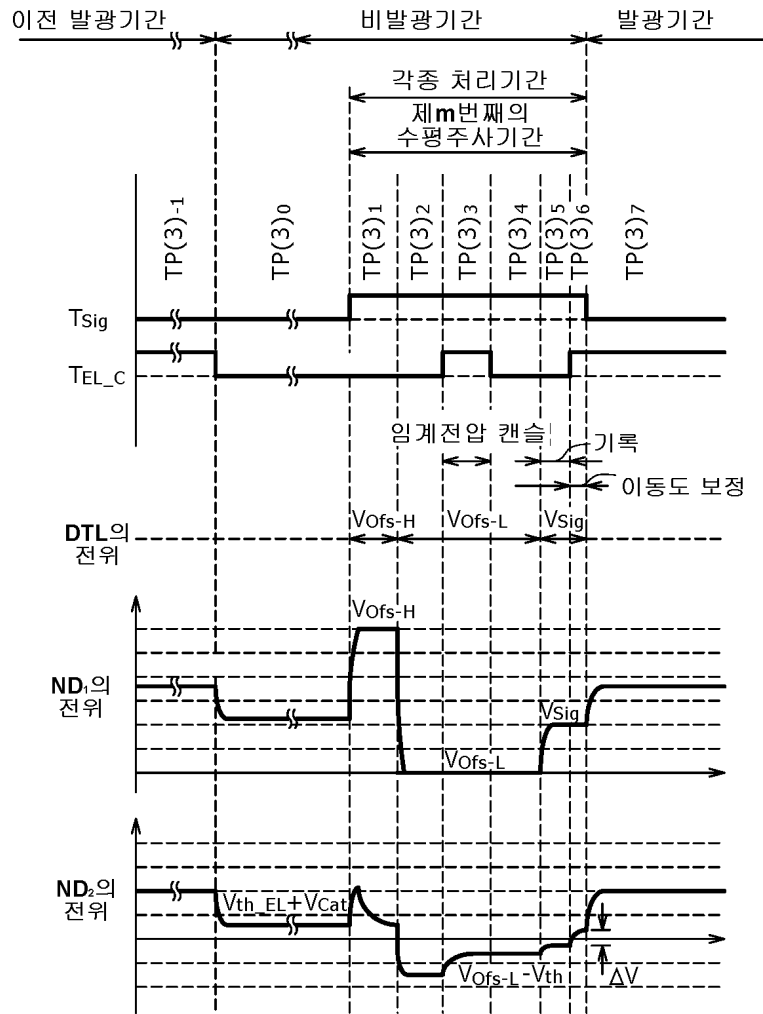
도면13



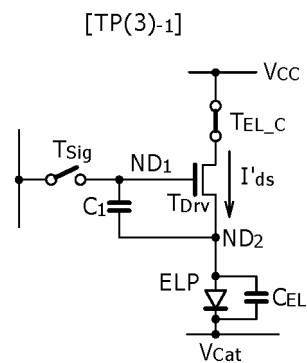
도면14



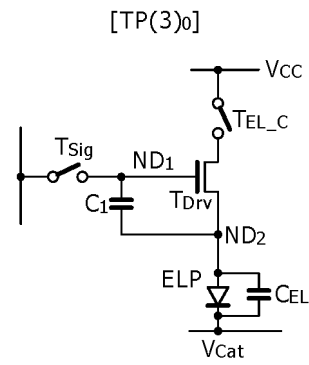
도면15



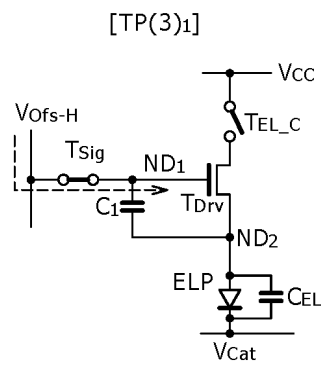
도면16a



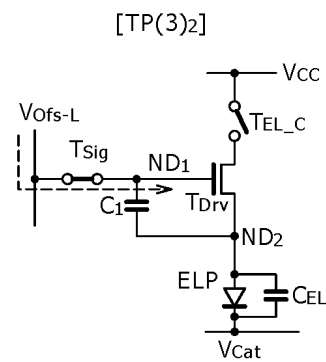
도면16b



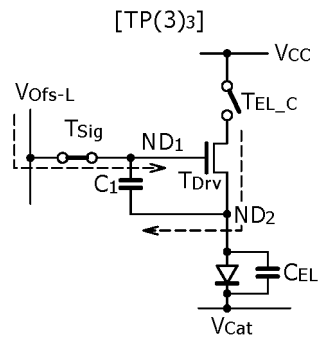
도면16c



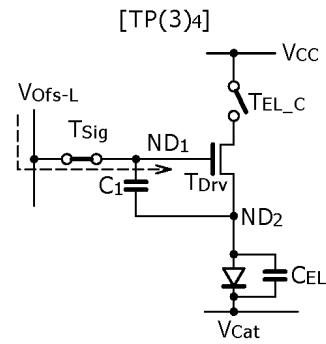
도면16d



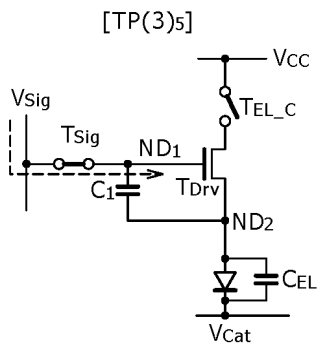
도면16e



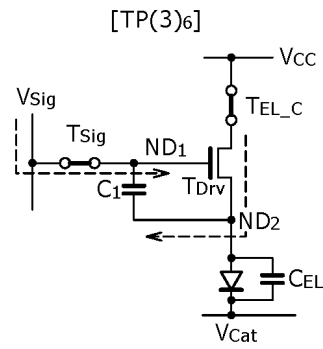
도면16f



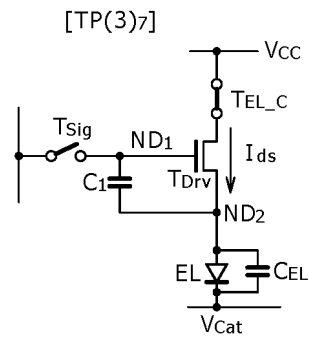
도면16g



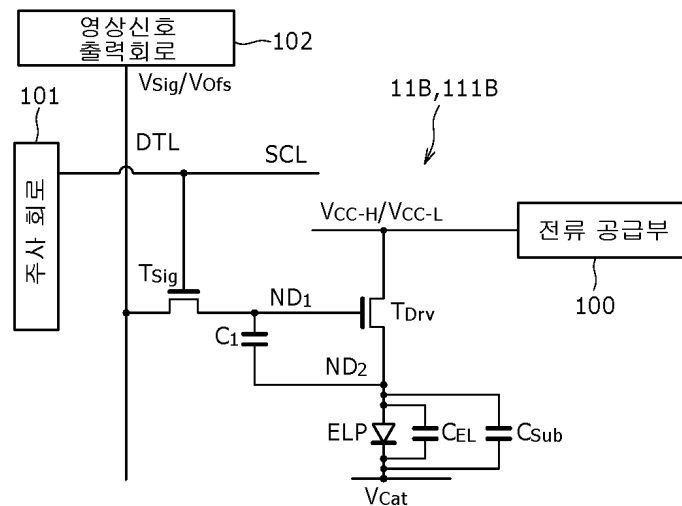
도면16h



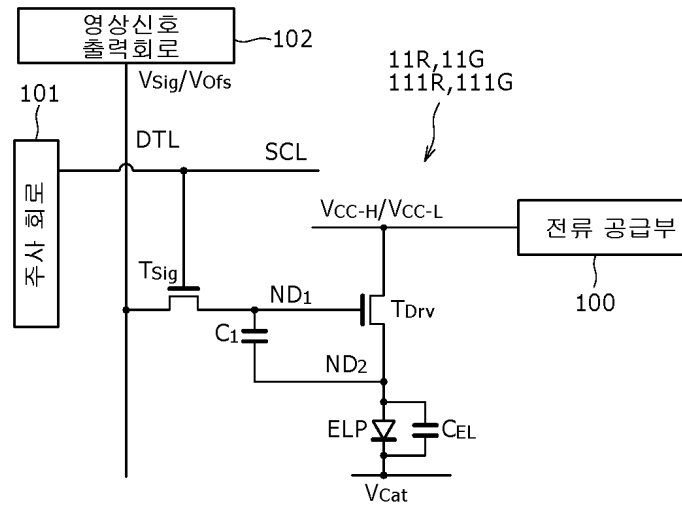
도면16i



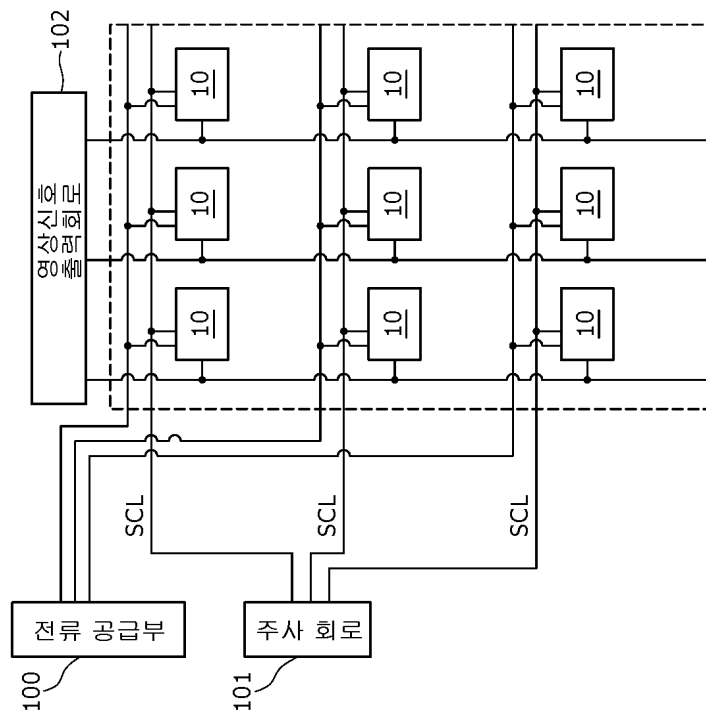
도면17



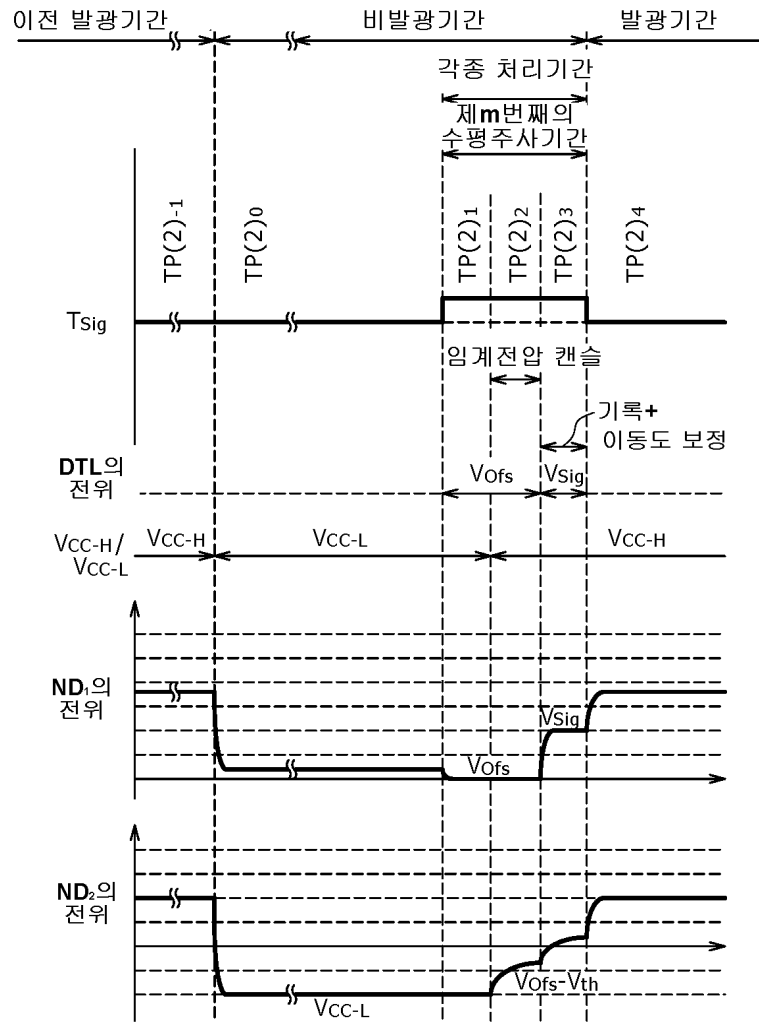
도면18



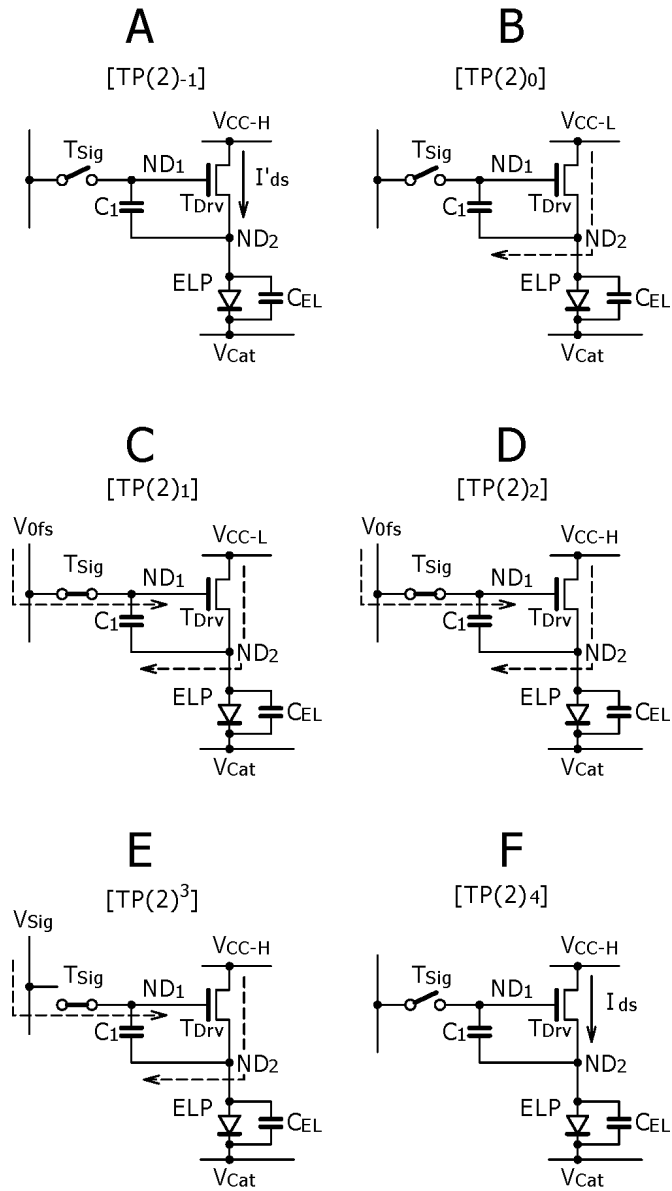
도면19



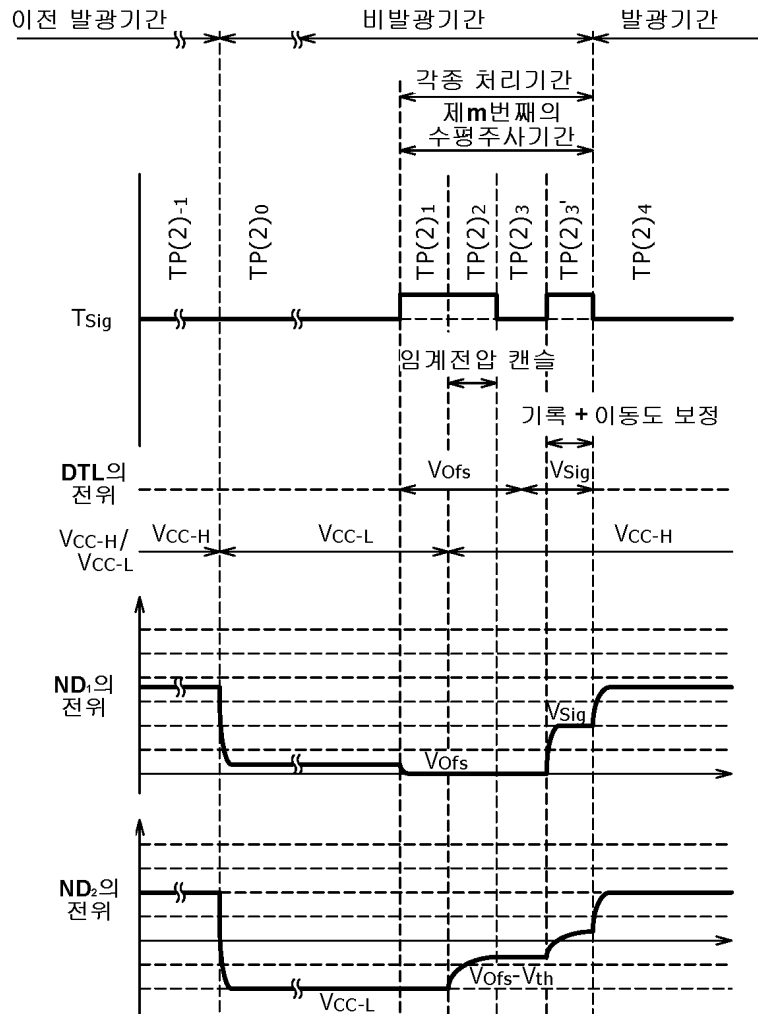
도면20



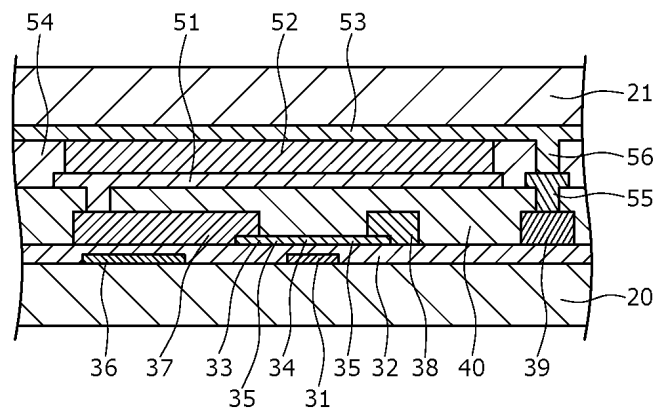
도면21



도면22



도면23



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR1020080082472A	公开(公告)日	2008-09-11
申请号	KR1020080020041	申请日	2008-03-04
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	YAMAMOTO TETSURO 야마모토테츠로 UCHINO KATSUhide 우치노카츠히데		
发明人	야마모토테츠로 우치노카츠히데		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
CPC分类号	G09G2300/0814 G09G2300/0861 G09G3/325 G09G2320/043 G09G2320/0233 G09G2300/0819 G09G2300/0876		
优先权	2007058885 2007-03-08 JP		
外部链接	Espacenet		

摘要(译)

本发明涉及一个像素是多个子像素，提供了配备有多个像素的有机电致发光显示装置。并且构成每个子像素：与驱动电路的有机电致发光单元并联连接的辅助电容器连接在组成由有机电致发光器件构成的多个子像素中的一个子像素的驱动电路中具有这样的结构，其中驱动电路和连接到驱动电路的有机电致发光单元被层叠并组织一个像素。辅助电容器在驱动电路和同一平面内制备。有机电致发光显示装置。

