



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H05B 33/26 (2006.01)

H05B 33/10 (2006.01)

(11) 공개번호 10-2007-0070547

(43) 공개일자 2007년07월04일

(21) 출원번호 10-2005-0133194

(22) 출원일자 2005년12월29일

심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 주인수
경기 성남시 분당구 수내동 푸른마을쌍용아파트 507-802

(74) 대리인 허용록

전체 청구항 수 : 총 22 항

(54) 유기 전계 발광 표시 장치 및 이의 제조 방법

(57) 요약

본 발명은 유기 전계 발광 표시 장치에 관한 것으로, 제 1 기관; 상기 제 1 기관상에 위치하는 게이트 배선과, 상기 게이트 배선의 끝단에 형성된 게이트 패드 링크부; 상기 게이트 배선과 상기 게이트 패드 링크부를 포함하는 상기 제 1 기관 상에 형성된 게이트 절연막; 상기 게이트 절연막 상에 적어도 제 1 도전막과 제 2 도전막이 적층되어 형성된 데이터 배선, 상기 데이터 배선의 끝단에 위치하는 데이터 패드, 상기 데이터 배선과 분리된 게이트 패드; 상기 데이터 배선, 상기 데이터 패드 및 상기 게이트 패드상에 형성하되, 상기 게이트 패드 링크부, 상기 데이터 패드, 상기 게이트 패드의 일부분을 각각 노출하는 콘택홀을 구비하는 보호막; 및 상기 보호막 상에 위치하되, 상기 게이트 패드 링크부와 상기 게이트 패드를 전기적으로 연결하는 링크배선을 포함하며, 상기 제 1 도전막은 내식성을 가지는 도전물질로 형성함에 따라, 외부에 노출되는 패드부의 부식을 방지할 수 있다.

대표도

도 3

특허청구의 범위

청구항 1.

제 1 기관;

상기 제 1 기관상에 위치하는 게이트 배선과, 상기 게이트 배선의 끝단에 형성된 게이트 패드 링크부;

상기 게이트 배선과 상기 게이트 패드 링크부를 포함하는 상기 제 1 기관 상에 형성된 게이트 절연막;

상기 게이트 절연막 상에 적어도 제 1 도전막과 제 2 도전막이 적층되어 형성된 데이터 배선, 상기 데이터 배선의 끝단에 위치하는 데이터 패드, 상기 데이터 배선과 분리된 게이트 패드;

상기 데이터 배선, 상기 데이터 패드 및 상기 게이트 패드상에 형성하되, 상기 게이트 패드 링크부, 상기 데이터 패드, 상기 게이트 패드의 일부분을 각각 노출하는 콘택홀을 구비하는 보호막; 및

상기 보호막 상에 위치하되, 상기 게이트 패드 링크부와 상기 게이트 패드를 전기적으로 연결하는 링크배선을 포함하며,

상기 제 1 도전막은 내식성을 가지는 도전물질로 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 2.

제 1 항에 있어서,

상기 제 1 도전막은 ITO 또는 IZO로 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 3.

제 1 항에 있어서,

상기 제 2 도전막은 상기 제 1 도전막보다 저항이 낮은 저저항체 도전물질로 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치

청구항 4.

제 1 항에 있어서,

상기 제 2 도전막은 Mo 또는 Cr로 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 5.

제 1 항에 있어서,

상기 게이트 패드는 상기 제 2 도전막상에 상기 제 1 도전막이 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 6.

제 1 항에 있어서,

상기 게이트 패드는 상기 제 1 도전막상에 상기 제 2 도전막이 위치하되, 상기 제 2 도전막은 상기 제 1 도전막의 일부분을 노출하는 개구부를 구비하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 7.

제 1 항에 있어서,

상기 게이트 배선과 데이터 배선은 교차되어 형성되며, 상기 두 배선의 교차영역에 형성된 박막트랜지스터를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 8.

제 7 항에 있어서,

상기 링크배선과 동일한 도전물질로 형성되며, 상기 박막트랜지스터의 드레인 전극과 전기적으로 연결된 연결전극을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 9.

제 1 항에 있어서,

상기 제 1 기판과 일정 간격으로 이격되어 배치되며, 실란트 패턴에 의해 합착된 제 2 기판을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 10.

제 9 항에 있어서,

상기 제 2 기판의 내측면에 위치하는 유기 전계 발광 다이오드 소자를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 11.

제 9 항에 있어서,

상기 링크배선은 상기 제 2 기판과 대응되며, 상기 실란트 패턴이 형성된 영역의 내측에 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 12.

제 1 항에 있어서,

상기 제 1 기판상에 위치하며 상기 게이트 배선과 평행하게 형성된 전원 배선과, 상기 전원 배선의 끝단에 위치하는 그라운드 패드 링크부를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 13.

제 12 항에 있어서,

상기 게이트 절연막상에 위치하되, 상기 그라운드 패드 링크부와 전기적으로 연결된 그라운드 패드를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 14.

제 1 기판을 제공하는 단계;

상기 제 1 기판상에 도전막을 형성한뒤, 패터닝하여 게이트 전극, 게이트 배선, 게이트 패드 링크부를 형성하는 단계;

상기 게이트 전극, 상기 게이트 배선, 상기 게이트 패드 링크부 상에 게이트 절연막을 형성하는 단계;

상기 게이트 전극에 대응된 상기 게이트 절연막 상에 액티브층을 형성하는 단계;

상기 액티브층을 포함하는 상기 게이트 절연막 상에 제 1 도전막과 제 2 도전막을 순차적으로 형성한 뒤, 패터닝하여 상기 액티브층 상에 대응된 영역에 위치하는 소스/드레인 전극과, 상기 게이트 절연막상에 위치하는 데이터 배선, 게이트 패드, 데이터 패드를 동시에 형성하는 단계;

상기 액티브층, 상기 소스/드레인 전극, 상기 데이터 배선, 상기 게이트 패드, 상기 데이터 패드 상에 보호막을 형성하는 단계;

상기 보호막에 상기 드레인 전극, 상기 게이트 패드 링크부, 상기 게이트 패드, 상기 데이터 패드의 일부분을 각각 노출하는 콘택홀을 형성하는 단계; 및

상기 보호막 상에 상기 게이트 패드와 상기 게이트 패드 링크부를 서로 연결하는 링크배선을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 15.

제 14 항에 있어서,

상기 제 1 도전막은 ITO 또는 IZO로 형성하고, 상기 제 2 도전막은 Mo 또는 Cr로 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 16.

제 15 항에 있어서,

상기 게이트 패드를 노출하는 콘택홀을 형성하는 단계에서 상기 제 2 도전막을 동시에 식각하여 상기 제 1 도전막을 노출하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 17.

제 14 항에 있어서,

상기 제 1 도전막은 Mo 또는 Cr로 형성하고, 상기 제 2 도전막은 ITO 또는 IZO로 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 18.

제 14 항에 있어서,

상기 링크배선을 형성하는 단계에서 상기 콘택홀을 통해 노출된 상기 드레인 전극 상에 위치하는 연결전극을 더 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 19.

제 14 항에 있어서,

상기 데이터 패드를 노출하는 콘택홀은 상기 데이터 패드의 양단부를 각각 노출하는 제 1, 제 2 콘택홀로 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 20.

제 14 항에 있어서,

유기 전계 발광 다이오드 소자가 형성된 제 2 기판을 제공하는 단계;

상기 제 1 기판의 외곽부 또는 상기 제 2 기판의 외곽부에 실란트 패턴을 형성하는 단계;

상기 두 기판을 합착하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 21.

제 20 항에 있어서,

상기 실란트 패턴은 상기 링크배선의 외측에 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 22.

제 20 항에 있어서,

상기 실란트 패턴은 상기 제 1 콘택홀과 상기 제 2 콘택홀 사이를 가로질러 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계 발광 표시 장치에 관한 것으로, 특히, 신뢰성을 확보할 수 있는 듀얼 패널 타입의 유기 전계 발광 표시 장치 및 그 제조방법에 관한 것이다.

유기 전계 발광 표시 장치는 전자(electron)와 정공(hole)이 반도체 안에서 전자-정공 쌍을 만들거나 캐리어(carrier)들이 좀더 높은 에너지 상태로 여기된 후 다시 안정화 상태인 바닥상태로 떨어지는 과정을 통해 빛이 발생하는 현상을 이용한 다.

이와 같이, 상기 유기 전계 발광 표시 장치는 자체발광형이기 때문에 액정 표시 장치와 같이 백라이트가 필요하지 않으므로 경량 박형이 가능하다. 또한, 저전압 구동, 높은 발광 효율, 넓은 시야각 및 빠른 응답속도등의 장점을 가지고 있어 고화질의 동영상 구현하는데 유리하다.

특히, 상기 유기 전계 발광 표시 장치의 제조공정에는, 액정표시장치나 PDP(Plasma Display Panel)와 달리 증착 및 봉지(encapsulation) 장비가 전부라고 할 수 있기 때문에, 공정이 매우 단순하다.

또한, 각 화소마다 스위칭 소자인 박막트랜지스터를 가지는 액티브 매트릭스방식으로 유기 전계 발광 표시 장치를 구동하게 되면, 낮은 전류를 인가하더라도 동일한 휘도를 나타내므로 저소비 전력, 고정세, 대형화가 가능한 장점을 가진다.

도 1은 종래의 유기 전계 발광 표시 장치에 대한 개략적인 단면도로서, 이는 하부 발광방식으로 동작하는 액티브 매트릭스방식의 단면 구조를 나타내고 있다.

도 1을 참조하여 설명하면, 박막트랜지스터(Tr)가 형성된 기판(10)이 위치한다. 상기 박막트랜지스터(Tr)는 게이트 전극(15), 액티브층(25) 및 소스/드레인 전극(27a, 27b)을 포함한다.

이후에, 상기 드레인 전극(27b)의 일부분을 노출하는 콘택홀을 구비한 보호막(20)이 위치한다.

상기 보호막(20)에 형성된 상기 콘택홀을 통하여 상기 드레인 전극(27b)과 전기적으로 연결된 제 1전극(30)이 위치한다.

상기 제 1 전극(30)에 서브픽셀이 정의된 절연막(40)이 위치하고, 상기 서브픽셀의 상기 제 1 전극(30) 상에 유기 발광층(50)이 위치한다. 상기 유기 발광층(50) 상에 공통전극으로 제 2 전극(60)이 형성된다. 여기서, 상기 제 1, 제 2 전극(30, 60)은 상기 유기 발광층(50)이 광을 방출할 수 있도록 전계를 인가하는 역할을 한다.

이후, 상기 기판(10)상에 형성된 유기 전계 발광 다이오드 소자(E)를 외부의 습기 및 산소로부터 보호하기 위해, 상기 기판(10)의 외곽부에 실란트(70)를 도포한뒤, 상기 유기 전계 발광 다이오드 소자(E)에 대향되도록 봉지기판(80)을 합착하는 봉지공정을 수행함으로써 유기 전계 발광 표시 장치가 제조된다.

즉, 이와 같은 유기 전계 발광 표시 장치는, 상기 어레이 소자 및 유기 전계 발광 다이오드 소자가 형성된 기판과 별도의 봉지기판의 합착을 통해 형성된다. 이때, 상기 어레이 소자의 수율과 유기 전계 발광 다이오드 소자의 수율의 곱이 유기 전계 발광 표시 장치의 수율을 결정하기 때문에, 후반 공정에 해당되는 유기 전계 발광 다이오드 소자의 제조 공정에 의해 전체 공정 수율이 크게 제한된다.

즉, 양품의 어레이 소자를 제조하는데 소요되었던 제반 경비 및 재료비 손실이 초래되고, 생산수율이 저하되는 문제점이 있다.

또한, 하부발광방식의 유기 전계 발광 표시 장치는 봉지공정에 의한 안정성 및 공정의 자유도가 높은 반면 개구율의 제한이 있어 고해상도 제품에 적용하기 어려운 문제점이 있다. 이와 달리, 상부발광방식의 유기 전계 발광 표시 장치는 박막트랜지스터 설계가 용이하고 개구율 향상이 가능하기 때문에 제품수명 측면에서 유리하다. 그러나, 종래의 상부발광방식의 유기 전계 발광 표시 장치에서는 유기발광층 상부에 통상적으로 음극이 위치함에 따라 재료선택폭이 좁기 때문에 투과도가 제한되어 광효율이 저하되는 등의 문제점이 있다.

또한, 상기 유기 전계 발광 표시 장치는 외부로부터 신호를 공급받기 위한 패드부가 외부에 노출되어 형성되는데, 상기 패드부가 금속으로 형성되어, 외부의 산소 및 수분에 의해 쉽게 부식이 될 수 있다.

이와 같은 패드부의 부식은 패드부의 금속과 외부회로부의 접촉 금속간의 접촉 저항이 높아져, 다크 픽셀(dark pixel)이 발생할 수 있으며, 상기 유기 전계 발광 표시 장치의 신뢰성이 저하될 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 박막트랜지스터와 유기 전계 발광 다이오드 소자의 수율이 서로 영향을 받지 않도록 형성하여, 불량률 및 생산관리 효율을 증대시킬 수 있는 유기 전계 발광 표시 장치 및 그의 제조 방법을 제공함에 그 목적이 있다.

또한, 광효율이 향상된 상부발광방식의 유기 전계 발광 표시 장치 및 그의 제조 방법을 제공함에 다른 목적이 있다.

또한, 신뢰성을 확보할 수 있는 유기 전계 발광 표시 장치 및 그의 제조 방법을 제공함에 또 다른 목적이 있다.

발명의 구성

상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 유기 전계 발광 표시 장치를 제공한다. 상기 유기 전계 발광 표시 장치는 제 1 기관; 상기 제 1 기관상에 위치하는 게이트 배선과, 상기 게이트 배선의 끝단에 형성된 게이트 패드 링크부; 상기 게이트 배선과 상기 게이트 패드 링크부를 포함하는 상기 제 1 기관 상에 형성된 게이트 절연막; 상기 게이트 절연막 상에 적어도 제 1 도전막과 제 2 도전막이 적층되어 형성된 데이터 배선, 상기 데이터 배선의 끝단에 위치하는 데이터 패드, 상기 데이터 배선과 분리된 게이트 패드; 상기 데이터 배선, 상기 데이터 패드 및 상기 게이트 패드상에 형성하되, 상기 게이트 패드 링크부, 상기 데이터 패드, 상기 게이트 패드의 일부분을 각각 노출하는 콘택홀을 구비하는 보호막; 및 상기 보호막 상에 위치하되, 상기 게이트 패드 링크부와 상기 게이트 패드를 전기적으로 연결하는 링크배선을 포함하며, 상기 제 1 도전막은 내식성을 가지는 도전물질로 형성되어 있다.

상기 기술적 과제를 이루기 위하여 본 발명의 다른 일 측면의 유기 전계 발광 표시 장치의 제조 방법을 제공한다. 상기 제조 방법은 제 1 기관을 제공하는 단계; 상기 제 1 기관상에 도전막을 형성한 뒤, 패터닝하여 게이트 전극, 게이트 배선, 게이트 패드 링크부를 형성하는 단계; 상기 게이트 전극, 상기 게이트 배선, 상기 게이트 패드 링크부 상에 게이트 절연막을 형성하는 단계; 상기 게이트 전극에 대응된 상기 게이트 절연막 상에 액티브층을 형성하는 단계; 상기 액티브층을 포함하는 상기 게이트 절연막 상에 제 1 도전막과 제 2 도전막을 순차적으로 형성한 뒤, 패터닝하여 상기 액티브층 상에 대응된 영역에 위치하는 소스/드레인 전극과, 상기 게이트 절연막상에 위치하는 데이터 배선, 게이트 패드, 데이터 패드를 동시에 형성하는 단계; 상기 액티브층, 상기 소스/드레인 전극, 상기 데이터 배선, 상기 게이트 패드, 상기 데이터 패드 상에 보호막을 형성하는 단계; 상기 보호막에 상기 드레인 전극, 상기 게이트 패드 링크부, 상기 게이트 패드, 상기 데이터 패드의 일부분을 각각 노출하는 콘택홀을 형성하는 단계; 및 상기 보호막 상에 상기 게이트 패드와 상기 게이트 패드 링크부를 서로 연결하는 링크배선을 형성하는 단계를 포함할 수 있다.

이하, 본 발명에 의한 유기 전계 발광 표시 장치의 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

도 2는 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시 장치의 평면을 개략적으로 도시한 도면이다.

도 2를 참조하면, 서로 일정간격으로 이격되어 배치된 제 1 기관(100)과 제 2 기관(200)이 실란트 패턴(300)에 의해 서로 합착되어 있다.

상기 제 1 기관(100)은 제 1 영역(100a)과 제 2 영역(100b)으로 정의되어 있으며, 상기 제 1 영역(100a)에 대응하여, 서로 교차된 다수의 게이트 배선(111)과 데이터 배선(121)이 위치한다. 또, 상기 게이트 배선(111)과 일정간격을 둔채로 평행하게 형성된 전원배선(131)이 위치한다. 여기서, 상기 게이트 배선(111)과 상기 데이터 배선(121)의 교차에 의해 화소 영역(P)이 정의되며, 상기 각 화소영역(P)에는 적어도 하나의 박막트랜지스터를 구비할 수 있다. 이를테면, 상기 화소영역(P)에는 상기 게이트 배선(111) 및 데이터 배선(121)과 전기적으로 연결된 스위칭 박막트랜지스터(S-Tr), 상기 스위칭 박막트랜지스터(S-Tr)와 전기적으로 연결된 구동 박막트랜지스터(D-Tr) 및 캐패시터(Cp)가 위치할 수 있다. 또, 상기 구동 박막트랜지스터(D-Tr)의 소스전극은 상기 전원배선(131)과 연결되어 있다.

또, 상기 제 1 영역(100a)에 대응하여 상기 게이트 배선(111)의 끝단에 형성된 게이트 패드 링크부(113)와, 상기 게이트 패드 링크부(113)와 연결된 링크배선(115)이 위치한다. 또한, 상기 제 1 영역(100a)과 상기 제 2 영역(100b)에 연장되어 형성되며, 상기 링크배선(125)과 전기적으로 연결된 게이트 패드(110)가 위치한다.

상기 제 2 영역(100b)에 대응하여, 상기 데이터 배선(121)의 끝단에 형성된 데이터 패드(120)와, 상기 전원 배선(131)의 끝단에 형성된 그라운드 패드(130)가 위치한다.

이때, 상기 그라운드 패드(130)는 상기 제 2 영역(100b)에서 제 1 영역(100a)까지 연장되어 형성되며, 상기 전원 배선(131)의 끝단에 위치하는 그라운드 패드 링크부(123)와 전기적으로 연결될 수 있다. 여기서, 상기 그라운드 패드(130)와 상기 그라운드 패드 링크부(123)는 링크배선(115)에 의해 서로 전기적으로 연결될 수 있다.

또, 상기 제 2 영역(100b)에 대응하여, 외부회로로부터 공통전압을 공급받는 공통전압 패드(140)가 위치할 수 있다. 상기 공통전압 패드(140)는 상기 제 2 기판(200)에 형성된 유기 전계 발광 다이오드 소자(E)와 연결되어, 상기 유기 전계 발광 다이오드 소자(E)에 기준 전압을 인가하여 준다.

이로써, 상기 제 2 영역(100b)에 대응되어 위치하는 게이트 패드(110), 데이터 패드(120), 그라운드 패드(130), 공통전압 패드(140)를 포함하는 패드부는 외부 회로부, 이를테면, TCP 또는 FPC와 연결되어 외부 신호를 공급받는다.

한편, 상기 제 2 기판(200)의 내측에 유기 전계 발광 다이오드 소자(E)가 형성되며, 상기 제 1 기판(100)에 형성된 박막트랜지스터와 연결되어 있다.

이와 같은 구성을 포함하는 유기 전계 발광 표시 장치는 다음과 같이 구동한다.

상기 외부신호부는 게이트 패드(110)와 데이터 패드(120)에 각각 선택 신호와 데이터 신호를 인가한다. 상기 선택 신호가 상기 게이트 패드(110)와 연결된 게이트 배선을 통해, 상기 스위칭 박막트랜지스터(S-Tr)의 게이트 전극을 온(ON)시키면, 상기 데이터 신호가 상기 데이터 패드(120)와 연결된 상기 데이터 배선(122)을 통해, 상기 스위칭 박막트랜지스터(S-Tr)를 통과하여, 상기 구동 박막트랜지스터(D-Tr)와 상기 캐패시터에 인가된다.

상기 데이터 신호는 상기 구동 박막트랜지스터(D-Tr)의 게이트 전극을 온(ON)시켜, 상기 구동 박막트랜지스터(D-Tr)를 통하여 상기 유기 전계 발광 다이오드 소자(E)로 전류를 공급한다. 상기 유기 전계 발광 다이오드 소자(E)에 전류가 흐르게 되면, 양극과 음극에서 각각 정공과 전자가 유기발광층으로 공급하게 되고, 상기 유기발광층에서 양극과 음극이 재결합되면서 발생하는 에너지에 의해 발광하게 되어, 화상을 구현한다.

이때, 상기 데이터 신호에 따라, 상기 구동 박막트랜지스터의 온/오프 상태를 조절하여, 상기 구동 박막트랜지스터(D-Tr)를 통하여 흐르는 전류량을 조절하여 계조 표시를 할 수 있다.

또, 상기 선택호가 인가되지 않았을 경우에는 상기 캐패시터에 충전된 데이터 신호가 상기 구동 박막트랜지스터(D-Tr)에 인가되어, 다음 화면의 신호가 인가될때까지 지속적으로 유기 전계 발광 다이오드 소자는 발광하게 된다.

도 3은 도 2의 유기 전계 발광 표시 장치의 일부분에 대한 단면을 도시한 단면도이다. 도 3에서는 하나의 구동 박막트랜지스터를 한정하여 도시하였으나, 캐퍼시터 및 스위칭 박막트랜지스터가 더 포함될 수 있다. 또, 상기 유기 전계 발광 표시 장치에 구비되는 패드부는 데이터 패드와 게이트 패드에 한정하여 도시하였으나, 공통전압패드 및 그라운드 패드가 더 포함될 수 있으나, 설명의 편의를 위해 생략하여 도시하였다.

도 3을 참조하여 설명하면, 상기 유기 전계 발광 표시 장치는 제 1 기판(100)과 제 2 기판(200)이 서로 일정한 간격으로 이격된채로 실란트 패턴(300)에 의해 서로 합착되어 있다. 여기서, 상기 제 1 기판(100)은 제 1 영역(100a)과 제 2 영역(100b)으로 정의되어 있으며, 상기 제 1 영역(100a)와 상기 제 2 영역(100b)의 경계부에 실란트 패턴(300)이 형성되어 있다. 즉, 상기 제 1 영역(100a)은 상기 제 2 기판(200)이 합착되어, 외부환경으로부터 봉지되어 있으며, 상기 제 2 영역(100b)은 외부환경에 노출되어 있다.

이때, 상기 제 1 영역(100a)에 대응되는 상기 제 1 기판(100)의 상부면에 다수의 게이트 배선과 데이터 배선이 교차되어 있으며, 상기 두 배선의 교차되어 정의 되는 화소영역에 박막트랜지스터(Tr)가 형성되어 있다. 또, 상기 제 2 영역(100b)에는 신호를 인가하기 위한 외부 회로부, 이를테면, TCP 또는 FPC와 연결되기 위한 패드부가 형성되어 있다. 여기서, 상기 패드부는 게이트 패드(110), 데이터 패드(120), 그라운드 패드(도시하지 않음), 공통전압패드(도시하지 않음) 중 적어도 어느 하나를 포함한다.

단, 상기 선택 신호를 공급받는 게이트 패드(110)는 상기 제 1 영역(100a)과 제 2 영역(200a)에 연장되어 형성되어 있으며, 상기 제 1 영역(100a)에 위치하는 상기 게이트 패드(110)의 일부는 상기 게이트 배선의 끝단에 형성된 게이트 패드 링크부(113)와 연결되고, 상기 제 2 영역(100b)에 위치하는 상기 게이트 패드(110)의 일부는 외부회로부와 연결된다.

한편, 상기 제 2 기판(200)은 그 하부면에 제 1 전극(210), 유기 발광층(220) 및 제 2 전극(230)이 구비된 유기 전계 발광 다이오드 소자(E)가 형성되어 있다.

이하, 상기 박막트랜지스터(Tr)와 패드부가 형성된 제 1 기판(100)을 더욱 자세하게 설명한다.

상기 제 1 기판(100)은 제 1 영역(100a)과 제 2 영역(100b)으로 정의되며, 상기 제 1 영역(100a)에 대응되는 상기 제 1 기판(100)의 상부면에 형성된 게이트 배선(도면에는 미도시함.), 상기 게이트 배선의 일부가 분기되어 형성된 게이트 전극(102) 및 상기 게이트 배선의 끝단에 형성된 게이트 패드 링크부(113)가 위치한다.

또, 상기 게이트 배선과 일정간격 이격된 채로 평행하게 형성된 전원 배선(도면에는 미도시함.)이 더 위치할 수 있다.

상기 게이트 전극(102), 상기 게이트 배선 및 상기 게이트 패드 링크부(113)를 포함하는 제 1 기판(100) 전면에 걸쳐 게이트 절연막(101)이 위치한다.

상기 게이트 전극(102)에 대응된 상기 게이트 절연막(101)상에는 액티브층(112)이 위치한다. 상기 액티브층(112)은 비정질 실리콘막으로 이루어진 채널층(112a)과 불순물이 도핑된 비정질 실리콘막으로 이루어진 오믹 콘택층(112b)이 순차적으로 적층되어 형성될 수 있다.

상기 액티브층(112)의 양 단부 상에 각각 형성된 소스/드레인 전극(122a, 122b), 상기 게이트 배선과 교차되는 데이터 배선(도면에는 미도시함.)이 위치한다. 상기 게이트 절연막(101) 상의 제 1 영역(100a)과 상기 제 2 영역(100b)에 대응하여 연장되어 형성된 게이트 패드(110)가 위치한다. 또, 상기 제 2 영역(100a)에 대응된 상기 게이트 절연막(101)상에 위치하며, 상기 데이터 배선의 끝단부에 형성된 데이터 패드부(120)가 위치한다.

여기서, 상기 게이트 패드(110) 및 상기 데이터 패드(120)는 제 1 도전막(L1)과 제 2 도전막(L2)이 순차적으로 적층된 적어도 이중막으로 형성되어 있다.

상기 제 1 도전막(L1)은 내식성을 가지는 도전물질로 형성되어 있다. 이로써, 상기 게이트 패드(110) 및 상기 데이터 패드(120)가 외부에 노출되어도, 상기 제 1 도전막(L1)이 내식성을 가지는 도전물질로 형성됨에 따라, 외부의 수분 및 산소에 의해 부식이 발생하는 것을 방지할 수 있다. 이때, 상기 제 1 도전막(L1)은 ITO 또는 IZO로 이루어질 수 있다.

상기 제 2 도전막(L2)은 상기 제 1 도전막(L1)보다 저항이 낮은 저저항체 도전물질로 형성될 수 있다. 이는 상기 제 1 도전막(L1)이 저항이 높으므로, 상기 제 1 도전막(L1)의 저항을 낮추는 역할을 수행한다. 이때, 상기 제 2 도전막(L2)은 상기 제 1 도전막(L1)과의 반응성을 고려하여, Cr 또는 Mo로 형성될 수 있다.

더 나아가, 상기 데이터 배선과 상기 소스/드레인 전극(122a, 122b)도 상기 제 1 도전막(L1)과 상기 제 2 도전막(L2)이 순차적으로 적층되어 형성될 수 있다.

이로써, 상기 제 1 기판(100)상의 제 1 영역(100a)에는 게이트 전극(102), 상기 액티브층(112), 소스/드레인 전극(112a, 122b)를 포함하는 박막트랜지스터(Tr)와, 상기 게이트 패드 링크부(113)가 형성되어 있으며, 상기 제 1 영역(100a)과 제 2 영역에 연장되어 형성된 게이트 패드(110)가 형성되어 있다. 또, 상기 제 2 영역(100b)에는 데이터 패드(120)가 형성되어 있다.

상기 박막트랜지스터(Tr), 상기 게이트 패드 링크부(113), 상기 게이트 패드(110), 상기 데이터 패드(120)를 포함하는 제 1 기판(100)의 전면에 걸쳐 보호막(102)이 위치한다.

상기 보호막(102)은 상기 드레인 전극(122b), 상기 게이트 패드 링크부(113), 상기 게이트 패드(110), 상기 데이터 패드(120)를 각각 노출하기 위한 콘택홀을 구비한다. 이때, 상기 콘택홀은 상기 게이트 패드(110)는 상기 제 1 영역(a)에 대응된 일부분을 노출하는 제 1 콘택홀(P1)과, 상기 제 2 영역(b)에 대응된 일부분을 노출하는 제 2 콘택홀(P2)를 포함할 수 있다.

상기 보호막(102)상에 상기 제 1 콘택홀(P1)에 의해 노출된 상기 게이트 패드(110)와 상기 게이트 패드 링크부(113)를 연결하기 위한 링크 배선(115)이 위치한다. 상기 링크 배선(115)은 Pt, Au, Ir, Cr, Mg, Ag, Ni, Al 및 AlNd로 이루어진 군에서 선택된 적어도 하나를 포함하여 형성할 수 있다. 또, 상기 제 2 콘택홀(P2)에 의해 노출된 게이트 패드(110)는 외부회로부와 접촉한다.

더 나아가, 상기 보호막(102)상에 상기 콘택홀에 노출된 상기 드레인 전극(122b)과 연결된 연결전극(125)을 더 포함할 수 있다. 이는, 상기 연결전극(125)은 상기 콘택홀을 형성하는 공정에서 상기 드레인 전극(121b)이 손실될 것을 우려하여, 이를 보완하기 위해 형성한다.

여기서, 상기 연결전극(125)은 공정의 편의상 상기 링크 배선(115)과 동일한 도전물질로 형성될 수 있다.

도면과 달리, 상기 게이트 패드(110) 및 상기 데이터 패드(120)는 제 2 도전막(L2)과 제 1 도전막(L1)이 순차적으로 적층된 이중막으로 형성될 수 있다. 이때, 상기 제 1 도전막(L1)은 상기 제 1, 제 2 콘택홀(P1, P2)에 노출되는 영역의 제 2 도전막(L2)에 개구부를 형성하여, 외부에 노출된다. 즉, 상기 게이트 패드(110) 및 상기 데이터 패드(120)를 구성하는 제 2 도전막(L2)이 식각되어 상기 제 1 도전막(L1)이 외부로 노출된다.

이로써, 외부에 노출되는 상기 게이트 패드(110) 또는 상기 데이터 패드(120)의 일부분은 내식성을 가지는 도전물질로 이루어진 제 1 도전막(150a)이 외부로 노출됨에 따라, 외부의 습기 및 산소에 의해 쉽게 부식이 발생하지 않는다.

이로 인하여, 외부에 노출되는 패드부는 내식성을 가지는 제 1 도전막이 노출되므로, 상기 패드부의 부식에 의한, 유기 전계 발광 표시 장치의 화소 불량 및 신뢰성이 저하되는 것을 방지할 수 있다.

한편, 상기 유기 전계 발광 다이오드 소자(E)가 형성된 제 2 기판(200)을 자세하게 설명한다.

상기 제 2 기판(200)은 그 하부면에 공통 전극으로 제 1 전극(210)이 위치한다. 여기서, 상기 제 2 기판(200)과 상기 제 1 전극(210) 사이에 보조 전극(205)을 더 포함할 수 있다. 상기 보조 전극(205)은 상기 제 1 전극(210)의 저항을 낮추는 역할을 한다. 이때, 상기 보조 전극(205)은 저항이 낮은 금속으로 대부분 불투명하므로, 비발광영역에 대응되는 부분에 형성하는 것이 바람직하다.

상기 제 1 전극(210) 하부에 화소영역을 정의하는 버퍼층(215)이 위치한다. 상기 버퍼층(215)상에 세퍼레이터(225)와, 상기 세퍼레이터(225)와 이격된 스페이서(235)가 위치한다.

상기 제 1 전극(210)하부에 유기발광층(220) 및 제 2 전극(230)이 순차적으로 위치한다.

상기 유기 발광층(220)은 그 하부 또는 상부에 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층, 전자 주입층 중에 어느 하나 이상을 더 포함할 수 있다. 이로써, 상기 제 1 전극(210), 유기 발광층(220), 제 2 전극(230)의 각각 경계면에서 에너지 레벨을 잘 맞추어줄 수 있어, 상기 유기 발광층(220)에 전자와 정공을 더욱 원활하게 주입할 수 있어, 발광 효율을 더욱 향상시킬 수 있다.

또, 상기 제 2 전극(230)은 상기 세퍼레이터(225)에 의해, 각 화소 영역별로 분리되어 형성된다. 이로써, 상기 세퍼레이터(225)는 역테이퍼진 격벽으로 형성하는 것이 바람직하다. 또는, 도면과 달리, 상기 버퍼층(215)상에 유기막을 형성한 뒤, 상기 버퍼층(215)을 언더컷 형상으로 식각하여, 상기 제 2 전극(230)을 각 화소영역별로 분리하는 세퍼레이터 역할을 수행할 수 있다.

또, 상기 제 2 전극(230)은 상기 스페이서(235)에도 형성되며, 상기 스페이서(235)에 의해, 상기 제 2 전극(230)의 일부분이 하부로 돌출되어, 상기 제 1 기판(100)의 박막트랜지스터(Tr)와 연결된다.

더 나아가, 도면에는 도시하지 않았으나, 상기 제 2 전극(230) 하부에 위치하는 흡습층을 더 포함할 수 있다. 이는, 상기 유기 발광층(220)이 수분에 의해 손상되는 것을 방지하기 위함이다.

이로써, 상기 제 1 기관(100)의 내측면에는 박막트랜지스터(Tr)가 형성되며 상기 제 2 기관(200)의 내측면에는 박막트랜지스터(Tr)가 형성되어 있다. 이때, 상기 박막트랜지스터(Tr)와 상기 유기 전계 발광 다이오드 소자(E)는 제 2 전극(230)이 형성된 스페이서(235)에 의해 서로 전기적으로 연결되어, 상기 박막트랜지스터(Tr)의 구동에 의해서, 상기 유기 전계 발광 다이오드 소자(E)는 발광하게 되고, 상기 제 2 기관(200)으로 광이 방출되어, 사용자에게 화상을 제공할 수 있다.

도 4a 내지 도 4g는 본 발명의 제 2 실시예에 따른 유기 전계 발광 표시 장치의 제조 공정을 설명하기 위해 도시한 공정도들이다.

도 4a를 참조하면, 제 1 기관(400)을 제공한다. 상기 제 1 기관(400)은 유리 기관 또는 플라스틱 기관일 수 있다.

상기 제 1 기관(400)상에 도전막을 형성한 뒤, 패터닝하여 일 방향을 가지는 게이트 배선(도면에는 도시하지 않음), 상기 게이트 배선에서 분기된 게이트 전극(402), 상기 게이트 배선의 끝단에 위치하는 게이트 패드 링크부(413)를 형성한다.

또, 도면에는 도시되지 않았으나, 이와 동시에 상기 게이트 배선과 일정한 간격을 둔 채로 평행하게 배치된 전원배선과, 상기 전원배선의 끝단에 위치하는 그라운드 패드 링크부가 더 형성될 수 있다.

이후에, 상기 게이트 전극(402)과 게이트 패드 링크부(413)를 포함하는 상기 제 1 기관(400) 전면의 게이트 절연막(401)을 형성한다. 상기 게이트 절연막(401)은 화학기상증착법을 수행하여 증착된 산화 실리콘막, 질화 실리콘막 또는 이들의 적층막으로 형성할 수 있다.

도 4b를 참조하면, 상기 게이트 절연막(401) 상에 비정질 실리콘, P형 또는 N형 불순물이 도핑된 비정질 실리콘을 순차적으로 증착한 뒤, 패터닝하여, 상기 게이트 전극(402)에 대응되어 위치하는 채널층(412a)과 오믹 콘택층(412b)이 적층된 액티브층(412)을 형성한다.

도 4c를 참조하면, 상기 액티브층(412)을 포함하는 상기 게이트 절연막(401)상에 제 1 도전막(L1)과 제 2 도전막(L2)을 순차적으로 형성한 뒤, 패터닝하여 상기 게이트 배선과 교차되는 데이터 배선(도면에는 도시하지 않음), 상기 데이터 배선의 끝단에 위치하는 데이터 패드(420), 소스/드레인 전극(421a, 421b)을 형성하고, 이와 동시에 상기 데이터 배선과 분리되어 형성된 게이트 패드(410)를 형성한다.

또, 도면에는 도시하지 않았으나, 섬 형상의 그라운드 패드 및 공통전압 패드를 더 형성할 수 있다.

여기서, 상기 제 1 도전막(L1)은 내식성을 가지는 도전물질로, ITO 또는 IZO를 증착하여 형성할 수 있다. 또, 상기 제 2 도전막(L2)은 상기 제 1 도전막(L1)과 반응하지 않으며, 상기 제 1 도전막(L1)보다 저항이 작은 저저항체 도전물질로, Cr 또는 Mo를 증착하여 형성할 수 있다.

이로써, 상기 제 1 기관(400)상에 게이트 전극(402), 상기 액티브층(412) 및 상기 소스/드레인 전극(422a, 422b)을 포함하는 박막트랜지스터(Tr)와, 내식성을 가지는 제 1 도전막(L1)과 상기 제 1 도전막(L1)의 저항을 낮추기 위한 제 2 도전막(L2)으로 이루어진 상기 게이트 패드(410) 및 상기 데이터 패드(420)가 형성된다.

도 4d를 참조하면, 상기 박막트랜지스터(Tr), 상기 게이트 패드(410) 및 상기 데이터 패드(420)를 포함하는 상기 게이트 절연막(401) 상에 보호막(402)을 형성한다. 상기 보호막(402)은 유기막 또는 무기막으로 형성할 수 있다. 이를테면, 상기 유기막은 아크릴계 수지, 벤조사이클로부텐(BCB), 폴리이미드(PI) 및 노볼락계 수지로 이루어진 군에서 선택된 적어도 하나일 수 있다. 또, 상기 무기막은 산화 실리콘막, 질화 실리콘막 또는 이들의 적층막일 수 있다.

상기 보호막(402)에 상기 드레인 전극(422b), 상기 게이트 패드 링크부(413), 상기 게이트 패드(410), 상기 데이터 패드(420)를 각각 노출하는 콘택홀을 형성한다.

이때, 상기 콘택홀은 상기 게이트 패드(410)의 양 단부를 각각 노출하는 제 1 콘택홀(P1)과 제 2 콘택홀(P2)를 포함할 수 있다.

도 4e를 참조하면, 상기 콘택홀을 포함하는 상기 보호막(402)상에 도전물질을 증착한 뒤, 패터닝하여, 상기 게이트 패드 링크부(413)와 상기 게이트 패드(410)를 전기적으로 연결하기 위한 링크 배선(415)을 형성한다. 이로써, 상기 게이트 패드(410)를 통하여 인가된 선택 신호가 상기 링크 배선(415)과 상기 게이트 패드 링크부(413)를 통해, 게이트 배선으로 공급되고, 결국, 상기 박막트랜지스터(Tr)에 인가되어, 상기 게이트 전극(402)을 온(ON)시킨다.

이로써, 내식성을 가지는 제 1 도전막(L1)을 포함하여, 외부에 노출되는 상기 게이트 패드(410)와 상기 데이터 패드(420)를 동시에 형성할 수 있다.

이와 동시에, 상기 콘택홀에 노출된 상기 드레인 전극(422b)과 전기적으로 연결된 연결전극(425)이 더 형성될 수 있다. 이는 상기 콘택홀을 형성하는 공정에서, 상기 드레인 전극(422b)이 손실될 수 있어, 이를 보완하는 역할을 한다.

한편, 도 4f를 참조하면, 유기 전계 발광 다이오드 소자(E)가 형성된 제 2 기판(500)을 제공한다.

자세하게, 상기 제 2 기판(500)에 상기 유기 전계 발광 다이오드 소자(E)를 형성하는 공정은 우선, 상기 제 2 기판(500)을 제공한다. 상기 제 2 기판(500) 상에 공통전극으로 제 1 전극(510)을 형성한다. 상기 제 1 전극(510)은 일함수가 높은 투명성의 도전 물질로 형성한다. 이를테면, 상기 제 1 전극(510)은 ITO 또는 IZO로 형성할 수 있다.

상기 제 1 전극(510) 상부에 각 화소영역별로 정의하기 위한 버퍼층(515)을 형성한다. 상기 버퍼층(515)은 절연막으로 형성한다. 상기 버퍼층(515)상에 세퍼레이터(525)를 형성한다. 여기서, 상기 세퍼레이터(525)는 역테이퍼진 격벽형상으로 형성할 수 있다. 이때, 상기 세퍼레이터(525)는 유기 절연체로 형성할 수 있다. 또, 상기 버퍼층(515)상에 세퍼레이터(525)와 이격되어 위치하는 스페이서(535)를 형성한다.

상기 스페이서(535)를 포함하는 제 1 전극(510) 전면에 걸쳐, 유기 발광층(520) 및 제 2 전극(530)을 순차적으로 형성한다. 이때, 상기 제 2 전극(530)은 상기 세퍼레이터(525)에 의해 서브픽셀로 자동적으로 분리되어 형성된다. 또한, 상기 제 2 전극(530)은 상기 스페이서 상부에도 연장되어 형성되어 있으므로, 상기 스페이서(535)에 의해 일부분이 상부로 돌출된다.

이때, 상기 유기 발광층(520)을 형성하기 전에 정공 주입층 및/또는 정공 수송층을 더 형성할 수 있다. 또한, 상기 유기 발광층(520)을 형성한 후에 정공 억제층, 전자 수송층 및 전자 주입층 중 적어도 하나 이상을 더 형성할 수 있다.

여기서, 상기 제 2 전극(530) 상부에 흡습막(도면에는 도시하지 않음.)을 더 형성할 수 있다. 상기 흡습막은 BaO 또는 CaO로 이루어질 수 있다. 이로써, 상기 흡습막에 의해, 소자 내부에 침투된 수분 및 산소로부터 유기 전계 발광 다이오드 소자(E)를 보호할 수 있어, 완성된 장치의 수명이 감소하는 것을 방지할 수 있다.

도 4g를 참조하면, 박막트랜지스터(Tr)가 형성된 제 1 기판(400) 또는 유기 전계 발광 다이오드 소자(E)가 형성된 제 2 기판(500)상에 실란트 패턴(600)을 형성한 뒤, 두 기판을 합착하는 봉지공정을 수행하여 유기 전계 발광 표시 장치를 제조한다. 상기 실란트 패턴(600)은 상기 게이트 패드(410)의 양 단부를 각각 노출하는 제 1 콘택홀(P1)과 제 2 콘택홀(P2)의 사이를 가로질러 형성된다. 또한, 상기 실란트 패턴(600)의 내측에 상기 게이트 패드 링크부(413)가 위치하도록 상기 실란트 패턴(600)을 형성한다. 이로써, 상기 게이트 패드 링크부(413)는 외부에 노출되지 않도록 한다.

이때, 상기 제 1 기판(400)의 상기 드레인 전극(422b)과 상기 제 2 기판(500)의 스페이서(535)에 의해 돌출된 제 2 전극(530)이 서로 접촉된다.

더 나아가, 상기 제 1 기판(400)과 상기 제 2기판(500)의 내부는 수분 및 산소를 제거하기 위해 비활성 가스를 충전시킬 수 있다. 이로써, 상기 제 2 기판(400)에 형성된 유기 발광층(420)이 수분 및 산소에 의해 수명이 감소하거나 흑점이 발생하는 것을 방지할 수 있다.

도 5a 내지 도 5d는 본 발명의 제 3 실시예에 따른 유기 전계 발광 표시 장치의 제조 공정을 설명하기 위해 도시한 공정도들이다. 여기서, 제 1 도전막과 제 2 도전막의 증착순서를 변경하여, 게이트 패드부를 형성하는 것을 제외하고, 상기 제 2 실시예에 따른 유기 전계 발광 표시 장치의 제조 공정과 동일한 공정을 수행하여 제조됨에 따라, 동일한 참조번호는 동일한 구성요소를 지칭하고, 반복되는 설명은 생략하여 설명한다.

도 5a를 참조하여 설명하면, 제 1 기판(400) 상에 도전막을 형성한 뒤, 패터닝하여 일 방향을 가지는 게이트 배선(도면에는 도시하지 않음), 상기 게이트 배선에서 분기된 게이트 전극(402), 상기 게이트 배선의 끝단에 위치하는 게이트 패드 링크부(413)를 형성한다.

상기 게이트 전극(402)과 상기 게이트 패드 링크부(413)를 포함하는 상기 제 1 기판(400) 전면에 게이트 절연막(401)을 형성한다.

상기 게이트 절연막(401)상에 채널층(412a)과 오믹 콘택층(412b)이 적층된 액티브층(412)을 형성한다.

이후, 상기 액티브층(412)를 포함하는 상기 게이트 절연막(401)상에 제 2 도전막(L2)과 제 1 도전막(L1)을 순차적으로 적층한 뒤, 패터닝하여 소스/드레인 전극(422a, 422b), 데이터 배선(도면에는 도시하지 않음), 상기 데이터 배선의 끝단에 위치하는 데이터 패드(420), 섬 형상의 게이트 패드(410)를 형성한다.

여기서, 상기 제 1 도전막(L1)은 내식성을 가지는 도전물질로, ITO 또는 IZO를 증착하여 형성할 수 있다. 또, 상기 제 2 도전막(L2)은 상기 제 1 도전막(L1)과 반응하지 않으며, 상기 제 1 도전막(L1)보다 저항이 작은 저저항체 도전물질로, Cr 또는 Mo를 증착하여 형성할 수 있다.

도 5b를 참조하면, 상기 소스/드레인 전극(422a, 422b), 상기 게이트 패드(410), 상기 데이터 패드(420)를 포함하는 상기 게이트 절연막(401)상에 보호막(402)을 형성한다.

상기 보호막(402)에 상기 드레인 전극(422b), 상기 패드 링크부(413), 상기 게이트 패드(410), 상기 데이터 패드(420)를 각각 노출하는 콘택홀을 형성한다. 상기 콘택홀은 상기 게이트 패드(410)의 양 단부를 각각 노출하는 제 1 콘택홀(P1)과 제 2 콘택홀(P2)를 포함할 수 있다.

상기 보호막(402)에 콘택홀에 의해 노출되는 상기 게이트 패드, 상기 데이터 패드 및 상기 게이트 패드 링크부의 상부막인 상기 제 2 도전막(L2)을 식각하여, 상기 제 1 도전막(L1)이 노출되는 개구부를 형성한다. 즉, 내식성을 가지는 상기 제 1 도전막(450a)이 외부로 노출되어, 외부회로부와 접촉한다.

도 5c를 참조하면, 상기 콘택홀을 포함하는 상기 보호막(402)상에 도전물질을 증착한 뒤, 패터닝하여, 상기 게이트 패드 링크부(413)와 상기 게이트 패드(410)를 전기적으로 연결하기 위한 링크 배선(415)을 형성한다. 또한, 상기 콘택홀을 형성하는 공정에서, 상기 드레인 전극(422b)이 손실될 수 있어, 이를 보완하기 위한 연결전극(425)이 더 형성될 수 있다.

도 5d를 참조하면, 박막트랜지스터(Tr)가 형성된 제 1 기판(400) 또는 유기 전계 발광 다이오드 소자(E)가 형성된 제 2 기판(500)상에 실란트 패턴(600)을 형성한 뒤, 두 기판을 합착하는 봉지공정을 수행하여 유기 전계 발광 표시 장치를 제조한다.

발명의 효과

상기한 바와 같이 본 발명의 유기 전계 발광 표시 장치는 박막트랜지스터와 유기 전계 발광 다이오드 소자를 서로 다른 기판에 각각 형성한 뒤, 상기 두 기판을 합착하여 유기 전계 발광 표시 장치를 제조함으로써, 불량률의 감소와 함께 생산 수율의 향상을 기대할 수 있다.

또, 외부에 노출되는 패드부를 내식성이 강한 도전물질로 형성하여, 상기 패드부의 부식을 방지할 수 있다.

또, 상기 패드부의 부식을 방지할 수 있어, 상기 패드부의 부식에 의한 불량 문제를 해결할 수 있으며, 이와 더불어 신뢰성을 향상시킬 수 있다.

또, 내식성을 가지는 패드부를 동시에 형성할 수 있어, 별도의 공정을 추가하지 않아도 된다.

상기에서는 본 발명의 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1은 종래의 유기 전계 발광 표시 장치에 대한 개략적인 단면도이다.

도 2는 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시 장치의 평면을 개략적으로 도시한 도면이다.

도 3은 도 2의 유기 전계 발광 표시 장치의 일부분에 대한 단면을 도시한 단면도이다.

도 4a 내지 도 4g는 본 발명의 제 2 실시예에 따른 유기 전계 발광 표시 장치의 제조 공정을 설명하기 위해 도시한 공정도들이다.

도 5a 내지 도 5d는 본 발명의 제 3 실시예에 따른 유기 전계 발광 표시 장치의 제조 공정을 설명하기 위해 도시한 공정도들이다.

(도면의 주요 부분에 대한 부호의 설명)

100, 400 : 제 1 기판 110, 410 : 게이트 패드부

120, 420 : 데이터 패드부 113, 413 : 게이트 패드 링크부

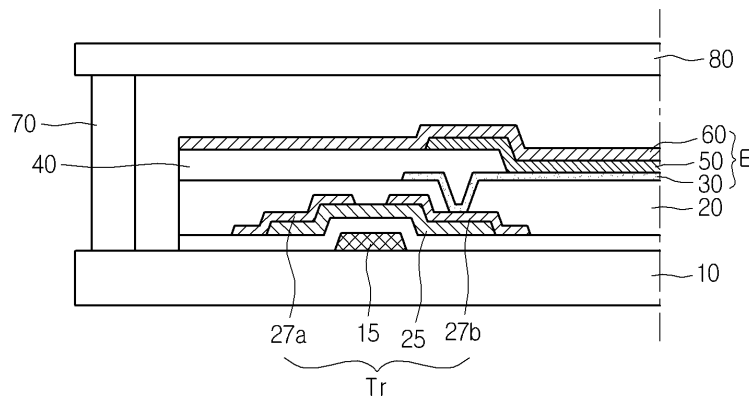
115, 415 : 링크배선 200, 500 : 제 2 기판

210, 510 : 제 1 전극 220, 520 : 유기발광층

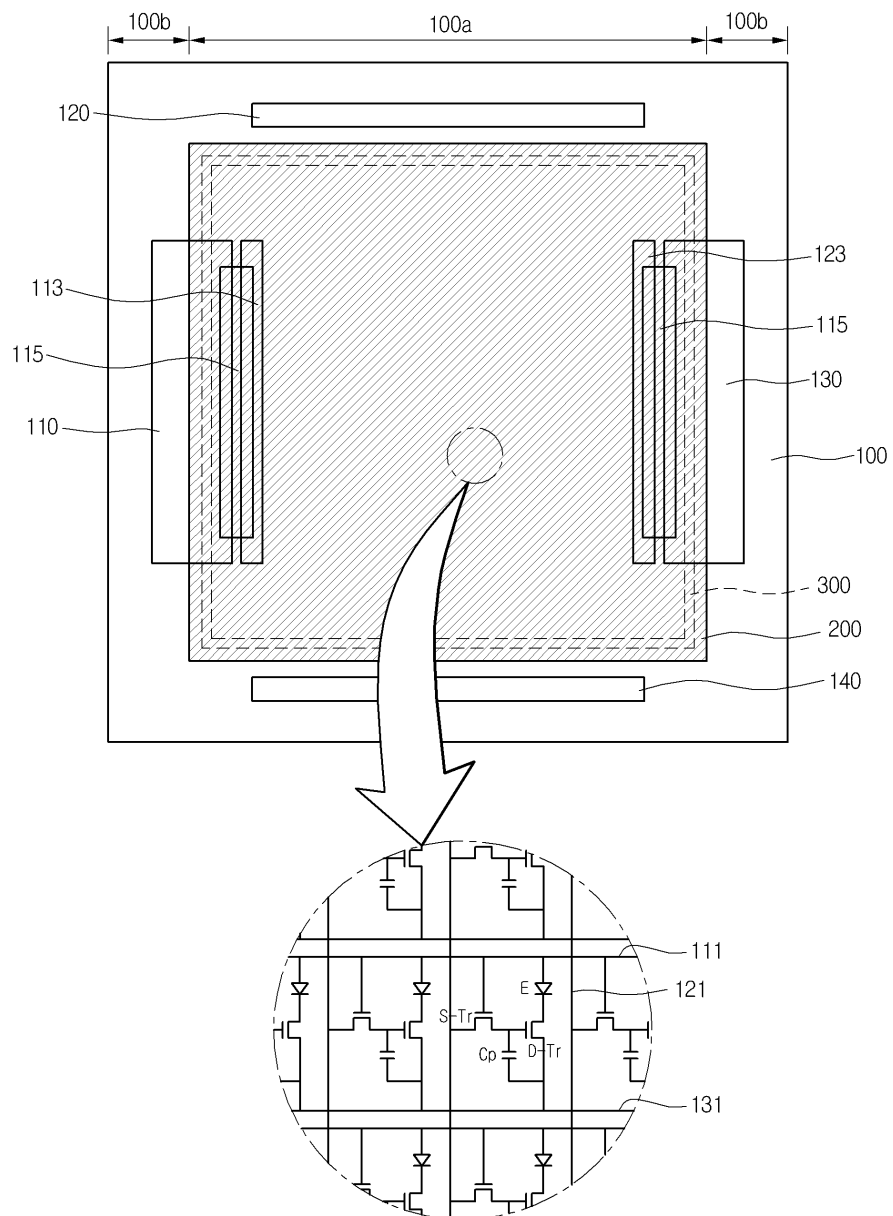
230, 530 : 제 2 전극 300, 600 : 실란트 패턴

도면

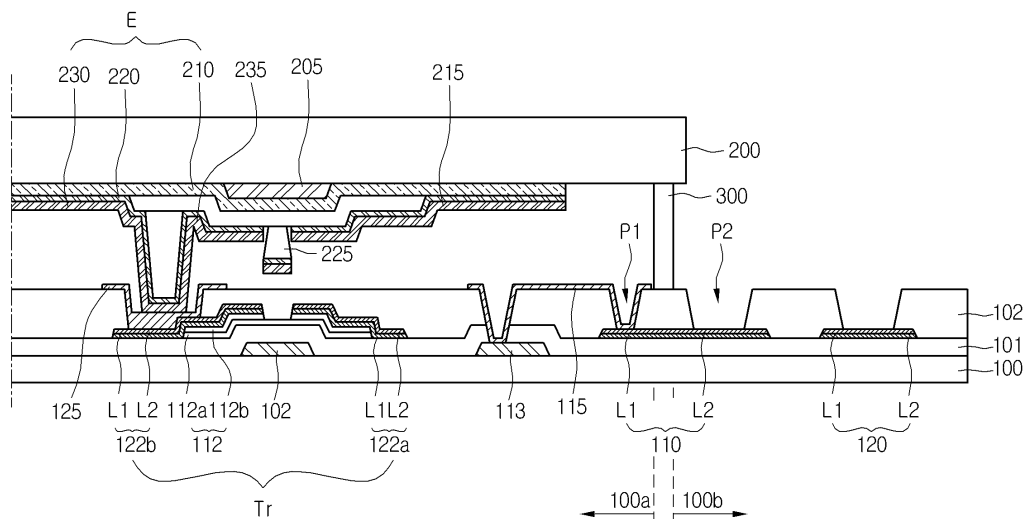
도면1



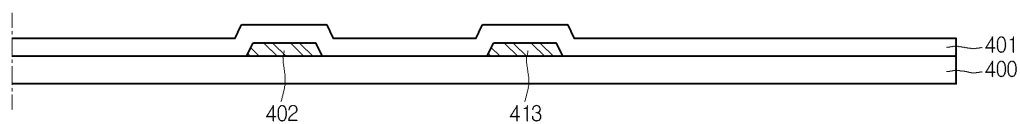
도면2



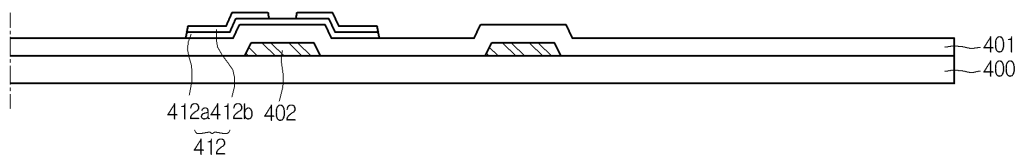
도면3



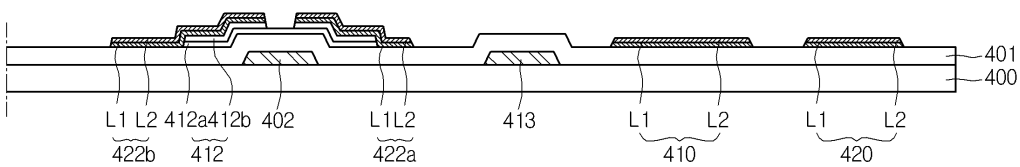
도면4a



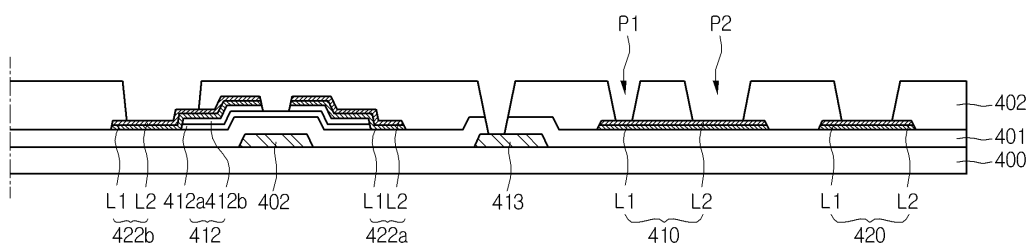
도면4b



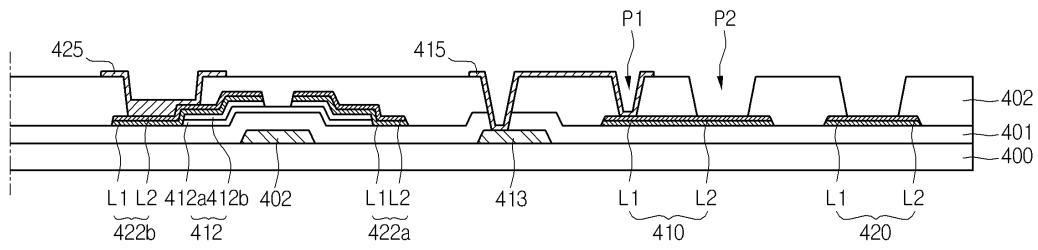
도면4c



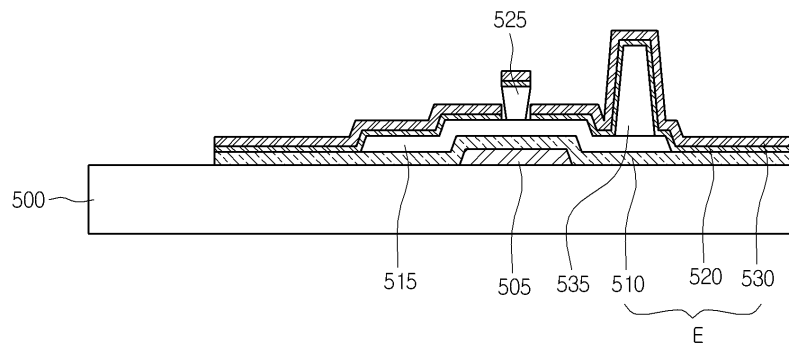
도면4d



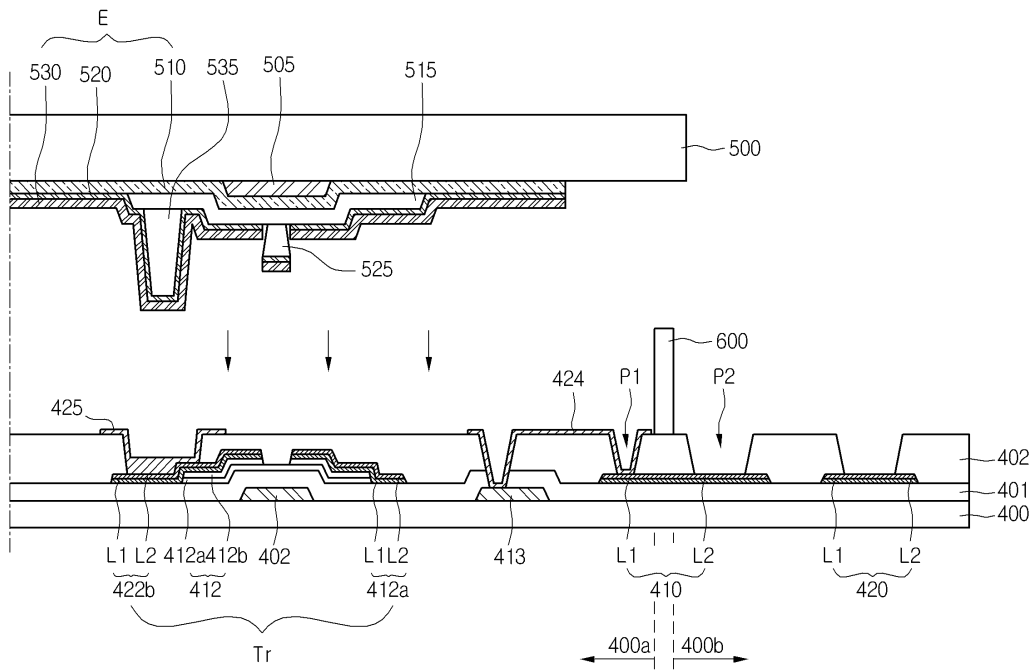
도면4e



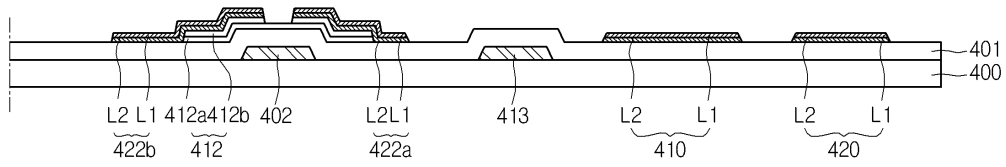
도면4f



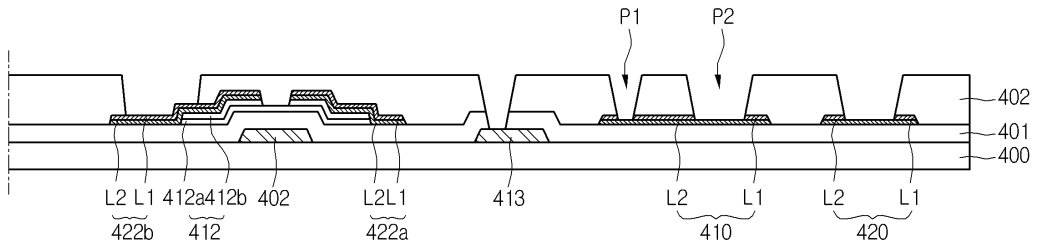
도면4g



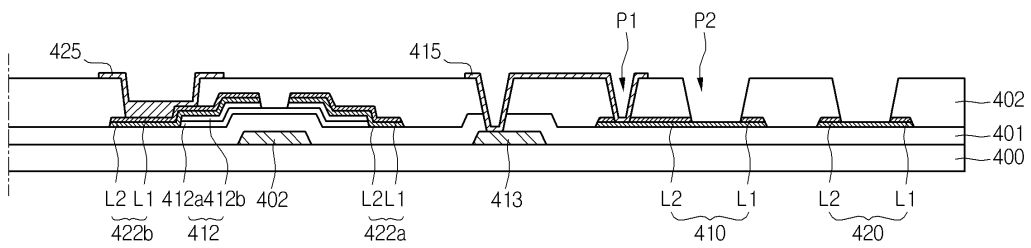
도면5a



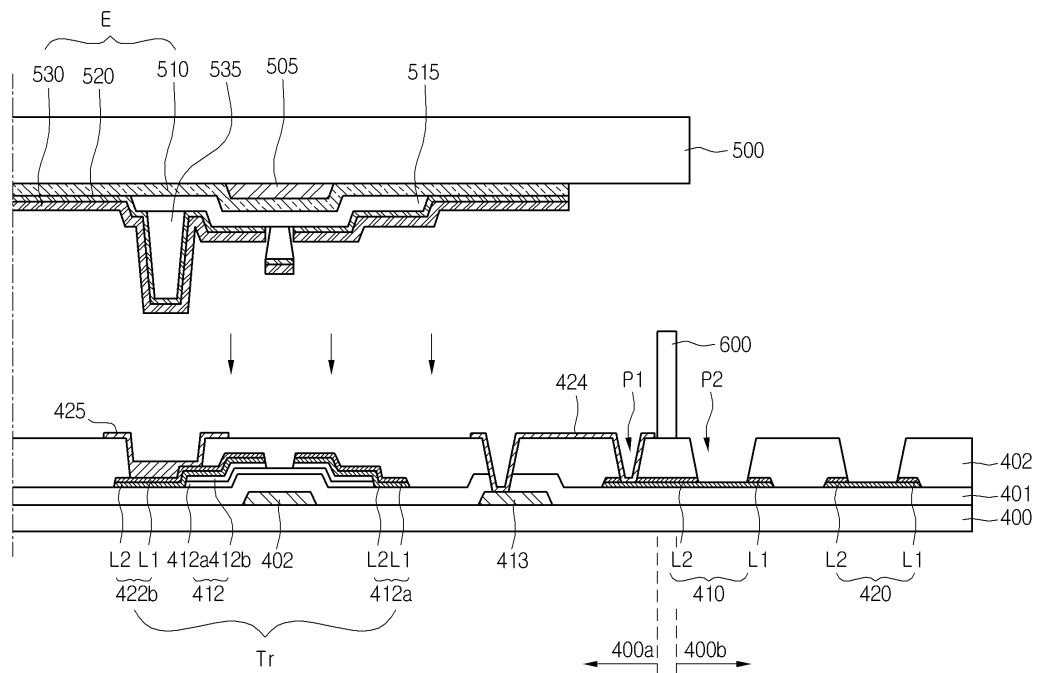
도면5b



도면5c



도면5d



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020070070547A	公开(公告)日	2007-07-04
申请号	KR1020050133194	申请日	2005-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JOO IN SU		
发明人	JOO, IN SU		
IPC分类号	H05B33/26 H05B33/10		
CPC分类号	H01L2924/0002		
其他公开文献	KR101232549B1		
外部链接	Espacenet		

摘要(译)

本发明涉及有机电致发光显示装置。并且它形成在栅极绝缘层上：形成在栅极焊盘连接模块上的栅极绝缘层，形成在栅极布线的端部，位于第一基板上：第一基板和栅极布线：第一基板包括栅极布线和栅极在至少第一导电膜和数据线上的焊盘连接模块，其中第二导电膜是层叠数据焊盘，位于数据线末端的栅极焊盘：数据线与数据线分离，以及数据焊盘和栅极焊盘。栅极焊盘连接模块，数据焊盘和栅极焊盘的一部分相应的接触孔暴露出暴露于其外部的焊盘部分的腐蚀，可以防止其中包含保护膜和第一导电的导电材料薄膜栅极焊盘连接模块和连接电气连接栅极焊盘的连接布线包括在其表面上的保护薄膜具有耐腐蚀性。双面板，有机电致发光显示装置，焊盘部分，腐蚀。

