

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H05B 33/00

(11) 공개번호 10-2005-0081266  
(43) 공개일자 2005년08월19일

(21) 출원번호 10-2004-0008957  
(22) 출원일자 2004년02월11일

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 이청  
경기도용인시구성면상하리쌍용아파트315동702호  
김덕희  
서울특별시동작구사당동105번지신동아아파트402동1504호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 유기 발광 표시판

요약

본 발명에 따른 유기 발광 표시판은 화상을 표시하는 표시 영역, 표시 영역을 구동하기 위해 표시 영역의 주변에 형성되어 있는 구동 회로 영역을 포함하는 유기 발광 표시판에서, 표시 영역 및 구동 회로 영역에 형성되어 있는 표시 및 구동 박막 트랜지스터는 P형 도전형 불순물이 도핑되어 있는 소스 영역 및 드레인 영역을 가진다.

대표도

도 3

색인어

유기발광, 박막트랜지스터, 다결정규소

명세서

도면의 간단한 설명

- 도 1은 본 발명을 설명하기 위한 유기 발광 표시판의 개략적인 배치도이고,
- 도 2는 도 1의 표시 영역에 형성되어 있는 일 화소에 형성되어 있는 박막 트랜지스터에 대한 배치도이고,
- 도 3은 도 2의 III-III'선을 따라 자른 단면도이고,
- 도 4는 도 2의 IV-IV'선을 따라 자른 단면도이고,
- 도 5는 도 1의 구동 회로 영역에 형성되어 있는 박막 트랜지스터의 배치도이고,

도 6은 도 5의 VI-VI'선을 따라 자른 단면도이고,

도 7은 박막 트랜지스터의  $V_{gs}$ 의 변화에 따른  $I_{ds}$  값을 측정한 그래프이고,

도 8 및 도 9는 각각 구동 회로 영역에서 저농도 도핑 영역을 가지는 P형 및 N형 박막 트랜지스터의 위치에 따른  $V_{th}$ 의 값을 나타낸 그래프이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 발광 표시판에 관한 것이다.

유기 발광(organic electroluminescence) 표시판은 전류가 흐를 경우 빛을 내는 유기 물질을 화소 별로 분리하여 매트릭스 모양으로 배치해 놓은 표시 영역과 이들 유기 물질에 흘리는 전류량을 조절함으로써 화상을 표시하기 위한 구동 회로 영역으로 이루어진다. 이러한 유기 발광 표시판은 저전압 구동, 경량 박형, 광시야각 그리고 고속응답 등의 장점으로 인하여 차세대 표시 장치로 기대되고 있다.

유기 발광 표시판의 표시 영역은 매트릭스 모양으로 배치되어 있는 다수의 화소를 포함하고 있으며, 각 표시 영역 내에 스위칭 소자인 박막 트랜지스터와 화소 전극 및 유기 발광층 등의 많은 박막 패턴이 형성되어 있다. 그리고 구동 회로 영역은 표시 영역의 각 화소에 흐르는 전류를 제어하기 위한 수많은 박막 트랜지스터가 형성되어 있다.

이러한 박막 트랜지스터는 N형 또는 P형으로 구분할 수 있는데 이는 박막 트랜지스터의 반도체층에 도핑된 도전형 불순물 이온에 따라서 나뉘어진다. 일반적으로 표시 영역은 오프 전류를 최소화하기 위해서 저농도 도핑 영역을 가지는 N형 박막 트랜지스터를 형성하고, 구동 회로 영역에는 특성의 균일성을 높이기 위해서 저농도 도핑 영역을 가지지 않는 P형 박막 트랜지스터를 형성한다.

이처럼 N형 및 P형의 박막 트랜지스터를 각각 형성하기 위해서는 그 과정이 매우 복잡하여 많은 비용과 시간을 요한다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 유기 발광 제조 공정을 단순화할 수 있는 유기 발광 표시판을 제공한다.

### 발명의 구성 및 작용

이러한 과제를 해결하기 위하여 본 발명에 따른 유기 발광 표시판은 화상을 표시하는 표시 영역, 표시 영역을 구동하기 위해 표시 영역의 주변에 형성되어 있는 구동 회로 영역을 포함하는 유기 발광 표시판에서, 표시 영역 및 구동 회로 영역에 형성되어 있는 표시 및 구동 박막 트랜지스터는 P형 도전형 불순물이 도핑되어 있는 소스 영역 및 드레인 영역을 가진다.

여기서 박막 트랜지스터는 소스 영역 및 드레인 영역 사이에는 위치하는 채널 영역, 소스 영역과 채널 영역 사이, 드레인 영역과 채널 영역 사이에 형성되며 P형 도전형 불순물이 소스 영역 및 드레인 영역보다 저농도로 도핑되어 있는 저농도 도핑 영역을 더 포함한다.

상기한 목적을 달성하기 위한 본 발명의 다른 표시판은 표시 영역 및 구동 회로 영역을 가지는 절연 기판, 표시 영역의 기판 위에 형성되어 있는 게이트선, 게이트선과 절연되어 교차하는 데이터선, 표시 영역에 배치되어 있어 게이트선 및 데이터선과 연결되어 있으며 P형의 도전형 불순물로 도핑되어 있는 소스 영역 및 드레인 영역을 가지는 표시 박막 트랜지스터, 표시 박막 트랜지스터와 전기적으로 연결되어 있는 화소 전극, 화소 전극 위의 소정 영역에 형성되어 있는 유기 발광층, 데이터선과 화소 전극 위에 형성되어 있으며 유기 발광층의 영역을 한정하고 있는 격벽, 유기 발광층과 격벽 위에 형성되어 있는 공통 전극, 구동 회로 영역에 형성되어 있으며, P형 불순물이 도핑되어 있는 소스 영역 및 드레인 영역을 가진다.

그리고 표시 영역의 표시 박막 트랜지스터는, 서로 전기적으로 연결되어 있는 제1 및 제2 박막 트랜지스터를 포함하고, 제1 및 제2 박막 트랜지스터는 소스 영역, 드레인 영역, 소스 영역과 드레인 영역 사이에 위치하는 채널 영역, 소스 영역과 채널 영역 사이 및 드레인 영역과 채널 영역 사이에 형성되어 있는 저농도 도핑 영역을 가지는 제1 및 제2 반도체부, 제1 및 제2 다결정 규소층을 덮는 게이트 절연막, 게이트 절연막 위에 형성되며 채널 영역과 각각 중첩하는 제1 및 제2 게이트 전극, 제1 및 제2 게이트 전극을 덮는 층간 절연막, 층간 절연막 위에 형성되며 제1 및 제2 박막 트랜지스터와 각각 연결되어 있는 제1 및 제2 소스 전극, 층간 절연막 위에 형성되며 제1 및 제2 박막 트랜지스터와 각각 연결되어 있는 제1 및 제2 드레인 전극을 가지고, 제1 드레인 전극은 제2 게이트 전극과 연결되어 있으며, 제2 드레인 전극은 화소 전극의 일부이다.

여기서 구동 회로 영역의 박막 트랜지스터는, 소스 영역, 채널 영역, 드레인 영역을 가지는 제3 반도체부, 채널 영역과 일부가 중첩하는 제3 게이트 전극, 제3 게이트 전극과 절연되며 소스 영역과 연결되어 있는 제3 소스 전극, 제3 게이트 전극과 절연되며 드레인 영역과 연결되어 있는 제3 드레인 전극을 포함한다.

그리고 유기 발광층과 공통 전극 사이에 형성되어 있는 버퍼층을 더 포함할 수 있다.

또한, 공통 전극과 접촉하고 있는 보조 전극을 더 포함할 수 있다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 위에 있다고 할 때, 이는 다른 부분 바로 위에 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 바로 위에 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 실시예에 따른 유기 발광 표시판에 대하여 도면을 참고로 하여 상세하게 설명한다.

도 1은 본 발명을 설명하기 위한 유기 발광 표시판의 개략적인 배치도이다.

도 1에 도시된 바와 같이, 유기 발광 표시판은 절연 기판(110) 위에 화소 전극과 이를 스위칭하기 위한 박막 트랜지스터 등이 형성되어 있는 표시 영역(A)과 표시 영역(A)을 구동하기 위해 다수의 구동용 반도체 소자가 배치되어 있으며 표시 영역(A)의 둘레 주변에 위치하는 구동 회로 영역(B)을 포함한다.

표시 영역(A) 및 구동 회로 영역(B)에는 화소를 제어하거나 구동 신호 또는 제어 신호를 출력하는 트랜지스터 등의 회로 소자가 형성되어 있다.

이때, 회로 소자는 저농도 도핑 영역을 가지는 P형 박막 트랜지스터로 이루어지며 이에 대해서는 도면을 참조하여 표시 영역과 구동 회로 영역에서의 트랜지스터 구조에 대하여 구체적으로 설명하기로 한다.

도 2는 도 1의 표시 영역에 형성되어 있는 일 화소에 형성되어 있는 박막 트랜지스터에 대한 배치도이고, 도 3은 도 2의 III-III'선을 따라 자른 단면도이고, 도 4는 도 2의 IV-IV'선을 따라 자른 단면도이고, 도 5는 도 1의 구동 회로 영역에 형성되어 있는 박막 트랜지스터의 배치도이고, 도 6은 도 5의 VI-VI'선을 따라 자른 단면도이다.

도 2 내지 도 6에 도시한 바와 같이, 절연 기판(110) 위에 산화 규소 등으로 이루어진 차단층(111)이 형성되어 있고, 차단층(111) 위에 다결정 규소층이 형성되어 있다. 다결정 규소층은 표시 영역(A)에 형성되어 있는 제1 트랜지스터의 반도체부(150A), 제2 트랜지스터의 반도체부(150B) 및 유지 전극부(157)와 구동 회로 영역(B)에 형성되어 있는 제3 트랜지스터의 반도체부(150C)를 포함한다.

제1 내지 제3 트랜지스터의 반도체부(150A, 150B, 150C)는 각각 P형 불순물이 고농도로 도핑되어 있는 한쌍의 소스 영역(153a, 153b, 153c)과 드레인 영역(155a, 155b, 155c)을 포함하며, 이들의 사이에는 각각 박막 트랜지스터의 채널을 이루며 불순물이 거의 도핑되지 않은 채널 영역(154a, 154b, 154c)을 포함한다.

그리고 제1 내지 제3 트랜지스터(150A, 150B, 150C)의 반도체부(150A, 150B, 150C)에서 각각의 소스 영역(153a, 153b, 153c)과 채널 영역(154a, 154b, 154c)사이, 드레인 영역(155a, 155b, 155c)과 채널 영역(154a, 154b, 154c) 사이에 형성되어 있는 저농도 도핑 영역(152a, 152b, 152c)을 포함한다. 저농도 도핑 영역(152a, 152b, 152c)도 P형 불순물이 도핑되어 있으며 소스 영역(153a, 153b, 153c) 및 드레인 영역(155a, 155b, 155c)보다 저농도로 도핑되어 있다.

이상 설명한 바와 같이 표시 영역(A) 및 구동 회로 영역(B)에 저농도 도핑 영역을 가지는 P형 박막 트랜지스터를 형성하면 오프 전류(off current)의 형성을 방지하고 핫 캐리어(hot carrier)에 의한 채널 영역(154)의 손상을 방지한다.

다결정 규소층(150A, 150B, 150C) 위에는 산화 규소 또는 질화 규소로 이루어진 게이트 절연막(140)이 형성되어 있다.

그리고 표시 영역(A)의 게이트 절연막(140) 위에는 일 방향으로 긴 게이트선(121)이 형성되어 있고, 게이트선(121)의 일부가 연장되어 다결정 규소층(150A)의 채널 영역(154a)과 중첩되어 있으며, 중첩되는 게이트선(121)의 일부분은 제1 박막 트랜지스터의 제1 게이트 전극(124a)으로 사용된다.

그리고 게이트선(121)과 동일한 층에는 게이트선(121)과는 분리되어 있고 제2 트랜지스터의 채널부(154b)와 중첩하는 제2 게이트 전극(124b)이 형성되어 있고, 제2 게이트 전극(124b)과 연결되어 있고, 다결정 규소층(150B)의 유지 전극(133)이 형성되어 있다. 게이트선(121)의 한쪽 끝부분은 외부 회로와 연결하기 위해서 게이트선(121) 폭보다 넓은 폭을 가질 수 있다.

또한, 다른 실시예에서는 화소의 유지 용량을 증가시키기 위한 유지 전극선(도시하지 않음)이 게이트선(121)과 평행하며, 동일한 층으로 형성될 수 있다.

다음 구동 회로 영역(B)의 게이트 절연막(140) 위에는 제3 박막 트랜지스터(150C)의 채널 영역(154c)과 중첩하는 제3 게이트 전극(124c)이 형성되어 있다.

게이트선(121), 게이트 전극(124a, 124b, 124c) 및 유지 전극선(131)은 비저항(resistivity)이 낮은 은(Ag)이나 은 합금 등은 계열 금속, 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속 따위로 이루어진 도전막을 포함하며, 이러한 도전막에 더하여 다른 물질, 특히 ITO 또는 IZO와의 물리적, 화학적, 전기적 접촉 특성이 좋은 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금[보기: 몰리브덴-텅스텐(MoW) 합금] 따위로 이루어진 다른 도전막을 포함하는 다층막 구조를 가질 수도 있다. 하부막과 상부막의 조합의 예로는 크롬/알루미늄-네오디뮴(Nd) 합금을 들 수 있다.

게이트선(121)과 게이트 전극(124a, 124b, 124c) 및 유지 전극선(131)의 위에는 층간 절연막(801)이 형성되어 있다.

표시 영역(A)의 층간 절연막(801) 위에는 제1 및 제2 데이터선(171a, 171b), 제1 및 제2 소스 전극(173a, 173b), 드레인 전극(175a) 및 화소 전극(190)이 형성되어 있다. 제1 소스 전극(173a)은 제1 데이터선(171a)의 분지로서 층간 절연막(801)과 게이트 절연막(140)을 관통하고 있는 접촉구(181)를 통하여 제1 소스 영역(153a)과 연결되어 있고, 제2 소스 전극(173b)은 제2 데이터선(171b)의 분지로서 층간 절연막(801)과 게이트 절연막(140)을 관통하고 있는 접촉구(184)를 통하여 제2 소스 영역(153b)과 연결되어 있다. 드레인 전극(175a)은 층간 절연막(801)과 게이트 절연막(140)을 관통하고 있는 접촉구(182, 183)를 통하여 제1 드레인 영역(155a) 및 제2 게이트 전극(123b)과 접촉하여 이들을 연결하고 있다. 화소 전극(190)은 층간 절연막(801)과 게이트 절연막(140)을 관통하고 있는 접촉구(185)를 통하여 제2 드레인 영역(155b)과 연결되어 있으며, 데이터선(171a, 171b, 173a, 173b, 175a)과 동일한 물질로 이루어져 있다. 데이터선(171a, 171b, 173a, 173b, 175a)과 화소 전극(190)은 알루미늄 등의 반사성이 우수한 물질로 형성하는 것이 바람직하다. 그러나, 필요에 따라서는 화소 전극(190)을 ITO (Indium Tin Oxide) 또는 IZO(Indium zinc Oxide) 등의 투명한 절연 물질로 형성할 수도 있다.

한편, 제2 데이터선(171b)은 유지 전극(133)과 중첩되어 있다.

그리고 구동 회로 영역(B)의 층간 절연막(801) 위에는 접촉구(187)을 통해 각각 소스 영역(153c)과 연결되는 소스 전극(173c)과 드레인 영역(155c)과 연결되는 드레인 전극(175c)이 형성되어 있다.

데이터선(171a, 171b), 소스 전극(173a, 173b, 173c) 및 드레인 전극(175a, 175c)은 비저항(resistivity)이 낮은 은(Ag)이나 은 합금 등의 계열 금속, 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속 따위로 이루어진 도전막을 포함하며, 이러한 도전막에 더하여 다른 물질, 특히 ITO 또는 IZO와의 물리적, 화학적, 전기적 접촉 특성이 좋은 크롬(Cr), 티타

늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금[보기: 몰리브덴-텅스텐(MoW) 합금] 따위로 이루어진 다른 도전막을 포함하는 다층막 구조를 가질 수도 있다. 하부막과 상부막의 조합의 예로는 크롬/알루미늄-네오디뮴(Nd) 합금을 들 수 있다.

기관(110) 위에는 유기 절연 물질로 이루어진 격벽(802)이 형성되어 있다. 격벽(802)은 화소 전극(190) 주변을 둘러싸서 유기 발광층(70)이 채워질 영역을 한정하고 있다. 격벽(802)은 검정색 안료를 포함하는 감광제를 노광, 현상하여 형성함으로써 차광막의 역할을 하도록 하고, 동시에 형성 공정도 단순화할 수 있다. 격벽(802)에 둘러싸인 화소 전극(190) 위의 영역에는 유기 발광층(70)이 형성되어 있다. 유기 발광층(70)은 적색, 녹색, 청색 중 어느 하나의 빛을 내는 유기 물질로 이루어지며, 적색, 녹색 및 청색 유기 발광층(70)이 순서대로 반복적으로 배치되어 있다.

유기 발광층(70)과 격벽(802) 위에는 버퍼층(803)이 형성되어 있다. 버퍼층(803)은 필요에 따라서는 생략될 수 있다.

버퍼층(803) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있다. 만약 화소 전극(190)이 ITO 또는 IZO 등의 투명한 도전 물질로 이루어지는 경우에는 공통 전극(270)은 알루미늄 등의 반사성이 좋은 금속으로 형성한다.

한편, 도시하지는 않았으나 공통 전극(270)의 전도성을 보완하기 위하여 저항이 낮은 금속으로 보조 전극을 형성할 수도 있다. 보조 전극은 공통 전극(270)과 버퍼층(803) 사이 또는 공통 전극(270) 위에 형성할 수 있으며, 유기 발광층(70)과는 중첩하지 않도록 격벽(802)을 따라 매트릭스 모양으로 형성하는 것이 바람직하다.

여기서, 제2 데이터선(171b)은 정전압 전원에 연결되어 되어 있다. 이러한 유기 발광 표시판의 구동에 대하여 간단히 설명한다.

게이트선(121)에 온(on) 펄스가 인가되면 제1 트랜지스터가 온되어 제1 데이터선(171a)을 통하여 인가되는 화상 신호 전압이 제2 게이트 전극(124b)으로 전달된다. 제2 게이트 전극(124b)에 화상 신호 전압이 인가되면 제2 트랜지스터가 온되어 제2 데이터선(171b)을 통하여 전달되는 전류가 화소 전극(190)과 유기 발광층(70)을 통하여 공통 전극(270)으로 흐르게 된다. 유기 발광층(70)은 전류가 흐르면 특정 파장대의 빛을 방출한다. 흐르는 전류의 양에 따라 유기 발광층(70)이 방출하는 빛의 양이 달라져 휘도가 변하게 된다. 이 때, 제2 트랜지스터가 전류를 흘릴 수 있는 양은 제1 트랜지스터를 통하여 전달되는 화상 신호 전압의 크기에 의하여 결정된다.

이상 설명한 바와 같이 본 발명에서와 같은 저농도 도핑 영역을 가지는 P형 박막 트랜지스터를 표시 영역 및 구동 회로 영역에 형성하면 표시 영역의 오프 전류를 최소화하면서도 구동 회로 영역에 균일한 특성을 가지는 유기 발광 표시판을 제공할 수 있다.

도 7은 박막 트랜지스터의  $V_{gs}$ 의 변화에 따른  $I_{ds}$  값을 측정한 그래프이다. 여기서 그래프에서 제1 TFT는 저농도 도핑 영역을 가지지 않는 P형 박막 트랜지스터이고, 제2 TFT 및 제3 TFT는 저농도 도핑 영역을 가지는 N형 박막 트랜지스터이고, 제4 TFT는 저농도 도핑 영역을 가지는 박막 트랜지스터이다.

그래프에 도시한 바와 같이  $V_{gs}$ 값이 증가할수록 제1 TFT에서는  $I_{ds}$  값이 균일하지 않고 계속 증가하는 것을 확인할 수 있다. 그러나 본 발명에 따른 제4 TFT에서의  $I_{ds}$  값은 균일한 값을 가지고 제2 및 제3 TFT와 비교하여서도  $I_{ds}$  값이 높지 않은 것을 확인할 수 있다.

다음 도 8 및 도 9는 각각 구동 회로 영역에서 저농도 도핑 영역을 가지는 P형 및 N형 박막 트랜지스터의 위치에 따른  $V_{th}$ 의 값을 나타낸 그래프이다.

도 9에 도시한 바와 같이, 박막 트랜지스터의 위치에 따른 N형 박막 트랜지스터의  $V_{th}$ 값은 불균일한 값을 나타낸다. 그러나 도 8에 도시한 바와 같이 P형 박막 트랜지스터의  $V_{th}$ 값은 균일한 것을 확인할 수 있다. 따라서 N형 박막 트랜지스터보다 저농도 도핑 영역을 가지는 P형 박막 트랜지스터가 더욱 균일한  $V_{th}$ 값을 나타내는 것을 확인할 수 있다.

이처럼 표시 영역과 구동 회로 영역에 저농도 도핑 영역을 가지는 P형 박막 트랜지스터를 형성하면 표시 영역의  $I_{ds}$ 값을 최소화하면서도 구동 회로 영역의 특성을 균일하게 유지할 수 있는 유기 발광 표시판을 형성할 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리 범위에 속하는 것이다.

**발명의 효과**

이상과 같은 방법으로 유기 발광 표시 장치를 제조하면, 유기 발광 표시 장치의 제조 공정과 시간을 단축하여 제조 비용을 절감할 수 있다.

**(57) 청구의 범위**

**청구항 1.**

화상을 표시하는 표시 영역, 상기 표시 영역을 구동하기 위해 상기 표시 영역의 주변에 형성되어 있는 구동 회로 영역을 포함하는 유기 발광 표시판에서,

상기 표시 영역 및 구동 회로 영역에 형성되어 있는 표시 및 구동 박막 트랜지스터는 P형 도전형 불순물이 도핑되어 있는 소스 영역 및 드레인 영역을 가지는 유기 발광 표시판.

**청구항 2.**

제1항에서,

상기 박막 트랜지스터는 상기 소스 영역 및 드레인 영역 사이에는 위치하는 채널 영역,

상기 소스 영역과 채널 영역 사이, 상기 드레인 영역과 채널 영역 사이에 형성되며 P형 도전형 불순물이 상기 소스 영역 및 드레인 영역보다 저농도로 도핑되어 있는 저농도 도핑 영역을 더 포함하는 유기 발광 표시판.

**청구항 3.**

표시 영역 및 구동 회로 영역을 가지는 절연 기관,

상기 표시 영역의 기관 위에 형성되어 있는 게이트선,

상기 게이트선과 절연되어 교차하는 데이터선,

상기 표시 영역에 배치되어 있어 상기 게이트선 및 데이터선과 연결되어 있으며 P형의 도전형 불순물로 도핑되어 있는 소스 영역 및 드레인 영역을 가지는 표시 박막 트랜지스터,

상기 표시 박막 트랜지스터와 전기적으로 연결되어 있는 화소 전극,

상기 화소 전극 위의 소정 영역에 형성되어 있는 유기 발광층,

상기 데이터선과 상기 화소 전극 위에 형성되어 있으며 상기 유기 발광층의 영역을 한정하고 있는 격벽,

상기 유기 발광층과 상기 격벽 위에 형성되어 있는 공통 전극,

상기 구동 회로 영역에 형성되어 있으며, P형 불순물이 도핑되어 있는 소스 영역 및 드레인 영역을 가지는 구동 박막 트랜지스터를 포함하는 유기 발광 표시판.

#### 청구항 4.

제1항 또는 제3항에서,

상기 표시 영역의 표시 박막 트랜지스터는,

서로 전기적으로 연결되어 있는 제1 및 제2 박막 트랜지스터를 포함하고,

상기 제1 및 제2 박막 트랜지스터는 상기 소스 영역, 드레인 영역, 상기 소스 영역과 드레인 영역 사이에 위치하는 채널 영역, 상기 소스 영역과 채널 영역 사이 및 상기 드레인 영역과 채널 영역 사이에 형성되어 있는 저농도 도핑 영역을 가지는 제1 및 제2 반도체부,

상기 제1 및 제2 다결정 규소층을 덮는 게이트 절연막,

상기 게이트 절연막 위에 형성되며 상기 채널 영역과 각각 중첩하는 제1 및 제2 게이트 전극,

상기 제1 및 제2 게이트 전극을 덮는 층간 절연막,

상기 층간 절연막 위에 형성되며 상기 제1 및 제2 박막 트랜지스터와 각각 연결되어 있는 제1 및 제2 소스 전극,

상기 층간 절연막 위에 형성되며 상기 제1 및 제2 박막 트랜지스터와 각각 연결되어 있는 제1 및 제2 드레인 전극을 가지고,

상기 제1 드레인 전극은 상기 제2 게이트 전극과 연결되어 있으며, 상기 제2 드레인 전극은 상기 화소 전극의 일부분인 유기 발광 표시판.

#### 청구항 5.

제1항 또는 제3항에서,

상기 구동 회로 영역의 박막 트랜지스터는,

소스 영역, 채널 영역, 드레인 영역을 가지는 제3 반도체부,

상기 채널 영역과 일부분이 중첩하는 제3 게이트 전극,

상기 제3 게이트 전극과 절연되며 상기 소스 영역과 연결되어 있는 제3 소스 전극,

상기 제3 게이트 전극과 절연되며 상기 드레인 영역과 연결되어 있는 제3 드레인 전극을 포함하는 유기 발광 표시판.

#### 청구항 6.

제3항에서,

상기 유기 발광층과 상기 공통 전극 사이에 형성되어 있는 버퍼층을 더 포함하는 유기 발광 표시판.

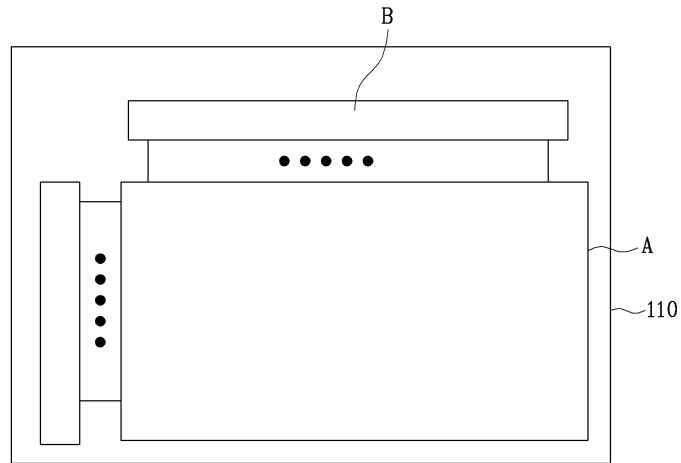
#### 청구항 7.

제3항에서,

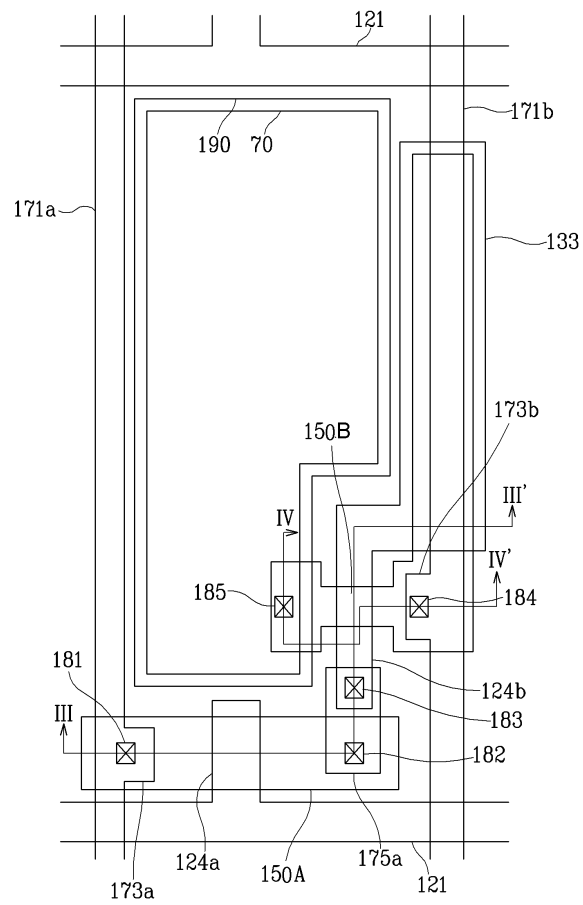
상기 공통 전극과 접촉하고 있는 보조 전극을 더 포함하는 유기 발광 표시판.

도면

도면1



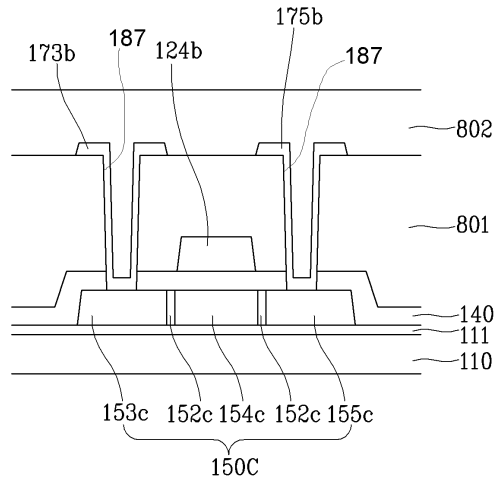
도면2



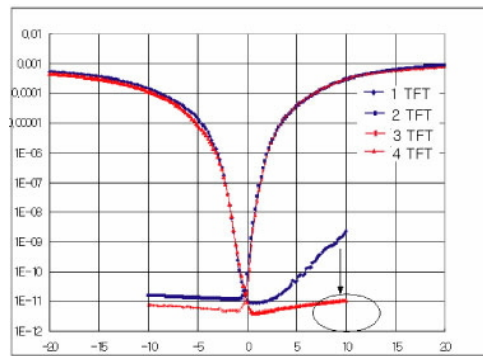




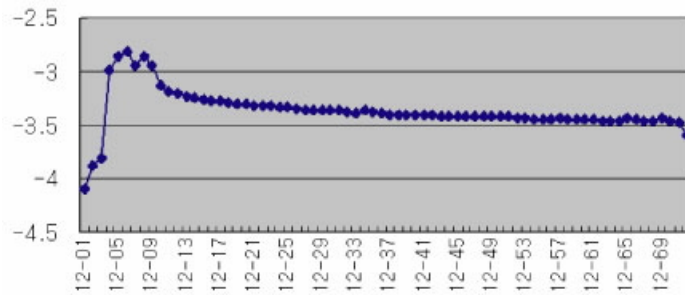
도면6



도면7



도면8



도면9

