

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁷
H05B 33/08

(11) 공개번호 특2001-0050783
(43) 공개일자 2001년06월25일

(21) 출원번호 10-2000-0057600
(22) 출원일자 2000년09월30일
(30) 우선권주장 1999-281793 1999년10월01일 일본(JP)
(71) 출원인 산요 덴키 가부시기가이샤 다카노 야스아키
(72) 발명자 일본 오사카후 모리구치시 게이한 혼도오리 2초메 5반 5고
야마다쓰토무
(74) 대리인 일본기후켄모토스궁호즈미쵸바바마에하따마찌3쵸메112-3
장수길, 주성민

심사청구 : 있음

(54) E L 표시 장치

요약

구동 전원 입력 단자로부터의 거리에 기인하는 구동 라인 VL의 저항에 의한 전원 전류의 저하를 억제하고, 본래 공급되어야 하는 전류가 EL 소자에 공급하여, 밝은 표시를 얻을 수 있는 EL 표시 장치를 제공한다.

인접하는 2개의 표시 화소에 있어서, 중앙에 구동 라인 VL로서 1개의 공용 라인 KL을 배치한다. 이 공용 라인 KL은 종래의 구동 라인 VL의 2개분, 스페이스 S가 가해진 폭에 설계할 수 있으므로, 전압 강하를 구동 라인 VL보다도 억제할 수 있다.

대표도

도1

색인어

EL 소자, 박막 트랜지스터, 표시 화소, 발광층

명세서

도면의 간단한 설명

도 1은 본 발명의 EL 표시 장치의 표시 화소의 평면도.
도 2는 도 1의 A-A선의 단면도.
도 3은 도 1의 B-B선의 단면도.
도 4는 본 발명의 EL 표시 장치를 설명하기 위한 도면.
도 5는 종래의 EL 표시 장치의 표시 화소의 평면도.
도 6은 도 5의 A-A선의 단면도.
도 7은 도 5의 B-B선의 단면도.
도 8은 도 1의 A-A선에 상당하는 톱 게이트형 TFT의 단면도.
도 9는 도 1의 B-B선에 상당하는 톱 게이트형 TFT의 단면도.

〈도면의 주요 부분에 대한 부호의 설명〉

1 : 제1 TFT
2 : 보유 용량 전극
3: 용량 전극
4 : 제2 TFT
6 : 양극
7 : 게이트 절연막

8 : 보유 용량
 14 : 층간 절연막
 20 : EL 소자
 GL : 게이트 라인
 DL : 드레인 라인
 CL : 보유 용량 라인
 VL : 구동 라인 VL
 KL : 공용 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 전자 발광(Electro Luminescence : 이하, 「EL」이라 칭한다.) 소자 및 박막 트랜지스터를 구비한 전자 발광 표시 장치에 관한 것이다.

최근, EL 소자를 이용한 EL 표시 장치가, CRT나 LCD를 대신하는 표시 장치로서 주목받고 있고, 예를 들면, 그 EL 소자를 구동시키는 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor : 이하, 「TFT」라 칭한다.)를 구비한 EL 표시 장치의 연구 개발도 진행되고 있다.

도 5에 유기 EL 표시 장치의 표시 화소를 나타내고, 도 6에 도 5의 A-A 선에 따른 단면도를 나타내고, 도 7에 도 5의 B-B선에 따른 단면도를 나타낸다.

도면에 도시한 바와 같이, 게이트 라인 GL과 드레인 라인 DL로 둘러싸인 영역에 표시 화소가 형성되어 있다. 양 신호선의 교점 부근에는 스위칭 소자인 제1 TFT(1)가 구비되어 있고, 그 TFT(1)의 소스는, 보유 용량 전극(2)과 용량을 구성하는 용량 전극(3)을 겸함과 함께, 유기 EL 소자를 구동하는 제2 TFT(4)의 게이트(15)에 접속되어 있다. 제2 TFT(4)의 소스는 유기 EL 소자의 양극(6)에 접속되고, 다른쪽의 드레인(16)은 유기 EL 소자를 구동하는 구동 라인 VL에 접속되어 있다.

또한, 상기 보유 용량 전극(2)은 크롬 등으로 이루어져 있고, 상층의 게이트 절연막(7)을 통해 제1 TFT(1)의 소스와 일체의 용량 전극(3)과 중첩하고, 상기 게이트 절연막(7)을 유전체층으로서 전하를 축적하고 있다. 이 보유 용량(8)은 제2 TFT(4)의 게이트(5)에 인가되는 전압을 보유하고 있다.

계속해서, 스위칭용의 제1 TFT(1)에 대해 도 5와 도 6을 참조하면서 설명한다.

우선 석영 유리, 무알카리 유리 등으로 이루어지는 투명한 절연성 기판(10) 상에, 크롬(Cr), 몰리브덴(Mo) 등의 고용점 금속으로 이루어지는 제1 게이트 전극(11)이 설치되어 있다. 이 제1 게이트 전극(11)은 도 5와 같이 게이트 라인 GL과 일체로 예를 들면 좌우로 복수 라인 병행하여 연장되어 있다. 또한 도 6의 제1 게이트 전극(11)의 우측 옆에는, 제1 게이트 전극(11)과 동일 공정으로 만들어진 보유 용량 전극(2)이 형성되어 있다. 이 보유 용량 전극(2)은, 도 5와 같이 용량을 구성하기 때문에, 제1 TFT(1)와 제2 TFT(4) 사이에서, 확대된 부분을 지니고, 이들은 좌우로 연장된 보유 용량 라인 CL과 일체로 구성되어 있다.

계속해서, 게이트 절연막(7)을 통해 다결정 실리콘(p-Si이라 칭한다.)막으로 이루어지는 제1 능동층(12)이 형성되어 있다. 이 능동층(12)은, LDD(Lightly Doped Drain) 구조가 채용되어 있다. 즉, 게이트의 양측에 저농도 영역이 설치되고, 더욱 외측에는, 고농도의 소스 영역 및 드레인 영역이 설치되어 있다. 상기 능동층(12) 상에는, 스토퍼 절연막(13)이 설치되어 있다. 이 스토퍼 절연막(13)은, 능동층(12)으로의 이온 주입 저지막이며, 여기서는 Si 산화막으로 이루어진다.

그리고, 게이트 절연막(7), 능동층(12) 및 스토퍼 절연막(13) 상에는, 예를 들면 순서대로 SiO₂막, SiN막 및 SiO₂막이 적층된 층간 절연막(14)이 설치되고, 드레인에 설치한 콘택 홀 C1을 통해 드레인 전극으로 이루어지는 드레인 라인 DL이 전기적으로 접속되어 있다. 또한 전면에는, 표면의 요철을 평탄하게 하기 위해서, 예를 들면 유기 수지로 이루어지는 평탄화막 PLN이 형성되어 있다. EL 표시 장치는 전류 구동이 되기 때문에, EL층이 균일한 막 두께가 아니면 안된다. 막 두께가 얇은 부분에서 전류 집중이 발생하기 때문이다. 따라서 적어도 이 형성 영역은, 상당한 평탄성이 요구되기 때문에, 상기 평탄화막 PLN이 채용된다.

다음에, 유기 EL 소자를 구동하는 제2 TFT(4)에 대해 도 5와 도 7을 참조하여 설명한다.

상술한 절연성 기판(10) 상에는, 상기 제1 게이트(11)와 동일 재료의 제2 게이트 전극(15)이 설치되어 있고, 게이트 절연막(7)을 통해 제2 능동층(16)이 설치되어 있다. 상술과 마찬가지로 능동층 상에는 스토퍼 절연막(17)이 설치되어 있다.

상기 능동층(16)에는, 게이트 전극(15) 상측에 진성 또는 실질적으로 진성인 채널과, 이 채널의 양측에, p형 불순물의 소스 영역 및 드레인 영역이 설치되고 p형 채널 TFT를 구성하고 있다.

그리고 전면에는, 상술한 층간 절연막(14)이 형성되어 있다. 그리고 콘택 홀 C2를 통해 구동 라인 VL이 전기적으로 접속되어 있다. 또한 전면에는, 전술한 평탄화막 PLN이 형성되고, 콘택 홀 C3에 의해 소스

가 노출되어 있다. 그리고 이 콘택 홀을 통해 IT0(Indium Thin Oxide)로 이루어지는 투명 전극 (유기 EL 소자의 양극: 6)이 형성되어 있다.

유기 EL 소자(20)는, 상기 양극(6), MTDATA (4,4-bis(3-methylphenylphenylamino)biphenyl)로 이루어지는 제1 홀 수송층(21), 및 TPD (4,4,4-tris(3-methylphenylphenylamino) triphenylamine)로 이루어지는 제2 홀 수송층(22), 퀴나크리돈(Quinacridone) 유도체를 포함하는 Bebq2(10-벤조 [h] 퀴놀리놀 베릴륨 착체)로 이루어지는 발광층(23) 및 Bebq2로 이루어지는 전자 수송층(24)으로 이루어지는 발광 소자층 EM, 마그네슘·인듐 합금으로 이루어지는 음극(25)이 이 순서대로 적층 형성된 구조이며, 유기 EL 소자의 실질 전면에 설치되어 있다.

유기 EL 소자의 발광 원리 및 동작은, 양극(6)으로부터 주입된 홀과, 음극(25)으로부터 주입된 전자가 발광층 EM의 내부에서 재결합하고, 발광층 EM을 형성하는 유기 분자를 여기하여 여기자를 발생시킨다. 이 여기자가 방사실활하는 과정에서 발광층으로부터 광이 빠져나가고, 이 광이 투명한 양극으로부터 투명 절연 기판을 통해 외부로 방출되어 발광한다.

이와 같이, 제1 TFT(1)의 소스 S로부터 공급된 전하가 보유 용량(8)에 축적되고, 제2 TFT(4)의 게이트(15)에 인가되고, 그 전압에 따라서 유기 EL 소자를 전류 구동하여, 발광한다.

그런데, 도 5에 도시한 바와 같이 유기 EL 소자를 구동하는 구동 라인 VL(전원 라인이라고도 부른다.)은, 표시 화소 영역밖으로 설치한 구동 전원 입력 단자에 접속되어 있고, 그리고 종으로 배열한 표시 화소마다 접속되고 배치되어 있다. 그 때문에, 구동 전원 입력 단자로부터 멀어짐에 따라서 구동 라인 VL의 저항이 그 길이에 따라서 커지기 때문에, 전압 강하가 발생하고, 구동 전원 입력 단자로부터 먼 위치에 있는 표시 화소의 유기 EL 소자에는 본래 공급되어야 하는 전류가 공급되지 않게 되어, 구동 라인 VL의 전류 공급 방향에 따라서, 휘도 얼룩짐이 발생하는 결점이 있었다.

또한 전압 강하를 방지하기 위해서, 구동 라인 VL의 폭을 넓히면 그 만큼 표시 화소 사이즈가 확대되어, EL 표시 장치 전체가 확대하게 되는 문제가 있었다. 또한, EL 표시 장치 전체의 사이즈를 바꾸지 않고, 구동 라인 VL의 폭을 넓히면, 발광 면적의 사이즈를 작게 하지 않으면 안된다고 하는 문제도 있었다.

발명이 이루고자하는 기술적 과제

그래서 본 발명은, 상기한 종래의 결점에 감안하여 이루어진 것으로, 구동 라인 VL의 저항에 의한 전원 전류의 저하를 억제하고, 본래 공급되어야 하는 전류가 EL 소자에 공급하여, 밝은 표시를 얻을 수 있는 EL 표시 장치를 제공하는 것을 목적으로 한다.

본 발명은, 상술한 바와 같이 각 표시 화소에 위치하는 구동 라인의 저항을 보다 내리는 것이다.

제1 특징은, 전원 라인을 이웃하는 표시 화소에 설치된 전원 라인과 공용함으로써 해결하는 것이다.

제2 특징은, 제1 표시 화소와 이웃하는 제2 표시 화소가 설치되는 배치 영역 사이에, 상기 제1 표시 화소와 상기 제2 표시 화소를 구동하는 전원 라인이 설치됨으로써 해결하는 것이다.

제3 특징은, 배치 영역의 양측에는 신호 라인이 설치됨으로써 해결하는 것이다.

제4 특징은, 제1 표시 화소와 제2 표시 화소는, 상기 전원 라인을 중심으로 하여 선대칭으로 형성됨으로써 해결하는 것이다.

제5 특징은, 전원 라인의 폭은 상기 신호 라인의 폭보다도 넓게 형성됨으로써 해결하는 것이다.

제6 특징은, 양극과 음극 사이에 발광층을 갖는 EL 소자와, 반도체막으로 이루어지는 능동층의 드레인이 드레인 라인에 접속되고, 게이트가 게이트 라인에 각각 접속된 제1 박막 트랜지스터와, 상기 반도체막으로 이루어지는 능동층의 드레인이 상기 EL 소자의 구동 라인에 접속되고, 게이트가 상기 제1 박막 트랜지스터의 소스에 전기적으로 접속되고, 소스가 상기 EL 소자에 접속된 제2 박막 트랜지스터를 구비한 표시 화소가 복수개 배열하여 이루어지는 EL 표시 장치이며, 제1 표시 화소와 이웃하는 제2 표시 화소가 설치되는 배치 영역 사이에는, 상기 제1 표시 화소와 상기 제2 표시 화소를 구동하는 전원 라인이 설치됨으로써 해결하는 것이다.

제7 특징은, 상기 제6 해결 수단에 있어서, 제1 표시 화소와 상기 제2 표시 화소는, 전원 라인을 중심으로 하여 선대칭으로 형성됨으로써 해결하는 것이다.

제8 특징은, 상기 제6 해결 수단에 있어서, 전원 라인의 폭은, 상기 신호 라인의 폭보다도 넓게 형성됨으로써 해결하는 것이다.

도 1에 도시한 바와 같이, 인접하는 2개의 표시 화소에 있어서, 중앙에 1개의 전원 라인 (또는 구동 라인)을 배치하고, 인접하는 2개의 표시 화소의 구동용으로서 공용하고 있다. 이하 이 라인을 공용 라인이라고 부른다. 종래에서는 각각의 표시 화소에 전원 라인 (또는 구동 라인)이 설치되어 있고, 인접하는 2개의 표시 화소에는 합계 2개의 전원 라인 (또는 구동 라인)이 설치되어 있으므로, 상기 공용 라인은, 적어도 상기 2개분의 전원 라인 (또는 구동 라인)의 폭으로 형성할 수 있다. 더구나 종래, 구동 라인과 드레인 라인 사이에는 스페이스가 설치되어 있으므로, 그 만큼을 포함시켜 공용 라인의 폭을 확대시킬 수 있다.

발명의 구성 및 작용

본 발명의 EL 표시 장치에 대해 설명한다. 도 1은 EL 표시 장치의 표시 화소를 평면도로 나타낸 것으로, 점선으로 둘러싸여 점으로 해칭한 영역에는, 게이트 재료로 형성된 영역, 실선으로 둘러싸여 해칭되어 있지 않은 부분은, P-Si층, 실선으로 둘러싸여 경사 점으로 해칭한 부분에는, 투명 전극 재료로 이루어

어지는 부분이다. 또한 실선으로 둘러싸여 경사선으로 해칭된 부분이, Si를 주재료로 하는 금속 재료로 형성된 부분이다.

도 2는 도 1의 A-A선 단면도이며, 도 3은 B-B선 단면도이다. 또한 도면에 있어서, 표시 화소가 모여진 모든 영역을 표시 화소 영역이라고 부른다.

또, 본 실시예에 있어서는, 제1, 제2 TFT(1, 4) 모두, 바텀 게이트형의 TFT를 채용하고 있고, 능동층으로서 p-Si막을 이용하고 있다. 또한 게이트 전극(11, 15)은 싱글 게이트 구조이다.

또한 도 1에서는, 게이트 라인 GL, 드레인 라인 DL 및 전원 라인 (구동 라인 VL)으로 둘러싸여 이루어지는 표시 화소가 2개 형성되어 있고, 중앙의 전원 라인 (구동 라인 VL)이 양방의 공용 라인으로서 형성되어 있다. 그리고 이 공용 라인을 중심선으로서 선대칭으로 형성되어 있다. 따라서 이제부터 설명하는 구성은, 좌측반을 설명한다. 우측반은 선대칭이기 때문에 생략한다.

그러면, 도 1 내지 도 3을 참조하여, 유기 EL 표시 장치를 구체적으로 설명해 간다.

우선, 적어도 표면이 절연성을 갖는 투명 기판(10)이 있다. 본 실시예에서는 EL 소자를 수분으로부터 보호하기 위해서, 메탈 캡 (캔)이 EL 재료를 밀봉하도록 상면에 설치되어 있다. 또한, 도면에 있어서 메탈 캡은 생략하였다. 이 메탈 캡이 설치되어 있기 때문에 발광광은, 상기 투명 기판(10)으로부터 추출하기 때문에, 기판(10)은 투명할 필요가 있지만, 발광광을 상측으로부터 추출하는 경우에는, 투명할 필요는 없다. 여기서는, 유리나 합성 수지 등으로 이루어지는 투명 기판(10)을 채용하고 있다.

이 투명 기판(10) 상에는, 도 1의 일 표시 화소의 상측변을 따라서, 좌우에 게이트 라인 GL이 설치되어 있다. 또한 보유 용량(8)의 하층 전극으로서 작용하는 보유 용량 전극(2)이 설치됨과 함께, 이 보유 용량 전극(2)을 상호 연결하기 위해서, 보유 용량 라인 CL이 좌우로 연장되어 있다. 이들 양 라인 GL, CL은, 동층으로 되기 때문에, 점으로 해칭되어 있다. 또한 재료로서는, 상층에 P-Si를 채용하는 이유로부터 Cr이나 Ta 등의 고용점 금속이 채용된다. 여기서는, 약 1000 내지 2000Å의 Cr이 스퍼터링으로 형성되어 있다. 또한 패터닝 시에는, 스텝 커버리지가 고려되고, 측면에는 테이퍼 형상으로 가공되어 있다.

계속해서, 전면에는 게이트 절연막(7)과 반도체층이 적층되고 형성되어 있다. 여기서는, 상기 게이트 절연막(7), 제1 능동층(12), 제2 능동층(16) 및 보유 용량(8)의 상층 전극인 용량 전극(3)의 재료인 a-Si도 포함시켜 플라즈마 CVD로 형성되어 있다. 구체적으로는, 하층보다 약 500Å의 Si 질화막, 약 1300Å의 Si 산화막 및 약 500Å의 a-Si이 연속 플라즈마 CVD로 형성된다.

이 a-Si은 약 400°C의 질소 분위기 중에서 탈수소 어닐링이 행해지고, 그 후, 엑시머 레이저에 의해 P-Si화된다. 또한 참조 번호(13, 17)는, Si 산화막으로 이루어지는 스톱퍼 절연막이고, 능동층(12, 16)의 이온 주입 시의 마스크로 된다. 제1 TFT(1)는 제1 스톱퍼 절연막(13)을 마스크로 하여 P (인) 이온이 주입되고, N 채널형의 소스, 드레인이 형성되고, 제2 TFT(4)는 제2 스톱퍼 절연막(17)을 마스크로 하여 B (붕소) 이온이 주입되어 P 채널형의 소스, 드레인이 형성되어 있다.

또한 도 1과 같이, 포토리소그래피 기술에 의해 P-Si층이 패터닝되어 있다. 즉 제1 TFT(1)의 P-Si층은, 게이트 라인 GL과 드레인 라인 DL의 좌측위 교차부의 하측에서, 드레인 라인 DL과 중첩하고, 게이트 전극(11)의 상층을 연장한 후, 보유 용량 전극(2)과 중첩하는 용량 전극(3)으로서 연장되어 있다. 또한 이 용량 전극(3)은 제2 TFT(4)의 게이트 전극(15)과 전기적으로 접속하기 위해 이용되는 접속 배선(30) 우단의 하층으로 연장된다. 한편, 제2 TFT(4)의 P-Si층은, 우측의 구동 라인 VL의 하층으로부터 제2 게이트 전극(15) 상을 연장하여, 투명 전극으로 이루어지는 양극(6)의 하층으로 연장되어 있다.

그리고 전면에는, 층간 절연막(14)이 형성되어 있다. 이 층간 절연막(14)은, 하부로부터 약 1000Å의 Si 산화막, 약 3000Å의 Si 질화막, 1000Å의 Si 산화막의 3층 구조가 연속 CVD로 형성되어 있다. 이 층간 절연막은, 적어도 한층 있으면 좋다. 막 두께도 이것에 한하지 않는다.

다음에, 층간 절연막(14)의 상층에는, 도 1의 경사선으로 해칭한 드레인 라인 DL, 공용 라인 (구동 라인 VL) 및 접속 배선(30)이 형성된다. 당연히 콘택이 형성되고, 드레인 라인 DL과 제1 TFT(1)의 반도체 층과의 콘택 홀 C1, 구동 라인 VL과 제2 TFT(4)의 반도체층과의 콘택 홀 C2, 접속 배선(30)과 용량 전극(3)과의 콘택 홀 C4는 각각의 반도체층이 노출되어 있다. 또한 접속 배선(30)과 제2 게이트 전극(15)의 콘택 홀 C5는 상술한 콘택 홀과는 달리, 게이트 절연막이 여분으로 적층되어 있기 때문에, 더욱 에칭되고 Cr이 노출되어 있다. 이 라인 재료는, 하층에 1000Å의 Mo, 상층에 7000Å의 Al이 적층된 구조이며, Mo는 배리어층이다. 또한 콘택 홀 C3은 후술한다.

또한 약 1~3μm의 평탄화막 PLN이 전면에서 형성되어 있다. 이 평탄화막 PLN의 채용 이유의 하나로서, 층간 절연막에서도 진술한 유기 EL용의 막에 있다. 이 막은 제1 홀 수송층(21), 제2 홀 수송층(22), 발광층(23) 및 전자 수송층(24)으로 이루어진다. 또한 홀 수송층은 1층으로 구성되어도 좋다. 따라서, 유기층이 매우 얇은 막의 적층체이다. 또한 EL 소자는 전류 구동이기 때문에, 이들 막 두께가 매우 균일하게 형성되지 않으면, 막 두께의 얇은 부분을 통해 전류가 대량으로 흘러, 그 부분에 한층 빛나는 휘점이 발생함과 동시에, 이 포인트는, 유기막의 열화를 발생하여, 최악의 경우 파괴에 이른다. 따라서, 이 파괴를 방지하기 위해서는, 양극(6)을 포함하는 전면이 될 수 있는 한 평탄할 필요가 있어, 여기서는 아크릴계의 액형 수지가 도포되고, 경화 후에는 평탄하게 된다. 물론 이 평탄화막 PLN은 이것에 한하지 않는 것은 물론이다.

여기서는, 양극(6)과 제2 TFT(4)의 소스가 접속되기 때문에, 평탄화막 PLN 및 층간 절연막(14)이 개구되고, 제2 능동층(16)이 노출된 콘택 홀 C3이 형성되어 있다. 또한 적어도 양극(6) 상에는, EL 소자를 구성하는 유기막이 형성되어 있다. 우선 양극(6) 상에는, MTDATA(4,4-bis(3-methylphenylphenylamino)biphenyl)로 이루어지는 제1, 홀 수송층(21), 및 TPD(4,4,4-tris(3-methylphenylphenylamino) triphenylamine)로 이루어지는 제2 홀 수송층(22), 퀴나크리돈(Quinacridone) 유도체를 포함하는 Beq2(10-벤조 [h] 퀴놀리논-베릴륨 착체)로 이루어지는 발광층(23) 및 Beq2로 이루

어지는 전자 수송층(24)으로 이루어지는 발광 소자층 EM, 마그네슘·은(Ag) 합금, Al과 Li의 합금 또는 Al/LiF 등으로 이루어지는 음극(25)이 적층 형성된 구조이다. 유기층의 막 두께는, 전술하고 있는 것으로 그것을 참조한다. 또한, 음극(25)은 Al과 Li의 합금을 채용하고, 그 막 두께는 1000~2000 Å이다.

여기서 양극(6)은, 화소마다 패터닝될 필요가 있지만, 양극(6) 상의 막은, 구조에 의해 구별된다.

① : 양극(6)으로부터 음극(25)까지 화소마다 패터닝되는 제1 구조

② : ①에 있어서, 음극(25)은, 패터닝되지 않고, 실질적으로 표시 영역 전역에 베타로 형성되는 제2 구조.

③ : 양극(6)만이 도 1과 같이 화소마다 패터닝되고, 양극의 상층으로부터음극까지는, 표시 영역 전역에서의 상기 베타 구조의 제3 구조.

다만, 음극(6)은, 일부러 패터닝하는 일도 없으므로 일반적으로는 전면 베타 구조를 채용하고 있다. 또한 도면에서는, 양극(6)과 음극(25)이 단락하고 있는 것처럼 도시되어 있지만, EL 소자의 유기막은, 양극(6) 주변도 포함하여 완전히 덮혀 있으므로 단락은 방지되어 있다. 이것은 종래예에서도 동일하다. 또한 양극(6)의 엣지를 커버하도록, 평탄화막 PLN 상에 또 다른 평탄화막이 형성되어도 좋다.

또한, 표시 영역의 EL층, 또는 모든 EL층을 커버하는 메탈 캡이 형성되어 있다. EL층은, 물을 흡습하면 열화하고, 물의 침입에 대하여 보호가 필요해지기 때문이다. 따라서 EL층을 열화시키지 않고, 내습성이 높은 막, 예를 들면 수지막을 캡의 대용으로 하여도 좋고, 또한 이 위에 메탈 캡을 대용하여도 좋다.

유기 EL 소자의 발광 원리 및 동작은, 양극(6)으로부터 주입된 홀과, 음극(25)으로부터 주입된 전자가 발광층 EM의 내부에서 재결합하고, 발광층 EM을 형성하는 유기 분자를 여기하여 여기자를 발생시킨다. 이 여기자가 방사실활하는 과정에서 발광층으로부터 광이 빠져나가고, 이 광이 투명한 양극으로부터 투명 절연 기판을 통해 외부로 방출되어 발광한다.

본 발명의 특징은, 공용 라인 (구동 라인 VL)에 있다. 이 공용 라인은 인접하는 2개의 표시 화소에 있어서, 전원 라인 (구동 라인 VL)으로서 공용하는 라인이고, 공용함으로써 공용 라인의 폭을 확대할 수 있는 장점을 갖는다.

그 이유를 도 4를 참조하여 설명한다. 도 4a는 종래의 표시 화소 구조를 나타내는 것으로, 도 4c는 본 발명의 표시 화소 구조를 설명하는 것이다. 또한 도 4b는 종래 구조와 본 발명의 구조를 설명하기 위해 필요해지는 것이다.

각각 드레인 라인 DL, 구동 라인 VL 및 게이트 라인 GL로 둘러싸인 표시 화소가 2개 인접하고 있고, 이 2개의 표시 화소를 HG1과 HG2로서 나타낸다.

도 4a에서는 표시 화소 HG를 양측으로부터 끼우도록 드레인 라인 DL과 구동 라인 VL이 설치되어 있다. 따라서 구동 라인 VL1과 드레인 라인 DL2 사이에는, 필연적으로 스페이스 S가 설치되어 있다.

도 4b는, 중심선 L을 중심으로 하여 선대칭으로 한 것이며, 표시 화소 HG2를 반전시킨 것이다. 구동 라인 VL은 구동 전원 입력 단자와 접속되고, 동일 전압이 인가되어 있으므로, 구동 라인 VL1과 구동 라인 VL2를 공용할 수 있는 것을 알 수 있다.

도 4c는 도 4b에 있어서, 구동 라인 VL1과 구동 라인 VL2를 일체로 하고, 공용 라인 KL로서 형성한 것이다.

이들의 설명에서도 알 수 있듯이, 공용 라인 KL의 폭은, 구동 라인 VL1의 폭, 구동 라인 VL2의 폭 및 스페이스 S를 가한 폭으로 설정하는 것이 가능해진다.

또한 드레인 라인 DL과 구동 라인 VL은 Al을 주재료로 하고, 동층에서 형성되어 있다. 그리고 어떻게 해도 패터닝될 때에, 오버 에칭이 가해진다. 이 오버 에칭폭을 나타낸 것이 작은 화살표 0E이다. 도 4b의 구동 라인 VL1, VL2에서는, 이 오버 에칭 0E1~0E4가 가해지지만, 도 4c에서는, 2개의 구동 라인을 1개의 공용 라인 KL로 하였기 때문에, 도 4b의 오버 에칭 0E2와 0E3을 없앨 수 있다.

실제의 EL 표시 장치에서는, 드레인 라인 DL과 구동 라인 VL의 폭은, 실질적으로 동일 폭으로 설정되어 있으므로, 그 폭을 d라고 하면, 전술한 점으로부터, 공용 라인 KL의 폭은, 2d, 스페이스 S, 0E2, 0E3을 합친 폭으로 설정할 수 있다.

즉 공용 라인 KL의 폭은, 구동 라인 VL의 폭 d의 2배보다도 더욱 넓어지는 것이 가능해진다. 이 공용 라인 KL은, 당연히 2개의 표시 화소를 구동하기 때문에, 2배의 전류가 흐르지만, 공용 라인 KL의 폭은 2배를 넘고 있기 때문에, 종래의 전압 강하보다도 억제할 수 있다.

만일, 스페이스 S를 구동 라인 VL의 폭 d라 하면, 공용 라인 KL의 폭은, 3 d에 상기 오버 에칭 0E2, 0E3을 가한 폭으로 설정할 수 있기 때문에, 전압 강하는 종래의 구동 라인 VL의 전압 강하의 1/2 이하로 할 수 있다.

여기서, 구동 라인 VL, 드레인 라인 DL 및 구동 라인 VL과 드레인 라인 DL 사이의 스페이스 S는, 본 실시예나 설명의 편의상 동일하게 하였지만, 특히 동일할 필요는 없다.

구동 라인 VL은 열 방향으로 연장되어 있고, 열 방향의 각 표시 화소에 접속되어 구동 전류를 공급하고 있다. 이 표시 영역은, 매우 길어져서, 상술한 바와 같이 저항분이 발생하지만, 인접하는 2개의 표시 화소 사이에 공용 라인 KL을 연장시키고, 박막 트랜지스터나 EL 소자에 접속시킴으로써, 이 전압 강하는 종래의 전압 강하보다도 작게 할 수 있기 때문에, 각 표시 화소에 설치된 유기 EL 소자에 본래 공급하여야 할 전류를 공급할 수가 있기 때문에, 전술한 저항분에 의한 표시 열화, 표시의 밝기의 저하를 방지할 수가 있다.

또한 2개의 표시 화소에 대하여 하나의 공용 라인 KL로 하였기 때문에, 게이트 라인 GL과의 교차 부분에는, 종래 4개 있던 것을 2개로 감소할 수 있다. 따라서, 게이트 라인 GL과 공용 라인 KL (구동 라인 VL)과의 층간 쇼트, 내전압 열화 등의 억제 효과를 할 수 있다.

이상, 하부 게이트형 구조로 설명하여 왔지만, 본 발명은 톱 게이트형 구조에서도 채용할 수 있고, 제2 실시예로서 이하에 설명한다.

톱 게이트형 구조의 평면 패턴은, 바텀 게이트형 구조와 실질적으로 동일하므로 도 1을 대용한다. 또 도 1의 A-A선에 대응하는 단면도를 도 8에, B-B선에 대응하는 단면도를 도 9에 도시하였다. 이것에 의해 톱 게이트형의 도면은, 부호의 아래 2자릿수를 전 실시예와 동일 숫자로 하고 있다.

간단하게 설명하면, 전면에는 절연층 IL이 형성된다. 이 절연층 IL은, 하층에 500Å의 Si 질화막, 상층에 1000Å의 Si 산화막이 적층된 것이다. 또한, Si 질화막은 유리로부터 용출하는 불순물의 스톱퍼로서 기능한다.

계속해서, 제1 TFT(101)의 능동층(112), 이 능동층(112)이 연장되어 이루어지는 보유 용량(8)의 하층 전극, 제2 TFT(104)의 제2 능동층(116)의 형성 부분에 반도체층(P-Si 또는 a-Si)이 형성되어 있다.

또한, 전면에 게이트 절연막(107)이 적층되고, 이 상부에 게이트 전극(111), 게이트 전극(111)과 일체의 게이트 라인 GL이 형성됨과 동시에, 보유 용량(108)의 상층 전극이 상기 게이트 전극과 동일 재료로 동층에 형성되어 있다. 이 보유 용량(108)의 상층 전극은, 도 1의 보유 용량 전극(2)에 상당하고, 보유 용량 라인 CL도 포함시켜 일체로 좌우로 연장하여 형성된다. 여기서 게이트 전극 재료는, 전술한 고용점 금속 재료 외에 Si를 주성분으로 한 재료를 이용하여도 좋다. Si를 사용할 수 있는 이유로서, 층간 절연막(114)을 플라즈마 CVD 등으로 저온 성막할 수 있기 때문이다.

또한 능동층인 반도체층은, 상기 게이트 전극 재료로 형성된 패턴을 마스크로 하여 불순물이 주입된다. 물론 P 채널과 N 채널의 TFT가 있기 때문에, 한쪽은 레지스트로써 마스크된다 (이것은 하부 게이트형 구조에서도 마찬가지이다.). 그리고 불순물이 주입된 후에 반도체층이 패터닝된다. 또한 보유 용량 전극(102)의 하층의 반도체층은 불순물이 주입되지 않는다. 그러나 여기에 상기 제1 게이트 전극(111)에 가해지는 전압, 혹은 그 이상의 전압을 가하고, 반도체층에 채널을 발생시킴으로써 전극으로서 활용하고 있다.

또한 층간 절연막(114)이 형성된 후, 드레인 라인 DL, 공용 라인 KL (구동 라인 VL)이 형성되고, 그 위에 평탄화막 PLN이 형성된 후에 양극(106)으로서 투명 전극이 형성된다. 이 양극(106)과 제2 TFT(104)과의 콘택 C3은, 공용 라인 KL (구동 라인 VL)과 동층에 소스 전극 SE가 형성된다. 또한 도 3과 같이 직접 콘택하여도 좋다.

또한 EL 소자(20)는, 전 실시예와 마찬가지이므로 설명은 생략한다.

상술한 실시예에 있어서는, 반도체막으로서 p-Si막을 이용하였지만, 미결정 실리콘막 또는 비정질 실리콘막 등의 반도체막을 이용하여도 좋다. 또한 싱글 게이트형으로 설명하였지만 더블 게이트형 TFT여도 좋다.

또한, 상술의 실시예에 있어서는, 유기 EL 표시 장치에 대해 설명하였지만, 본 발명은 그것에 한정되는 것이 아니라, 발광층이 무기 재료로 이루어지는 무기 EL 표시 장치에도 적용이 가능하며, 마찬가지로 효과가 얻어진다.

발명의 효과

이상의 설명에서도 알 수 있듯이, 인접하는 2개의 표시 화소에 있어서, 중앙에 1개의 전원 라인 (또는 구동 라인)을 배치하고, 공용 라인으로서 인접하는 2개의 표시 화소의 구동용으로서 이용하고 있다. 그 때문에, 종래 이용한 2개의 전원 라인 (또는 구동 라인)을 1개로 하고, 그 폭은, 적어도 2개분의 전원 라인 (또는 구동 라인)의 폭으로 형성할 수 있다. 더구나 종래, 구동 라인과 드레인 라인 사이에는 스페이스가 설치되어 있으므로, 그 분도 포함시켜 공용 라인의 폭으로서 설계할 수 있다.

구동 라인은, 열 방향으로 연장하고 있고, 열 방향의 각 표시 화소에 접속되어 구동 전류를 공급하고 있다. 이 표시 영역은, 매우 길어져서, 상술한 바와 같이 저항분이 발생하지만, 인접하는 2개의 표시 화소 사이에 공용 라인을 연장시키고, 박막 트랜지스터나 EL 소자에 접속시키는 것으로, 이 전압 강하는, 종래의 전압 강하보다도 작게 할 수 있기 때문에, 각 표시 화소에 설치된 유기 EL 소자에 본래 공급하여야 할 전류를 공급할 수가 있다. 따라서, 상술한 저항분에 의한 표시 열화, 표시의 밝기의 저하를 방지할 수가 있다.

또한 2개의 표시 화소에 대하여 하나의 공용 라인으로 하였기 때문에, 게이트 라인과의 교차 부분에는, 종래 4개 있던 것을 2개로 감소할 수 있다. 따라서, 게이트 라인과 공용 라인 (구동 라인)과의 층간 쇼트, 내전압 열화 등의 억제 효과를 할 수 있다.

따라서, 구동 라인의 길이에 의한 저항의 증대를 저감하고, 본래 공급되어야 하는 전류를 각 표시 화소의 EL 소자에 공급할 수가 있어, 휘도 열룩점을 방지한 EL 표시 장치를 얻을 수 있다.

또한, 전압 강하를 무시하고, 공용 라인의 폭을 넓히지 않고, 종래의 구동 라인의 폭 d로 설계하면, 2개의 표시 화소에 대하여 1개분의 구동 라인을 생략할 수 있으므로, 그 만큼, 표시 화소의 사이즈를 작게 할 수 있어, 화소 밀도의 향상을 도모할 수 있다.

(57) 청구의 범위

청구항 1

EL 소자와, 상기 EL 소자를 구동하는 박막 트랜지스터를 표시 화소마다 가지고, 상기 박막 트랜지스터를 구동하는 신호 라인과 전원 라인이 설치된 EL 표시 장치에 있어서,

상기 전원 라인은, 이웃하는 표시 화소에 설치된 전원 라인과 공용하는 것을 특징으로 하는 EL 표시 장치.

청구항 2

EL 소자와, 상기 EL 소자를 구동하는 박막 트랜지스터를 각각 갖는 복수개의 표시 화소와, 상기 박막 트랜지스터를 구동하는 신호 라인과 전원 라인이 설치된 EL 표시 장치에 있어서,

제1 표시 화소와 이웃하는 제2 표시 화소가 설치되는 배치 영역 사이에는, 상기 제1 표시 화소와 상기 제2 표시 화소를 구동하는 전원 라인이 설치되는 것을 특징으로 하는 EL 표시 장치.

청구항 3

제2항에 있어서,

상기 배치 영역의 양측에는 신호 라인이 설치되는 것을 특징으로 하는 EL 표시 장치.

청구항 4

제2항에 있어서,

상기 제1 표시 화소와 상기 제2 표시 화소는, 상기 전원 라인을 중심으로 하여 선대칭으로 형성되는 것을 특징으로 하는 EL 표시 장치.

청구항 5

제1항 내지 제3항 중 어느 한항에 있어서,

상기 전원 라인의 폭은, 상기 신호 라인의 폭보다도 넓게 형성되는 것을 특징으로 하는 EL 표시 장치.

청구항 6

양극과 음극 사이에 발광층을 갖는 EL 소자와,

반도체막으로 이루어지는 능동층의 드레인이 드레인 라인에 접속되고, 게이트가 게이트 라인에 각각 접속된 제1 박막 트랜지스터와,

상기 반도체막으로 이루어지는 능동층의 드레인이 상기 EL 소자의 구동 라인에 접속되고, 게이트가 상기 제1 박막 트랜지스터의 소스에 전기적으로 접속되고, 소스가 상기 EL 소자에 접속된 제2 박막 트랜지스터를 구비한 표시 화소가 복수개 배열하여 이루어지는 EL 표시 장치이며,

제1 표시 화소와 이웃하는 제2 표시 화소가 설치되는 배치 영역 사이에는, 상기 제1 표시 화소와 상기 제2의 표시 화소를 구동하는 전원 라인이 설치되는 것을 특징으로 하는 EL 표시 장치.

청구항 7

제6항에 있어서,

상기 제1 표시 화소와 상기 제2 표시 화소는, 상기 전원 라인을 중심으로 하여 선대칭으로 형성되는 것을 특징으로 하는 EL 표시 장치.

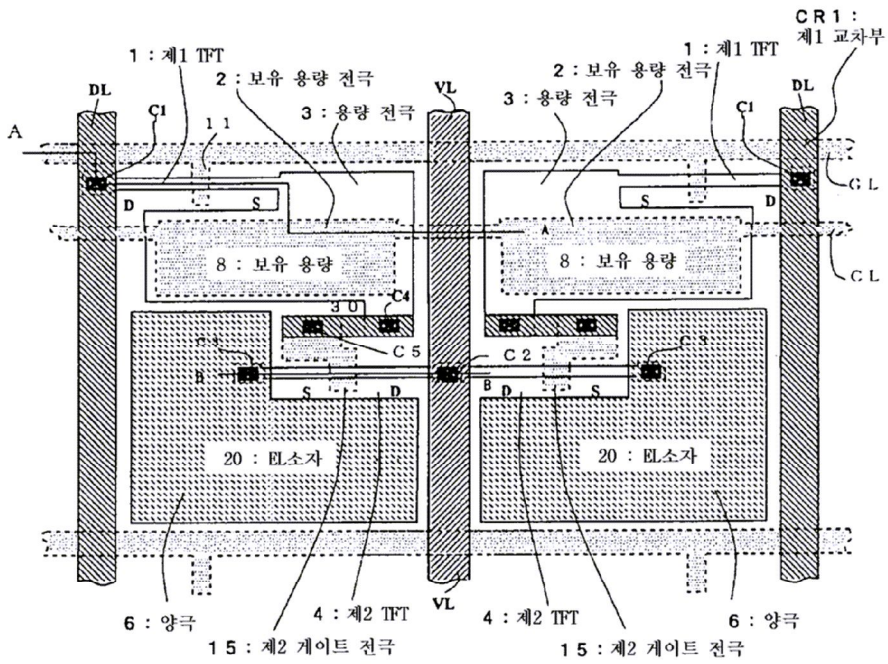
청구항 8

제6항 또는 제7항에 있어서,

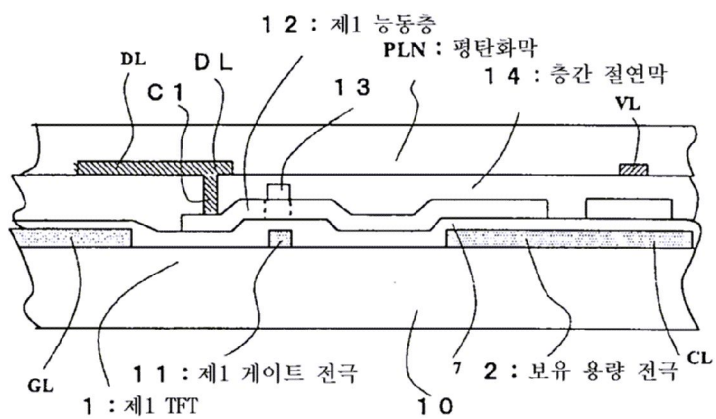
상기 전원 라인의 폭은, 상기 신호 라인의 폭보다도 넓게 형성되는 것을 특징으로 하는 EL 표시 장치.

도면

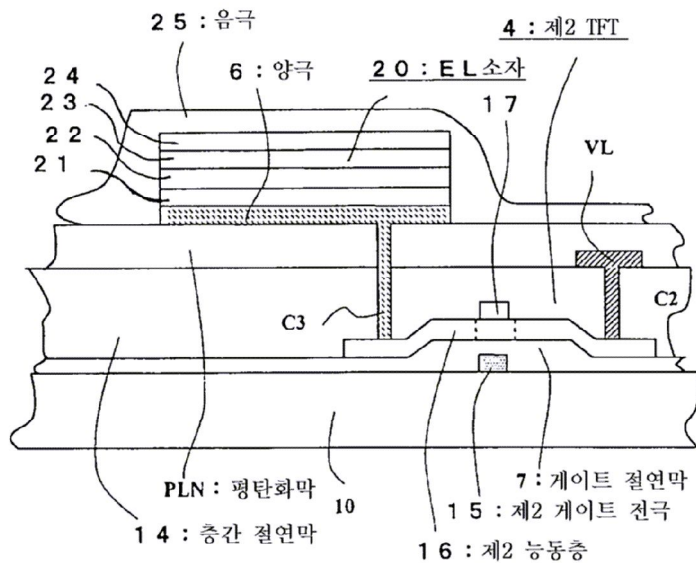
도면1



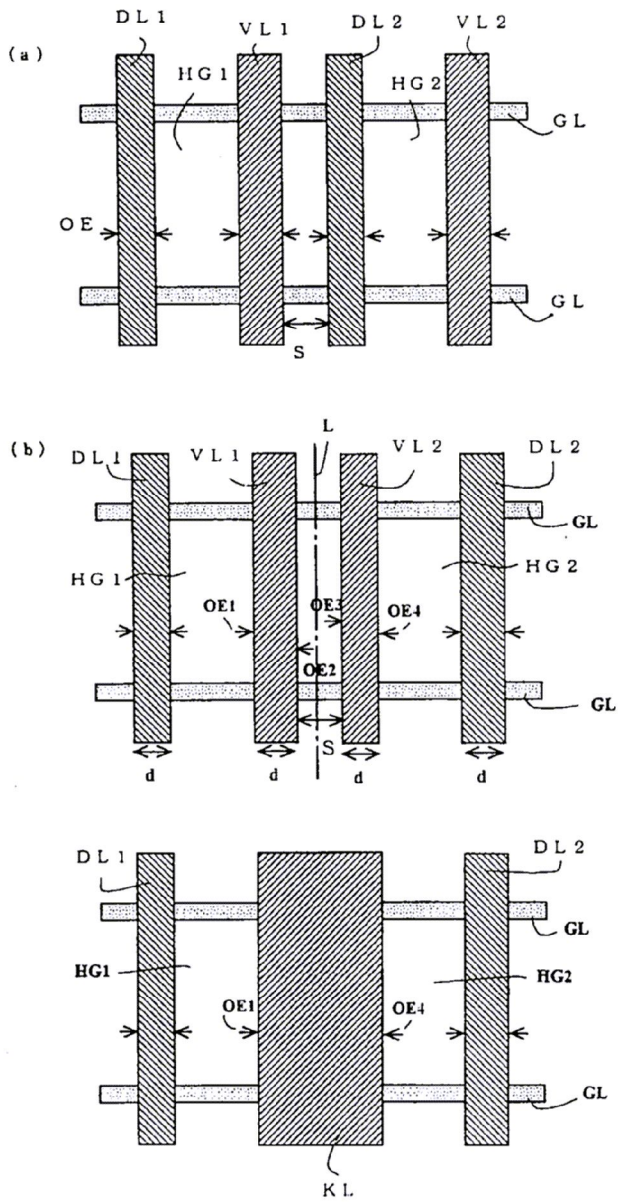
도면2



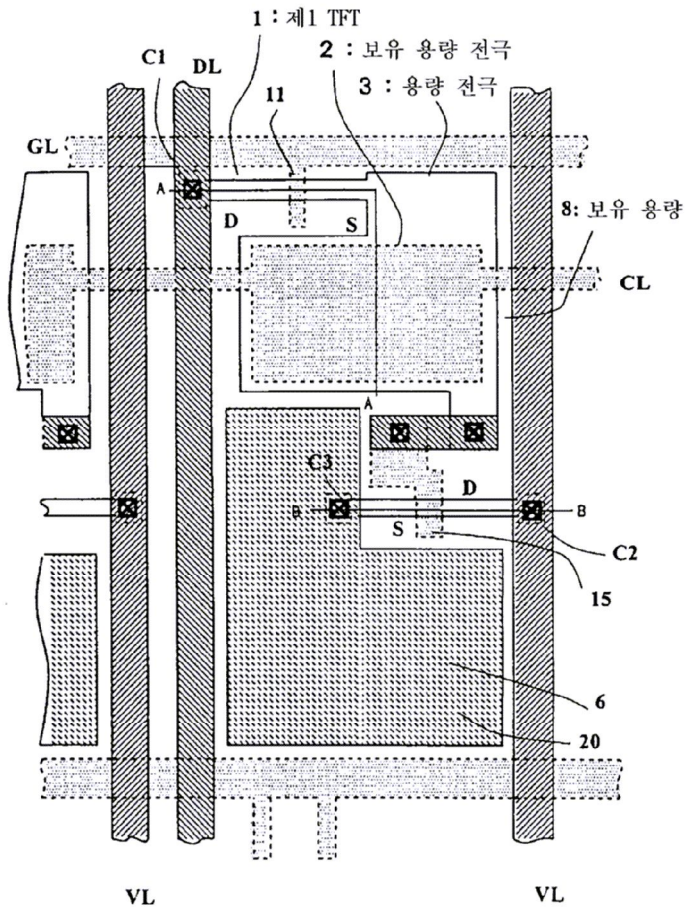
도면3



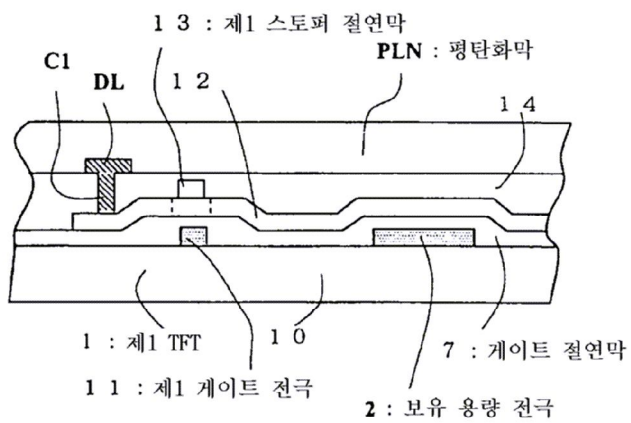
도면4



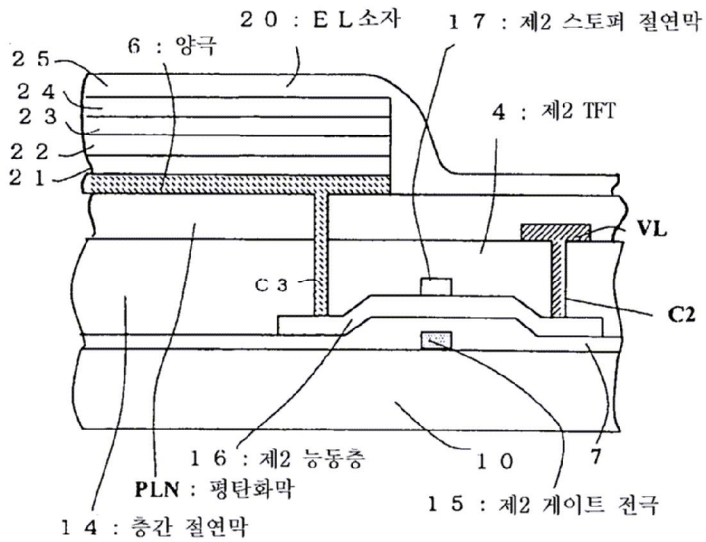
도면5



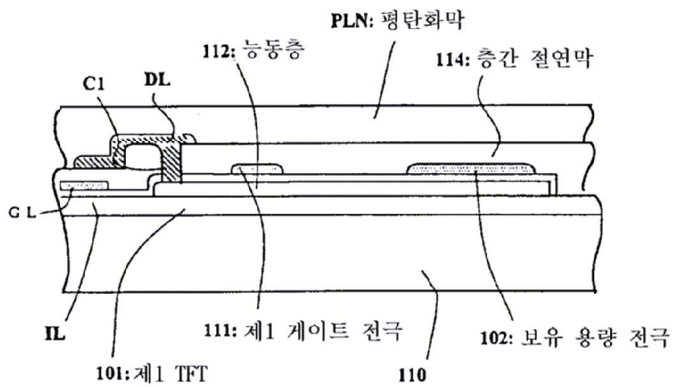
도면6



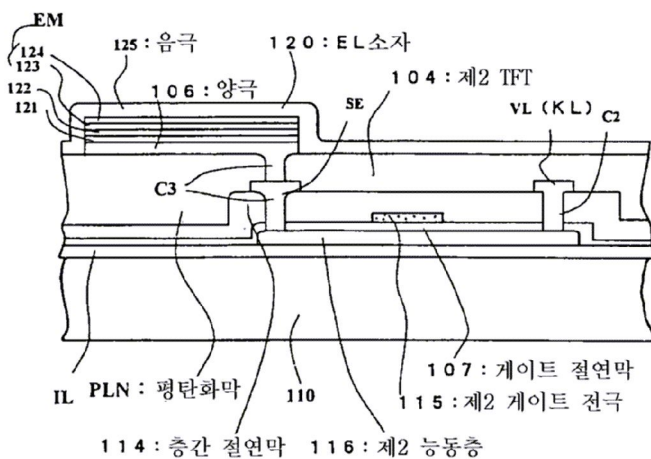
도면7



도면8



도면9



专利名称(译)	EL显示器件		
公开(公告)号	KR1020010050783A	公开(公告)日	2001-06-25
申请号	KR1020000057600	申请日	2000-09-30
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	YAMADA TSUTOMU		
发明人	YAMADA,TSUTOMU		
IPC分类号	H01L51/50 G09G3/04 G09F9/30 H05B33/08 G09G3/10 H05B33/02 H01L29/786 H05B33/14 H01L27/32 G09F H05B H01L27/28 H05B33/12 H01L		
CPC分类号	H01L27/3276		
代理人(译)	CHANG, SOO KIL CHU, 晟敏		
优先权	1999281793 1999-10-01 JP		
其他公开文献	KR100354640B1		
外部链接	Espacenet		

摘要(译)

由保持键的距离引起的驱动线VL的电阻引起的供电电流的劣化被抑制。必须固有地供应的电流供应电致发光单元。提供了用于获得明亮显示的电致发光显示装置。关于2的相邻显示像素，一条公共线KL被布置在中心作为驱动线VL。该公共线KL可以设计宽度，其中传统驱动线VL的2和空间S被施加。因此，可以控制电压降低于驱动线VL。电致发光元件，薄膜晶体管，显示像素，发光层。

