

명세서

청구범위

청구항 1

발광소자 형성 영역, 박막 트랜지스터 형성 영역 및 커패시터 형성 영역을 갖는 기판 상에, 상기 박막 트랜지스터의 활성층과 상기 커패시터의 제1전극을 형성하는 제1마스크 공정 단계;

상기 활성층과 상기 제1전극이 형성된 상기 기판 상에 투명도전층을 증착하고, 상기 발광소자 형성 영역과 상기 박막 트랜지스터 형성 영역의 상기 투명도전층 상부에 보호층 및 게이트 전극을 형성하는 제2마스크 공정 단계;

상기 활성층의 양측, 상기 보호층의 일부 및 상기 커패시터 형성 영역의 상기 투명도전층의 일부를 각각 노출하는 층간 절연막을 형성하고, 상기 투명도전층에 상기 투명도전층의 연결을 끊는 홀을 형성하는 제3마스크 공정 단계; 및

상기 활성층의 노출된 양측과 접촉하는 소스 및 드레인 전극과 상기 커패시터의 제2전극을 형성하고, 상기 노출된 보호층의 일부를 제거하는 제4마스크 공정 단계;를 포함하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 2

제1항에 있어서, 상기 제1마스크 공정 단계는,

상기 기판 상에 반도체층을 증착하는 단계; 및

상기 반도체층을 패터닝하여, 상기 활성층과 상기 제1전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 3

제1항에 있어서, 상기 제2마스크 공정 단계는,

상기 활성층과 상기 제1전극이 형성된 상기 기판 전면에 제1절연층, 투명도전층, 및 제1금속층을 순차 증착하는 단계; 및

상기 제1금속층을 패터닝하여, 상기 투명도전층을 화소전극으로 하는 상기 발광소자 형성 영역과 상기 투명도전층을 하부 전극층으로 하는 상기 박막 트랜지스터 형성 영역에, 보호층 및 게이트 전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 4

제1항에 있어서,

상기 제2마스크 공정 단계 후, 상기 활성층 및 상기 제1전극을 도핑하는 단계;를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 5

제3항에 있어서,

상기 제1금속층은 다층으로 형성된 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 6

제1항에 있어서, 상기 제3마스크 공정 단계는,

상기 보호층 및 상기 게이트 전극이 형성된 상기 기판 상부에 제2절연층을 증착하는 단계; 및

상기 제2절연층과 상기 투명도전층을 패터닝하여, 상기 활성층의 양측을 노출시키는 컨택홀, 상기 보호층을 노출시키는 제1개구, 상기 커패시터 형성 영역의 상기 투명도전층의 일부를 노출시키는 제2개구, 및 상기 투명도

전층의 연결을 끊는 홀을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 7

제1항에 있어서,

상기 홀은 상기 발광소자 형성 영역, 상기 박막 트랜지스터 형성 영역 및 상기 커패시터 형성 영역 간의 경계에 위치되는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 8

제6항에 있어서,

상기 제2절연층은 건식 식각에 의해 패터닝되고, 상기 투명도전층은 습식 식각에 의해 패터닝되는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 9

제1항에 있어서, 상기 제4마스크 공정 단계는,

상기 층간 절연막 상부에 제2금속층을 증착하는 단계; 및

상기 제2금속층을 패터닝하여 상기 소스 및 드레인 전극과 상기 제2전극을 형성하고, 상기 보호층을 제거하는 단계;를 포함하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 10

제1항에 있어서,

상기 소스 및 드레인 전극과 상기 제2전극이 형성된 상기 기판 상에 상기 발광소자 형성 영역의 상기 투명도전층을 노출하는 제3개구를 갖는 화소정의막을 형성하는 제5마스크 공정 단계;를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 11

기판 전면에서 순차적으로 형성된 제1절연층, 투명도전층 및 제2절연층;

상기 제1절연층 하부에 형성된 활성층, 상기 투명도전층의 일부를 하부 전극층으로 구비한 게이트 전극, 상기 활성층의 양측과 연결된 소스 및 드레인 전극을 구비한 박막 트랜지스터;

상기 투명도전층의 일부를 화소 전극으로 구비하고, 발광층을 포함하는 중간층 및 대향 전극이 순차 적층된 유기발광소자; 및

제1전극 및 상기 투명도전층의 일부를 하부 전극층으로 구비한 제2전극을 구비한 커패시터;를 포함하고,

상기 투명도전층과 상기 제2절연층은 홀을 구비하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제11항에 있어서,

상기 홀에 의해 상기 투명도전층이 패터닝된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

제11항에 있어서,

상기 홀은 상기 제2절연층을 건식 식각하고, 상기 투명도전층을 습식 식각하여 형성된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제11항에 있어서,

상기 투명도전층은 ITO/Ag/ITO, ITO/Ag/IZO, ATD, ITO/APC/ITO를 포함하는 그룹에서 선택된 하나인 것을 특징

으로 하는 유기 발광 표시 장치.

청구항 15

제11항에 있어서,

상기 게이트 전극, 상기 소스 및 드레인 전극은 다층의 금속층을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

제15항에 있어서,

상기 게이트 전극, 상기 소스 및 드레인 전극은 알루미늄을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

제11항에 있어서,

상기 소스 및 드레인 전극은 상기 제1절연층, 투명도전층 및 제2절연층을 관통하여 형성된 컨택홀을 통하여 상기 활성층의 양측에 각각 연결되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

제11항에 있어서,

상기 제1전극은 상기 활성층과 동일한 물질을 포함하고, 상기 활성층과 동일층에 형성되고, 상기 제2전극은 상기 소스 및 드레인 전극과 동일한 물질을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제11항에 있어서,

상기 투명도전층과 상기 제2절연층의 홀을 채우고, 상기 화소 전극으로서 투명도전층의 일부를 노출하고, 상기 소스 및 드레인 전극을 덮는 화소정의막;을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제11항에 있어서,

상기 홀은 상기 유기발광소자, 상기 박막 트랜지스터 및 상기 커패시터 간의 경계에 위치되는 것을 특징으로 하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로, 더 상세하게는 제조 공정이 단순하고 표시 품질이 우수한 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 양극과 음극, 및 상기 두 전극 사이에 위치하는 유기 발광층을 포함하는 박막층에 전압을 인가함으로써, 전자와 정공이 유기 발광층 내에서 재결합하여 빛을 발광하는 자체 발광형의 표시 장치이다.

[0003] 유기 발광 표시 장치는 경량 박형이 가능할 뿐만 아니라, 넓은 시야각, 빠른 응답속도 및 적은 소비 전력 등의 장점으로 인하여 차세대 표시 장치로서 주목받고 있다.

[0004] 한편, 풀 컬러(full color)를 구현하는 유기 발광 표시 장치의 경우, 색이 다른 각 화소(예를 들어, 적색, 녹색, 청색 화소)의 유기 발광층에서 사출되는 각 파장의 광학 길이를 변화시키는 광 공진 구조가 채용되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 제조 공정이 단순하고 표시 품질이 우수한 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 본 발명의 유기 발광 표시 장치는, 기관 전면에 순차적으로 형성된 제1절연층, 투명도전층 및 제2절연층; 상기 제1절연층 하부에 형성된 활성층, 상기 투명도전층의 일부를 하부 전극층으로 구비한 게이트 전극, 상기 활성층의 양측과 연결된 소스 및 드레인 전극을 구비한 박막 트랜지스터; 상기 투명도전층의 일부를 화소 전극으로 구비하고, 발광층을 포함하는 중간층 및 대향 전극이 순차 적층된 유기발광소자; 및 제1전극 및 상기 투명도전층의 일부를 하부 전극층으로 구비한 제2전극을 구비한 커패시터;를 포함하고, 상기 투명도전층과 상기 제2절연층은 홀을 구비할 수 있다.

[0007] 바람직하게, 상기 투명도전층은 상기 홀에 의해 패터닝되고, 상기 홀은 상기 제2절연층을 건식 식각하고, 상기 투명도전층을 습식 식각하여 형성될 수 있다.

[0008] 바람직하게, 상기 투명도전층은 ITO/Ag/ITO, ITO/Ag/IZO, ATD, ITO/APC/ITO을 포함하는 그룹에서 선택된 하나일 수 있다.

[0009] 바람직하게, 상기 게이트 전극, 상기 소스 및 드레인 전극은 다층의 금속층을 포함할 수 있고, 상기 게이트 전극, 상기 소스 및 드레인 전극은 알루미늄을 포함할 수 있다.

[0010] 바람직하게, 상기 소스 및 드레인 전극은 상기 제1절연층, 투명도전층 및 제2절연층을 관통하여 형성된 컨택홀을 통하여 상기 소스 및 드레인 전극 중의 하나와 연결될 수 있다.

[0011] 바람직하게, 상기 제1전극은 상기 활성층과 동일한 물질을 포함하고, 상기 활성층과 동일층에 형성되고, 상기 제2전극은 상기 소스 및 드레인 전극과 동일한 물질을 포함할 수 있다.

[0012] 바람직하게, 상기 투명도전층과 상기 제2절연층의 홀을 채우고, 상기 화소 전극으로서 투명도전층의 일부를 노출하고, 상기 소스 및 드레인 전극을 덮는 화소정의막;을 더 포함할 수 있다.

[0013] 바람직하게, 상기 투명도전층과 상기 제2절연층의 홀을 채우고, 상기 화소 전극으로서 투명도전층의 일부를 노출하고, 상기 소스 및 드레인 전극을 덮는 화소정의막;을 더 포함할 수 있다.

[0014] 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치 제조 방법은, 발광소자 형성 영역, 박막 트랜지스터 형성 영역 및 커패시터 형성 영역을 갖는 기관 상에, 상기 박막 트랜지스터의 활성층과 상기 커패시터의 제1전극을 형성하는 제1마스크 공정 단계; 상기 활성층과 상기 제1전극이 형성된 상기 기관 상에 투명도전층을 증착하고, 상기 발광소자 형성 영역과 상기 박막 트랜지스터 형성 영역의 상기 투명도전층 상부에 보호층 및 게이트 전극을 형성하는 제2마스크 공정 단계; 상기 활성층의 양측, 상기 보호층 및 상기 커패시터 형성 영역의 상기 투명도전층의 일부를 노출하는 층간 절연막을 형성하고, 상기 투명도전층의 연결을 끊는 제3마스크 공정 단계; 및 상기 활성층의 노출된 양측과 접촉하는 소스 및 드레인 전극과 상기 커패시터의 제2전극을 형성하고, 상기 보호층을 제거하는 제4마스크 공정 단계;를 포함할 수 있다.

[0015] 바람직하게, 상기 제1마스크 공정 단계는, 상기 기관 상에 반도체층을 증착하는 단계; 및 상기 반도체층을 패터닝하여, 상기 활성층과 상기 제1전극을 형성하는 단계;를 포함할 수 있다.

[0016] 바람직하게, 상기 제2마스크 공정 단계는, 상기 활성층과 상기 제1전극이 형성된 상기 기관 전면에서 제1절연층, 투명도전층, 및 제1금속층을 순차 증착하는 단계; 및 상기 제1금속층을 패터닝하여, 상기 투명도전층을 화소전극으로 하는 상기 발광소자 형성 영역과 상기 투명도전층을 하부 전극층으로 하는 상기 박막 트랜지스터 형성 영역에, 보호층 및 게이트 전극을 형성하는 단계;를 포함할 수 있다.

[0017] 바람직하게, 상기 제2마스크 공정 단계 후, 상기 활성층 및 상기 제1전극을 도핑하는 단계;를 더 포함할 수 있다.

[0018] 바람직하게, 상기 제1금속층은 다층으로 형성될 수 있다.

[0019] 바람직하게, 상기 제3마스크 공정 단계는, 상기 보호층 및 상기 게이트 전극이 형성된 상기 기판 상부에 제2절연층을 증착하는 단계; 및 상기 제2절연층과 상기 투명도전층을 패터닝하여, 상기 활성층의 양측을 노출시키는 컨택홀, 상기 보호층을 노출시키는 제1개구, 상기 커패시터 형성 영역의 상기 투명도전층의 일부를 노출시키는 제2개구, 및 상기 투명도전층의 연결을 끊는 홀을 형성하는 단계;를 포함할 수 있다.

[0020] 바람직하게, 상기 홀은 상기 영역들의 경계에 형성될 수 있다.

[0021] 바람직하게, 상기 제2절연층은 건식 식각에 의해 패터닝되고, 상기 투명도전층은 습식 식각에 의해 패터닝될 수 있다.

[0022] 바람직하게, 상기 제4마스크 공정 단계는, 상기 층간 절연막 상부에 제2금속층을 증착하는 단계; 및 상기 제2금속층을 패터닝하여 상기 소스 및 드레인 전극과 상기 제2전극을 형성하고, 상기 보호층을 제거하는 단계;를 포함할 수 있다.

[0023] 바람직하게, 상기 소스 및 드레인 전극과 상기 제2전극이 형성된 상기 기판 상에 상기 발광소자 형성 영역의 상기 투명도전층을 노출하는 제3개구를 갖는 화소정의막을 형성하는 제5마스크 공정 단계;를 더 포함할 수 있다.

발명의 효과

[0024] 본 발명은 1회의 도핑으로 채널 및 스토리지를 형성함으로써 도핑 설비 및 비용 절감이 가능하다.

[0025] 본 발명은 화소전극이 되는 투명도전층을 별도 패터닝하지 않고, 투명도전층에 쇼트 방지 패턴(홀)을 형성함으로써 메탈 미러(Metal Mirror)를 이용한 공진 구조를 갖는 유기 발광 표시 장치를 제조할 수 있어, 시간 및 비용 손실의 절감이 가능하다.

[0026] 본 발명은 제조 공정이 단순하고 표시 품질이 우수한 유기 발광 표시 장치를 제공할 수 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치의 일부를 개략적으로 도시한 단면도이다.

도 2 내지 도 16은 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치의 제조 공정을 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하 본 발명의 바람직한 실시예가 첨부된 도면들을 참조하여 설명될 것이다. 도면상의 동일한 부호는 동일한 요소를 지칭한다. 하기에서 본 발명을 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.

[0029] 본 발명의 실시예를 설명하는 도면에 있어서, 어떤 층이나 영역들은 명세서의 명확성을 위해 두께를 확대하여 나타내었다. 또한 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0030] 도 1은 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치의 일부를 개략적으로 도시한 단면도이다.

[0031] 도 1을 참조하면, 본 발명의 유기 발광 표시 장치는, 발광소자 형성 영역(101), 박막 트랜지스터 형성 영역(102), 및 커패시터 형성 영역(103)을 정의한다.

[0032] 박막 트랜지스터 형성 영역(102)에는 박막 트랜지스터(TFT)가 구비된다. 박막 트랜지스터(TFT)는 구동 소자 또는 스위칭 소자로서 역할을 한다. 박막 트랜지스터(TFT)는 활성층(212), 게이트 전극(215) 및 소스/드레인 전극(217a/217b)으로 구성된다. 상기 게이트 전극(215)과 활성층(212) 사이에는 이들 간의 절연을 위한 제1절연층(13)과 투명도전층(14)이 개재되어 있다. 상기 투명도전층(14)은 상기 게이트 전극(215)의 하부 전극층으로 역할을 한다. 상기 활성층(212)의 양쪽 가장자리에는 고농도의 불순물이 주입된 소스/드레인 영역(212a/212b)이 형성되어 있으며, 이들은 상기 소스/드레인 전극(217a/217b)에 각각 연결되어 있다. 상기 게이트 전극(215)과 상기 소스/드레인 전극(217a/217b) 사이에는 제2절연층(16)이 개재되어 있다.

[0033] 발광소자 형성 영역(101)에는 유기발광소자(EL)가 구비된다. 유기발광소자(EL)는 상기 박막 트랜지스터와 전기적으로 연결된다. 유기발광소자(EL)는 상기 투명도전층(14)의 일부를 화소 전극으로 구비하고, 대향 전극(20) 및 그 사이에 개재된 중간층(19)을 포함한다. 픽셀을 정의하는 화소정의막(218)은 상기 투명도전층(14)의 일부

를 노출시킨다.

- [0034] 커패시터 형성 영역(103)에는 커패시터(CAP)가 구비된다. 커패시터(CAP)는 제1전극(312) 및 제2전극(317)으로 이루어지며, 이들 사이에 제1절연층(13)과 투명도전층(14)이 개재되어 있다. 상기 투명도전층(14)은 상기 제2전극(317)의 하부 전극층으로 역할을 한다. 상기 제1전극(312)은 상기 활성층(212)의 도핑시 함께 도핑된다.
- [0035] 발광소자 형성 영역(101), 박막 트랜지스터 형성 영역(102), 및 커패시터 형성 영역(103)을 포함하는 기판(10) 전체에 걸쳐 기판(10) 상부에 투명한 전도성 물질의 도전층인, 투명도전층(14)이 형성된다. 상기 투명도전층(14)은 유기발광소자(EL)의 화소 전극, 박막 트랜지스터(TFT)의 게이트 전극(215)의 하부 전극층, 및 커패시터(CAP)의 제2전극(317)의 하부 전극층으로 역할을 한다. 상기 투명도전층(14)은 상기 제2절연층(16)과 함께 영역 경계에서 쇼트 방지홀(H4)에 의해 패터닝된다.
- [0036] 본 발명의 유기 발광 표시 장치는 5 배면 마스크 공정으로 메탈 미러(Metal Mirror) 공진 구조를 갖는다.
- [0037] 도 2 내지 도 16은 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치의 제조 공정을 개략적으로 도시한 단면도이다.
- [0038] 도 2를 참조하면, 기판(10) 상에 버퍼층(11) 및 반도체층(12)이 순차로 형성되어 있다.
- [0039] 기판(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.
- [0040] 기판(10) 상에는 기판(10)의 평활성과 불순 원소의 침투를 차단하기 위하여 SiO₂ 및/또는 SiN_x 등을 포함하는 버퍼층(11)이 구비될 수 있다.
- [0041] 버퍼층(11) 상에는 반도체층(12)이 증착된다. 반도체층(12)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)일 수 있다. 이때, 결정질 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.
- [0042] 버퍼층(11) 및 반도체층(12)은 PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다. 상기 버퍼층(11)의 형성은 생략될 수 있다.
- [0043] 도 3을 참조하면, 반도체층(12) 상에 제1감광막(photoresistor)(P1)을 도포하고, 광투과부(M11) 및 광차단부(M12)를 구비한 제1마스크(M1)를 이용한 제1 마스크 공정을 실시한다.
- [0044] 상기 도면에는 상세히 도시되지 않았으나, 노광장치(미도시)로 제1 포토마스크(M1)에 노광 후, 현상(developing), 식각(etching), 및 스트리핑(stripping) 또는 에칭(ashing) 등과 같은 일련의 공정을 거친다.
- [0045] 본 실시예에서는 광에 노출된 부분이 제거되는 포지티브 감광제(positive-PR)가 사용되었지만, 본 발명은 이에 한정되지 않고 네가티브 감광제(negative-PR)가 사용될 수 있음은 물론이다.
- [0046] 도 4를 참조하면, 제1 마스크 공정의 결과로 상기 반도체층(12)은 박막 트랜지스터의 활성층(212), 및 상기 활성층(212)과 동일층에 동일 물질로 형성된 커패시터의 제1전극(312)으로 패터닝된다.
- [0047] 도 5를 참조하면, 상기 활성층(212)과 상기 제1전극(312)이 형성된 기판(10) 전면에 제1절연층(13), 투명도전층(14), 및 제1금속층(15)을 순차적으로 적층한다.
- [0048] 제1절연층(13)은 SiO_x, SiN_x 등의 무기 절연막을 PECVD법, APCVD법, LPCVD법, ERC법 등의 방법으로 증착할 수 있다. 상기 제1절연층(13)은 단층 또는 복수층일 수 있으며, 박막 트랜지스터의 게이트 절연막, 및 커패시터의 유전층 역할을 한다.
- [0049] 투명도전층(14)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크 옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0050] 한편, 상기 투명도전층(14)은 하나 이상의 금속을 포함하는 복수층으로 형성될 수 있다. 예를 들어, ITO/Ag/ITO, ITO/Ag/IZO, ATD(ITO/Ag합금/ITO), ITO/APC(Ag-Pd-Cu합금)/ITO을 포함하는 그룹에서 선택된 적어

도 하나 이상을 포함할 수 있다. 본 실시예에서는 ITO/APC/ITO의 3층 구조(14a, 14b, 14c)가 채용되었다. 그러나 본 발명은 이에 한정되지 않으며, 다양한 재료 및 다양한 층으로 상기 투명도전층(14)을 형성할 수 있다.

- [0051] 제1금속층(15)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 본 실시예에서 제1금속층(15)은 알루미늄을 포함한다.
- [0052] 또한, 상기 제1금속층(15)은 다층의 금속층(15a, 15b, 15c)을 포함할 수 있는데, 본 실시예에서는 알루미늄(Al)(15b)을 중심으로 상 하부(15a, 15c)에 몰리브덴(Mo)이 형성된 3층 구조(Mo/Al/Mo)가 채용되었다. 그러나 본 발명은 이에 한정되지 않으며, 다양한 재료 및 다양한 층으로 상기 제1금속층(15)을 형성할 수 있다.
- [0053] 도 6을 참조하면, 상기 제1금속층(15) 상에 제2감광막(P2)을 도포하고, 광투과부(M21) 및 광차단부(M22)를 구비한 제2포토마스크(M2)를 이용한 제2 마스크 공정을 실시한다.
- [0054] 도 7을 참조하면, 제2 마스크 공정의 결과로 상기 제1금속층(15)은 각각 유기발광소자의 보호층(115), 및 박막 트랜지스터의 게이트 전극(215)으로 패터닝된다. 상기 게이트 전극(215)은 상기 활성층(212)의 증상에 대응한다.
- [0055] 한편, 커패시터 형성 영역(103)에는 제2감광막(P2)을 남기지 않음으로써, 상기 제1금속층(15)을 제거한다. 이로써, 이후 박막 트랜지스터 도핑시에 커패시터 도핑이 동시에 가능해질 수 있다.
- [0056] 도 8을 참조하면, 상기 게이트 전극(215)을 셀프 얼라인(self align) 마스크로 사용하여 활성층(212)에 이온 불순물을 도핑한다. 그 결과 활성층(212)은 가장자리에 이온 불순물이 도핑된 소스 및 드레인 영역(212a, 212b)과 그 사이에 채널 영역(212c)을 구비하게 된다. 즉, 게이트 전극(215)을 셀프 얼라인 마스크로 사용함으로써, 별도의 포토 마스크를 추가하지 않고 소스 및 드레인 영역(212a, 212b)을 형성할 수 있다.
- [0057] 또한, 제1금속층(15)이 제거된 투명도전층(14)을 통해, 커패시터의 제1전극(312)은 상기 활성층(212)의 도핑과 동시에 이온 불순물에 의해 도핑된다. 상기 제1전극(312)의 도핑에 의해 커패시터의 용량 등이 저하되는 것을 최소화시킴으로써 반도체소자의 신뢰도가 향상될 수 있다.
- [0058] 상기 활성층(212)의 도핑시 주입되는 이온 불순물과 상기 제1전극(312)의 도핑시 주입되는 이온 불순물은 동일 또는 상이할 수 있다.
- [0059] 본 실시예는 1회의 도핑으로 채널과 스토리지 형성이 가능해 짐으로써 공정 시간 및 비용을 절감할 수 있게 된다.
- [0060] 도 9를 참조하면, 상기 보호층(115)과 상기 게이트 전극(215)이 형성된 기판(10) 전면에서 제2절연층(16) 및 제3 감광막(P3)을 도포하고, 광투과부(M31) 및 광차단부(M32)를 구비한 제3포토마스크(M3)를 이용한 제3 마스크 공정을 실시한다.
- [0061] 제2절연층(16)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성된다. 제2절연층(16)은 충분한 두께로 형성되어, 예컨대 전술한 제1절연층(13)보다 두껍게 형성되어, 박막 트랜지스터의 게이트 전극(215)과 소스 및 드레인 전극(217a/217b) 사이의 층간 절연막 역할을 수행한다. 한편, 제2절연층(16)은 상기와 같은 유기 절연 물질뿐만 아니라, SiO₂, SiN_x, Al₂O₃, CuO_x, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있다. 또한 제2절연층(16)은 유기절연 물질과 무기절연 물질을 교번하여 형성할 수도 있다.
- [0062] 도 10을 참조하면, 제3 마스크 공정의 결과로 제2절연층(16)에는 상기 보호층(115)을 개구시키는 제1개구(H1), 박막 트랜지스터의 소스 및 드레인 영역(212a, 212b)을 노출시키는 콘택홀(H2a, H2b), 및 커패시터 형성 영역(103)의 투명도전층(14)을 개구시키는 제2개구(H3)가 형성된다.
- [0063] 한편, 본 발명은 발광소자 형성 영역(101)의 화소 전극을 형성하기 위한 별도의 투명도전층(14)의 패터닝이 없다. 따라서, 상기 투명도전층(14)으로 인한 쇼트 방지가 필요하다.
- [0064] 본 발명은 발광소자 형성 영역(101)과 박막 트랜지스터 형성 영역(102) 사이, 박막 트랜지스터 형성 영역(102)과 커패시터 형성 영역(103) 사이 등 각 영역 경계에 투명도전층(14)의 연결을 끊는 홀을 형성한다. 즉, 투명도전층(14)의 쇼트 방지를 위한 쇼트 방지홀(H4)을 형성한다. 상기 쇼트 방지홀(H4)에 의해 상기 투명도전층(14)을 패터닝할 수 있게 되고, 식각액의 침투가 가능해진다. 상기 쇼트 방지홀(H4)은 제2절연층(16)을 건식 식각(dry etching)으로 제거하고, 투명도전층(14)을 습식 식각(wet etching)으로 제거한다. 상기 투명도전층(14)과

상기 제2절연층(16)을 식각함으로써 상기 쇼트 방지홀(H4)은 제1절연층(13)을 노출시킨다. 추가로, 상기 제3마스크 공정에서 상기 제1절연층(13)까지 식각함으로써 상기 쇼트 방지홀(H4)은 버퍼층(11)을 노출시킬 수도 있다.

- [0065] 본 실시예에서는 확실한 쇼트 방지를 위해 두 개의 쇼트 방지홀(H4a, H4b)을 각각 형성하고 있으나, 경계에 하나의 쇼트 방지홀 또는 세 개 이상의 쇼트 방지홀이 형성될 수 있음은 물론이다.
- [0066] 도 11을 참조하면, 도 10의 구조물 상에 제2금속층(17)을 형성한다.
- [0067] 제2금속층(17)은 상기 제1개구(H1), 상기 콘택홀(H2a, H2b), 상기 제2개구(H3), 및 쇼트 방지홀(H4a, H4b)을 채운다.
- [0068] 제2금속층(17)은 상기 제1금속층(15)과 마찬가지로 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 본 실시예에서 제2 금속층(17)은 상기 제1금속층(15)과 동일하게 알루미늄을 포함한다.
- [0069] 또한, 상기 제2금속층(17)은 다층의 금속층(17a, 17b, 17c)을 포함할 수 있는데, 본 실시예에서는 알루미늄(Al)(17b)을 중심으로 상하부(17a, 17c)에 타이타늄(Ti) 형성된 3층 구조(Ti/Al/Ti)가 채용되었다. 그러나 본 발명은 이에 한정되지 않으며, 다양한 재료 및 다양한 층으로 상기 제2금속층(17)을 형성할 수 있다.
- [0070] 도 12를 참조하면, 상기 제2금속층(17) 상에 제4감광막(P4)을 도포하고, 광투과부(M41) 및 광차단부(M42)를 구비한 제4포토마스크(M4)를 이용한 제4 마스크 공정을 실시한다.
- [0071] 도 13을 참조하면, 박막 트랜지스터 형성 영역(102)에는 소스 및 드레인 영역(212a, 212b)과 전기적으로 연결되는 소스 및 드레인 전극(217a, 217b)을 형성한다. 커패시터 형성 영역(103)에는 커패시터의 제2전극(317)을 형성한다. 상기 제2전극(317) 하부에는 투명도전층(14)이 구비되어 하부 전극층의 역할을 한다.
- [0072] 발광소자 형성 영역(101)의 제1개구(H1) 상의 제2금속층(17) 및 보호층(115)은 제거된다. 이에 따라, 발광소자 형성 영역(101)의 투명도전층(14)이 노출되고, 노출된 투명도전층(14)은 화소 전극의 역할을 한다.
- [0073] 한편, 각 영역 경계의 다수의 쇼트 방지홀(H4a, H4b)에 형성된 제2금속층(17)도 제거된다.
- [0074] 도 14를 참조하면, 상기 소스 및 드레인 전극(217a, 217b)과 상기 제2전극(317)이 형성된 기관(10) 전면에서 제3절연층(18)을 도포하고, 광투과부(M51) 및 광차단부(M52)를 구비한 제5포토마스크(M5)를 이용한 제5 마스크 공정을 실시한다.
- [0075] 상기 제3절연층(18)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 한편, 상기 제3절연층(18)은 상기와 같은 유기 절연 물질뿐만 아니라, SiO₂, SiN_x, Al₂O₃, CuO_x, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있음은 물론이다. 또한 상기 제3절연층(18)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0076] 도 15를 참조하면, 제5 마스크 공정의 결과로 제3절연층(18)을 패터닝하여 발광소자 형성 영역(101)의 투명도전층(14)의 중앙부가 노출되도록 제3개구(H5)를 형성함으로써, 픽셀을 정의하는 화소정의막(218)을 형성한다.
- [0077] 도 16을 참조하면, 상기 투명도전층(14)을 노출하는 개구(H5)에 발광층을 포함하는 중간층(19) 및 대향 전극(20)을 형성한다.
- [0078] 중간층(19)은 저분자 또는 고분자 유기물로 구비될 수 있다.
- [0079] 저분자 유기물로 형성되는 경우, 중간층(19)은 발광층을 중심으로 기관(10)의 방향으로 정공 수송층 및 정공 주입층 등이 적층되고, 대향 전극(20) 방향으로 전자 수송층 및 전자 주입층 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenylbenzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq₃) 등을 비롯하여 다양하게 적용 가능하다.
- [0080] 한편, 고분자 유기물로 형성되는 경우에는, 중간층(19)은 발광층을 중심으로 기관(10) 방향으로 정공 수송층만이 포함될 수 있다. 정공 수송층은 폴리에틸렌 디히드록시티오펜(PEDOT: poly-(2,4)-ethylene-dihydroxy

thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 제 3개구(H5)에 형성할 수 있다. 이때 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌 (Polyfluorene)계 등의 고분자 유기물을 사용할 수 있으며, 잉크젯 프린팅이나 스핀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.

[0081] 상기 대향 전극(20)은 기관(10) 전면에 증착되어 공통 전극으로 형성될 수 있다. 본 실시예에 따른 유기 발광 표시 장치의 경우, 제3개구(H5)에 의해 노출된 투명도전층(14)은 애노드 전극으로 사용되고, 대향 전극(20)은 캐소드 전극으로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.

[0082] 유기 발광 표시 장치가 기관(10)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)의 경우, 대향 전극(20)은 반사 전극이 된다. 이때 반사 전극은 일함수가 적은 금속, 예를 들자면, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착하여 형성할 수 있다.

[0083] 한편, 상기 도면에는 도시되지 않았지만, 대향 전극(20) 상에는 외부의 수분이나 산소 등으로부터 발광층을 보호하기 위한 밀봉 부재(미도시) 및 흡습제(미도시) 등이 더 구비될 수 있다.

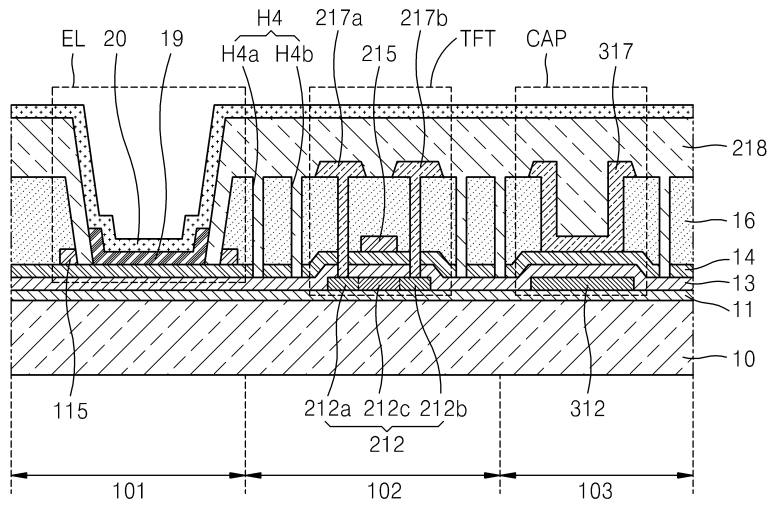
[0084] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

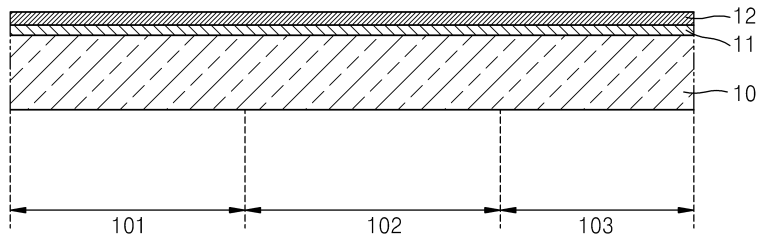
- [0085]
- | | |
|---------------------|-----------------|
| 10: 기관 | 11: 버퍼층 |
| 12: 반도체층 | 13: 제1절연층 |
| 14: 투명도전층 | 15: 제1금속층 |
| 16: 제2절연층 | 17: 제2금속층 |
| 18: 제3절연층 | 19: 중간층 |
| 20: 대향 전극 | 101: 발광소자 형성 영역 |
| 102: 박막 트랜지스터 형성 영역 | 103: 커패시터 형성 영역 |
| 115: 보호층 | 212: 활성층 |
| 212a: 소스 영역 | 212b: 드레인 영역 |
| 212c: 채널 영역 | 215: 게이트 전극 |
| 217a: 소스 전극 | 217b: 드레인 전극 |
| 218: 화소정의막 | 312: 커패시터의 제1전극 |
| 317: 커패시터의 제2전극 | |

도면

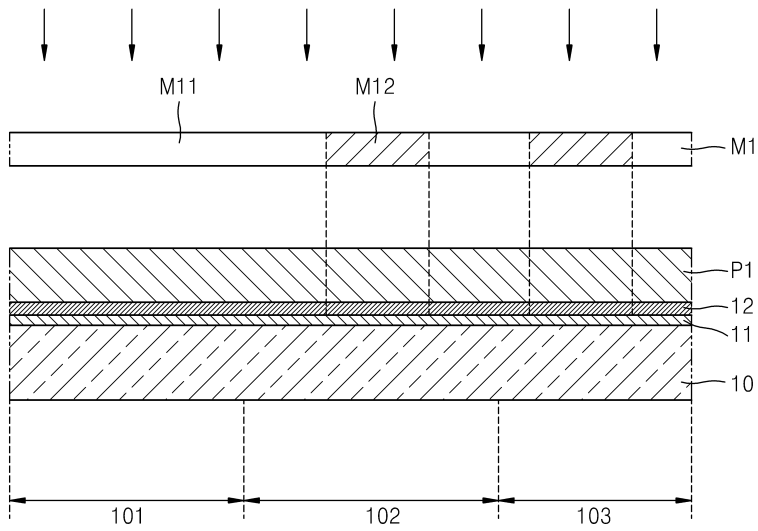
도면1



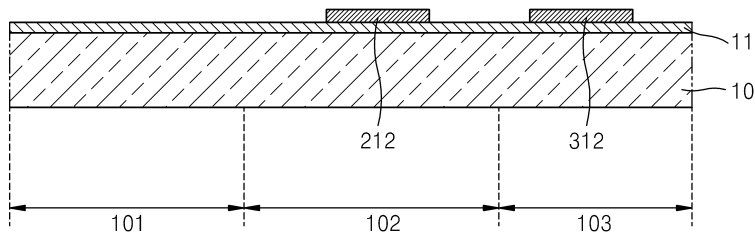
도면2



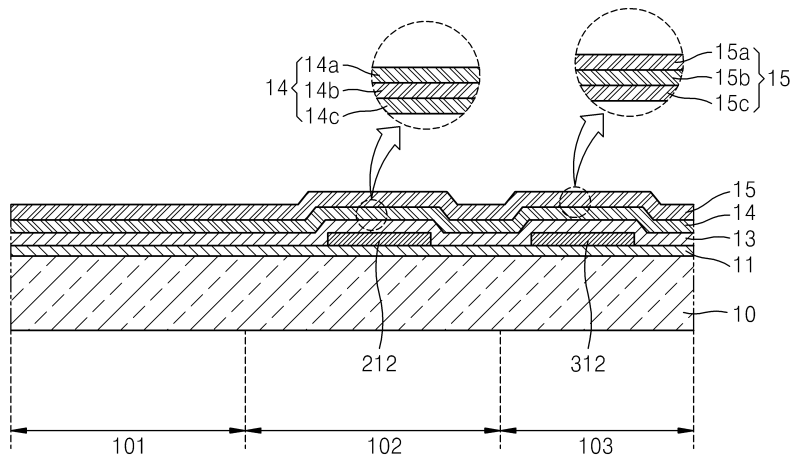
도면3



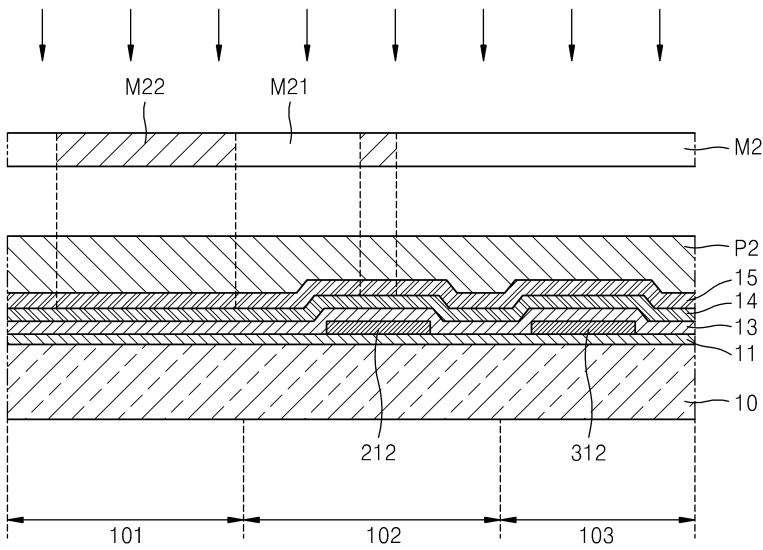
도면4



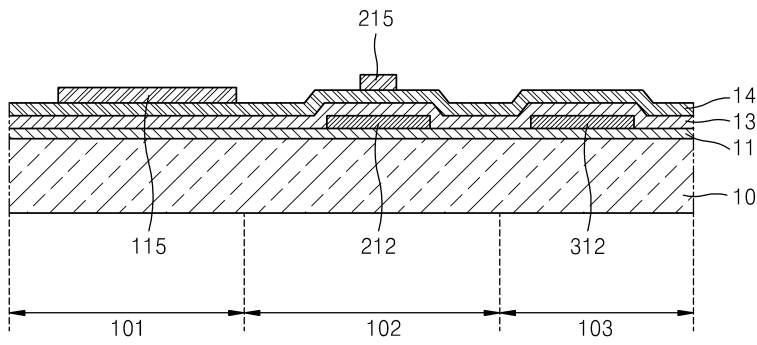
도면5



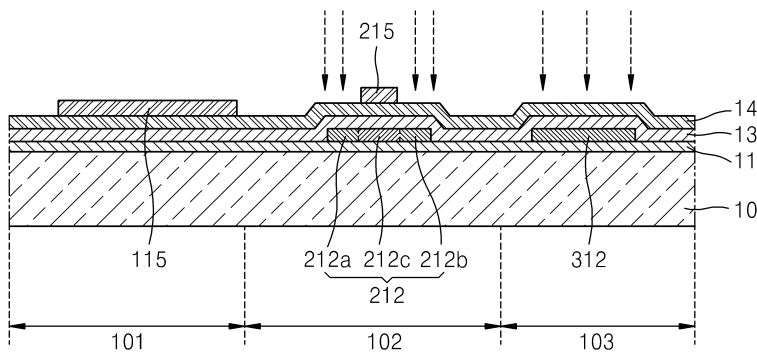
도면6



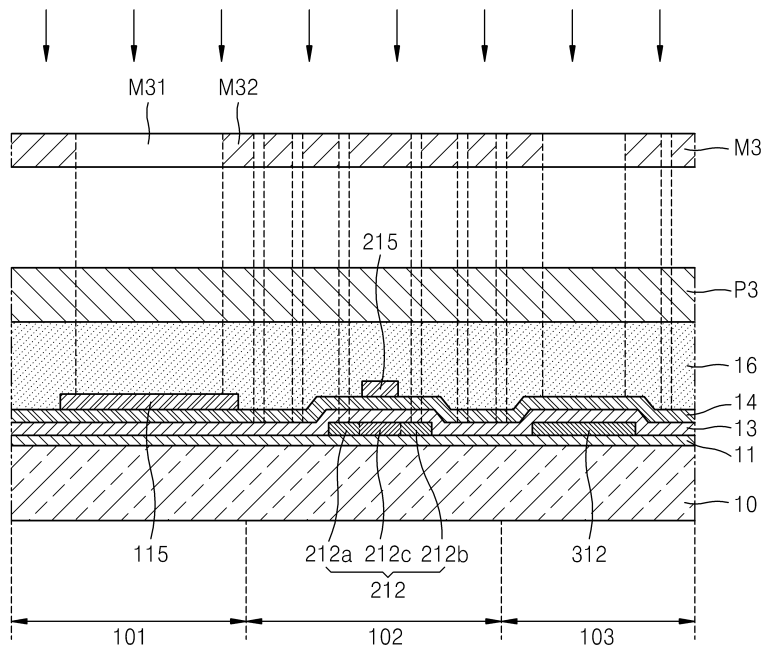
도면7



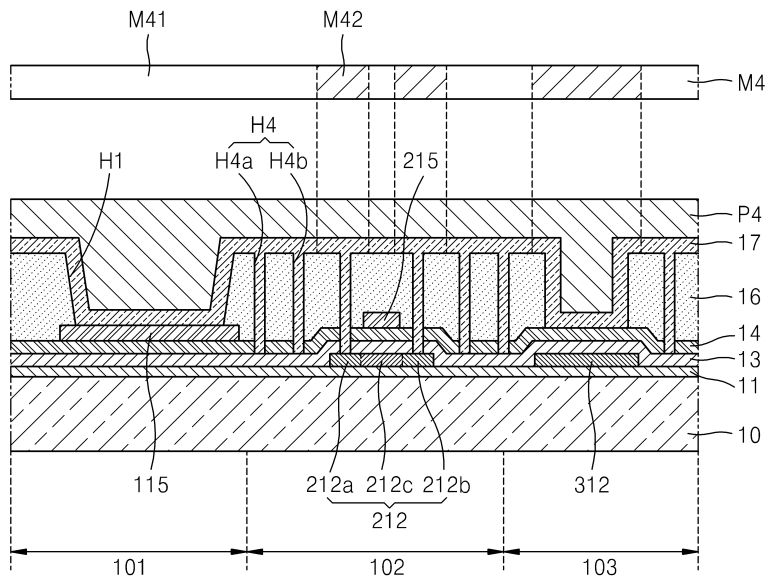
도면8



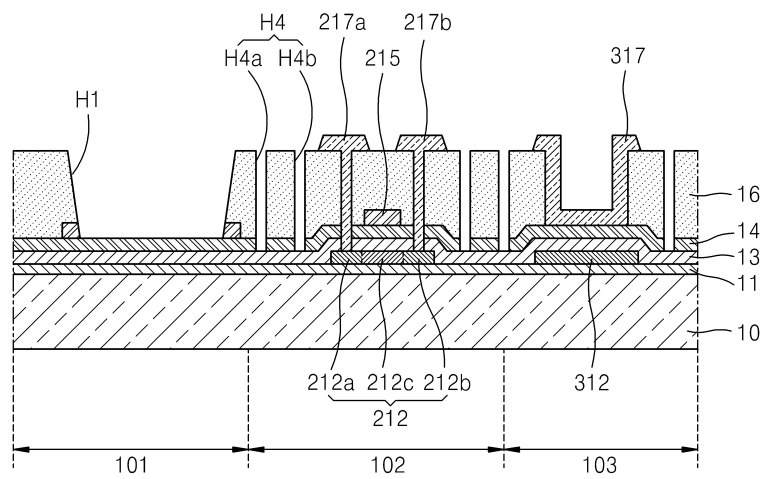
도면9



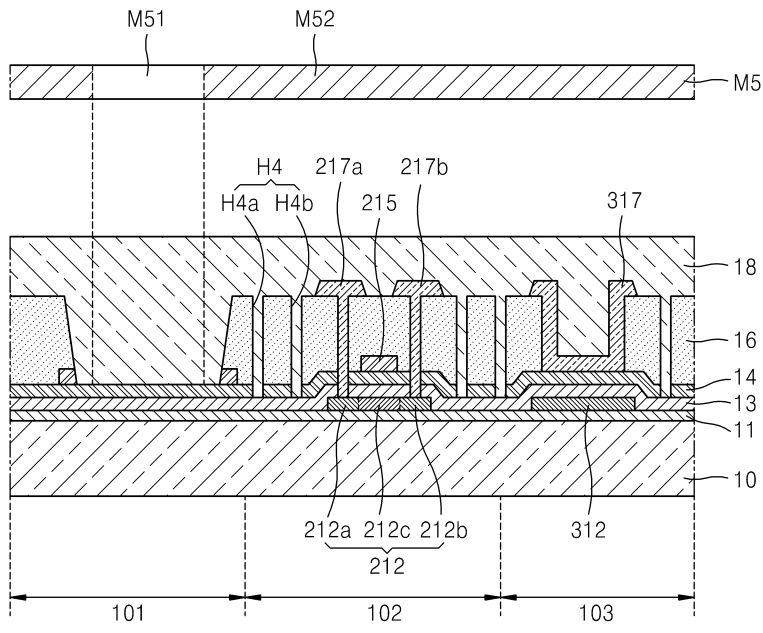
도면12



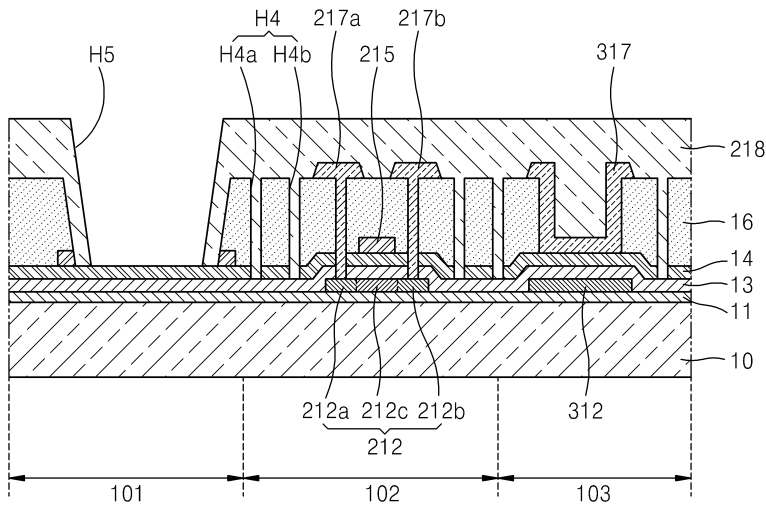
도면13



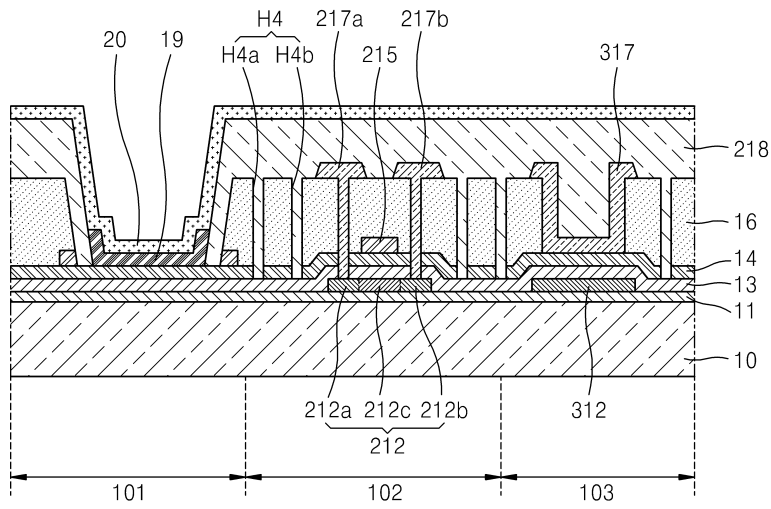
도면14



도면15



도면16



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제20항, 2째줄

【변경전】

상기 발광소자

【변경후】

상기 유기발광소자

专利名称(译)	标题 : OLED显示器及其制造方法		
公开(公告)号	KR101746617B1	公开(公告)日	2017-06-28
申请号	KR1020100092852	申请日	2010-09-24
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK SUN 박선 PARK JONG HYUN 박종현 LEE YUL KYU 이율규		
发明人	박선 박종현 이율규		
IPC分类号	H01L51/52 H01L27/32		
CPC分类号	H01L51/5265 H01L27/3258 H01L27/3262 H01L27/3265 H01L2251/5392		
其他公开文献	KR1020120031363A		
外部链接	Espacenet		

摘要(译)

目的 : 提供一种有机发光二极管及其制造方法, 通过形成单掺杂的沟道和存储区域来降低掺杂成分和制造成本。组成 : 薄膜晶体管 (TFT) 包含在薄膜晶体管中区域 (102)。薄膜晶体管由有源层 (212), 栅电极 (215) 和源/漏电极 (217a / 217b) 组成。有机发光器件 (EL) 包括在发光器件形成区域 (101) 中。有机发光装置包括相对电极 (20) 和中间层 (19)。电容器 (CAP) 包括在电容器整形区域 (103) 中。电容器由第一电极 (312) 和第二电极 (317) 组成。COPYRIGHT KIPO 2012

