



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년09월16일
(11) 등록번호 10-0982497
(24) 등록일자 2010년09월09일

(51) Int. Cl.

H05B 33/22 (2006.01)

(21) 출원번호 10-2003-0100659
(22) 출원일자 2003년12월30일
심사청구일자 2008년12월18일
(65) 공개번호 10-2005-0068844
(43) 공개일자 2005년07월05일
(56) 선행기술조사문헌
KR1020030082647 A
JP2001109399 A
JP2001217072 A

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김병구

경상북도구미시송정동183동양한신아파트101동607호

하용민

경상북도구미시도량동77도량파크아파트105동1001호

(74) 대리인

특허법인로알

전체 청구항 수 : 총 6 항

심사관 : 추장희

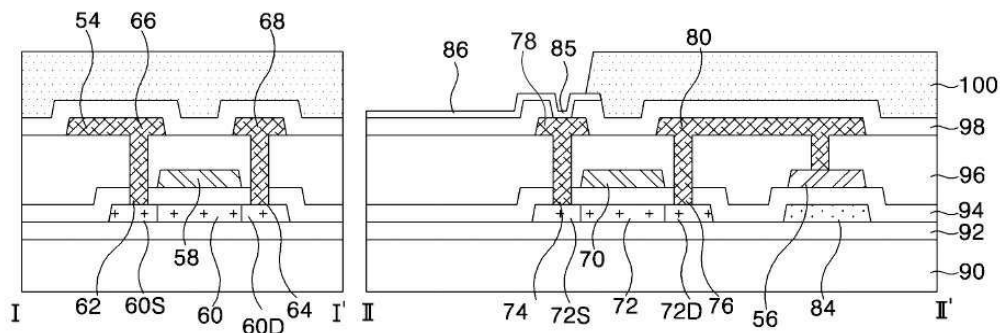
(54) 일렉트로-루미네센스 표시 패널의 박막 트랜지스터 어레이 및 그 제조 방법

(57) 요약

본 발명은 자외선 표면 처리 공정으로 인한 박막 트랜지스터의 특성 열화를 방지할 수 있는 EL 표시 패널의 박막 트랜지스터 어레이 및 그 제조 방법을 제공하는 것이다.

이를 위하여, 본 발명은 셀 구동부를 덮으면서 화소 전극의 가장자리 영역을 감싸도록 형성된 बैं크 절연막이 자외선 파장 대역에서 3% 미만의 투과율을 갖는 유기 절연막으로 형성된 것을 특징으로 한다.

대표도 - 도6



특허청구의 범위

청구항 1

게이트 라인 및 데이터 라인과 전원 라인 사이에 접속된 다수의 박막 트랜지스터를 포함하는 셀 구동부와;

상기 셀 구동부와 접속된 화소 전극과;

상기 셀 구동부를 덮으면서 화소 전극의 가장자리 영역을 감싸도록 형성된 बैं크 절연막을 구비하고,

상기 बैं크 절연막은 자외선 파장 대역에서 3% 미만의 투과율을 갖는 유기 절연막으로 형성된 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이.

청구항 2

게이트 라인 및 데이터 라인과 전원 라인 사이에 접속된 다수의 박막 트랜지스터를 포함하는 셀 구동부와;

상기 셀 구동부와 접속된 화소 전극과;

상기 셀 구동부를 덮으면서 화소 전극의 가장자리 영역을 감싸도록 형성된 बैं크 절연막을 구비하고,

상기 बैं크 절연막은 광농도(OD)가 1.5 이상인 유기 절연막으로 형성된 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 बैं크 절연막은 $1\mu\text{m}$ ~ $1.5\mu\text{m}$ 의 두께로 형성된 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이.

청구항 4

게이트 라인 및 데이터 라인과 전원 라인 사이에 접속된 다수의 박막 트랜지스터를 포함하는 셀 구동부를 기판 상에 형성하는 단계와;

상기 셀 구동부와 접속된 화소 전극을 형성하는 단계와;

자외선 파장 대역에서 3% 미만의 투과율을 갖는 유기 절연막을 이용하여 상기 셀 구동부를 덮으면서 화소 전극의 가장자리 영역을 감싸도록 형성된 बैं크 절연막을 형성하는 단계를 포함하는 것을 EL 표시 패널의 박막 트랜지스터 어레이 제조 방법.

청구항 5

게이트 라인 및 데이터 라인과 전원 라인 사이에 접속된 다수의 박막 트랜지스터를 포함하는 셀 구동부를 기판 상에 형성하는 단계와;

상기 셀 구동부와 접속된 화소 전극을 형성하는 단계와;

광농도(OD)가 1.5 이상인 유기 절연막을 이용하여 상기 셀 구동부를 덮으면서 화소 전극의 가장자리 영역을 감싸도록 형성된 बैं크 절연막을 형성하는 단계를 포함하는 것을 EL 표시 패널의 박막 트랜지스터 어레이 제조 방법.

청구항 6

제 4 항 또는 제 5 항에 있어서,

상기 बैं크 절연막은 $1\mu\text{m}$ ~ $1.5\mu\text{m}$ 의 두께로 형성된 것을 특징으로 하는 EL 표시 패널의 박막 트랜지스터 어레이의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0019] 본 발명은 일렉트로-루미네센스(Electro-Luminescence : 이하, EL이라 함) 표시 패널에 관한 것으로, 특히 자외선 표면 처리 공정으로 인한 박막 트랜지스터의 특성 열화를 방지할 수 있는 EL 표시 패널의 박막 트랜지스터 어레이 및 그 제조 방법에 관한 것이다.
- [0020] 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시 장치들이 대두되고 있다. 이러한 평판 표시 장치로는 액정 표시 장치(Liquid Crystal Display), 전계 방출 표시 장치(Field Emission Display), 플라즈마 표시 패널(Plasma Display Panel) 및 일렉트로-루미네센스(Electro-Luminescence : 이하, EL이라 함) 표시 패널 등이 있다.
- [0021] 이들 중 EL 표시 패널은 전자와 정공의 재결합으로 형광체를 발광시키는 자발광 소자로, 그 형광체로 무기 화합물을 사용하는 무기 EL과 유기 화합물을 사용하는 유기 EL로 대별된다. 이러한 EL 표시 패널은 저전압 구동, 자기발광, 박막형, 넓은 시야각, 빠른 응답속도, 높은 콘트라스트 등의 많은 장점을 가지고 있어 차세대 표시 장치로 기대되고 있다.
- [0022] 유기 EL 소자는 통상 음극과 양극 사이에 적층된 전자 주입층, 전자 수송층, 발광층, 정공 수송층, 정공 주입층으로 구성된다. 이러한 유기 EL 소자에서는 양극과 음극 사이에 소정의 전압을 인가하는 경우 음극으로부터 발생된 전자가 전자 주입층 및 전자 수송층을 통해 발광층 쪽으로 이동하고, 양극으로부터 발생된 정공이 정공 주입층 및 정공 수송층을 통해 발광층 쪽으로 이동한다. 이에 따라, 발광층에서는 전자 수송층과 정공 수송층으로부터 공급되어진 전자와 정공이 재결합함에 의해 빛을 방출하게 된다.
- [0023] 이러한 유기 EL 소자를 이용하는 액티브 매트릭스 EL 표시 패널은 도 1에 도시된 바와 같이 게이트 라인(GL)과 데이터 라인(DL)의 교차로 정의된 영역에 각각 배열되어진 화소들(28)을 구비하는 화소 매트릭스(20)와, 화소 매트릭스(20)의 게이트 라인들(GL)을 구동하는 게이트 드라이버(22)와, 화소 매트릭스(20)의 데이터 라인들(DL)을 구동하는 데이터 드라이버(24)를 구비한다.
- [0024] 게이트 드라이버(22)는 스캔 펄스를 공급하여 게이트 라인들(GL)을 순차적으로 구동한다. 데이터 드라이버(24)는 스캔 펄스가 공급될 때마다 데이터 신호를 데이터 라인들(DL)에 공급하게 된다.
- [0025] 화소들(28) 각각은 게이트 라인(GL)에 스캔 펄스가 공급될 때 데이터 라인(DL)으로부터 데이터 신호를 공급받아 그 데이터 신호에 상응하는 빛을 발생하게 된다. 이를 위하여, 화소들(28) 각각은 도 2에 도시된 바와 같이 기저 전압원(GND)에 음극이 접속된 EL 셀(OEL)과, 게이트 라인(GL) 및 데이터 라인(DL)과 공급 전압원(VCC)에 접속되고 EL 셀(OEL)의 양극에 접속되어 그 EL 셀(OEL)을 구동하기 위한 셀 구동부(30)를 구비한다.
- [0026] 셀 구동부(30)는 게이트 라인(GL)에 게이트 단자가, 데이터 라인(DL)에 소스 단자가, 그리고 제1 노드(N1)에 드레인 단자가 접속된 스위칭용 박막 트랜지스터(T1)와, 제1 노드(N1)에 게이트 단자가, 공급 전압원(VCC)에 소스 단자가, 그리고 EL셀(EL)에 드레인 단자가 접속된 구동용 박막 트랜지스터(T2)와, 공급 전압원(VCC)과 제1 노드(N1) 사이에 접속된 캐패시터(C)를 구비한다.
- [0027] 스위칭용 박막 트랜지스터(T1)는 게이트 라인(GL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 제1 노드(N1)로 공급한다. 제1 노드(N1)에 공급된 데이터 신호는 캐패시터(C)에 충전됨과 아울러 구동용 박막 트랜지스터(T2)의 게이트 단자로 공급된다. 구동용 박막 트랜지스터(T2)는 게이트 단자로 공급되는 데이터 신호, 즉 데이터 전압에 응답하여 공급 전압원(VCC)으로부터 EL 셀(OEL)로 공급되는 전류량(I)을 제어함으로써 EL 셀(OEL)의 발광량을 조절하게 된다. 그리고, 스위칭용 박막 트랜지스터(T1)가 턴-오프되더라도 캐패시터(C)에 충전된 전압에 의해 구동용 박막 트랜지스터(T2)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류(I)를 공급하여 EL 셀(OEL)이 발광을 유지하게 한다.
- [0028] 도 3은 도 2에 도시된 화소(28)에 포함되는 박막 트랜지스터 어레이를 도시한 평면도이고, 도 4는 도 3에 도시된 스위칭용 박막 트랜지스터 및 구동용 박막 트랜지스터 각각의 영역을 I-I', II-II'선을 따라 절단하여 도시한 단면도이다.
- [0029] 도 3에 도시된 박막 트랜지스터 어레이의 게이트 라인(52)은 데이터 라인(54) 및 전원 라인(56)과 교차하는 구

조로 형성되어 화소 영역을 정의한다. 정의된 화소 영역에는 스위칭용 박막 트랜지스터 및 구동용 박막 트랜지스터와, 구동용 박막 트랜지스터와 접속된 제1 전극, 즉 화소 전극(86)이 형성된다.

[0030] 스위칭용 박막 트랜지스터는 게이트 라인(54)으로부터 돌출된 제1 게이트 전극(58), 게이트 절연막(94)을 사이에 두고 제1 게이트 전극(58)과 교차하는 제1 액티브층(60), 데이터 라인(54)으로부터 돌출되어 층간 절연막(96) 및 게이트 절연막(94)을 관통하는 제1 콘택홀(62)을 통해 제1 액티브층(60)의 소스 영역(60S)과 접속된 제1 소스 전극(66), 제1 소스 전극(66)과 제1 게이트 전극(58)을 사이에 두고 마주하여 층간 절연막(96) 및 게이트 절연막(94)을 관통하는 제2 콘택홀(64)을 통해 제1 액티브층(60)의 드레인 영역(60D)과 접속된 제1 드레인 전극(68)을 구비한다.

[0031] 구동용 박막 트랜지스터는 층간 절연막(96)을 관통하는 제3 콘택홀(65)을 통해 상기 제1 드레인 전극(68)과 접속된 제2 게이트 전극(70), 게이트 절연막(94)을 사이에 두고 제2 게이트 전극(70)과 교차하는 제2 액티브층(72), 층간 절연막(96) 및 게이트 절연막(94)을 관통하는 제4 콘택홀(76)을 통해 제2 액티브층(72)의 소스 영역(72S)과 접속된 제2 소스 전극(80), 제2 소스 전극(80)과 제2 게이트 전극(70)을 사이에 두고 마주하여 층간 절연막(96) 및 게이트 절연막(94)을 관통하는 제5 콘택홀(74)을 통해 제2 액티브층(72)의 드레인 영역(72D)과 접속된 제2 드레인 전극(78)을 구비한다.

[0032] 여기서, 구동용 박막 트랜지스터의 제2 소스 전극(80)은 층간 절연막(96)을 관통하는 제6 콘택홀(82)을 통해 전원 라인(56)과 접속되고, 제2 드레인 전극(78)은 보호막(98)을 관통하는 제7 콘택홀(85)을 통해 화소 전극(86)과 접속된다.

[0033] 스토리지 캐패시터는 전원 라인(56)과, 그 전원 라인(56)과 게이트 절연막(94)을 사이에 두고 중첩된 제3 활성층(84)으로 구성된다.

[0034] 그리고, 도 3에 도시된 박막 트랜지스터 어레이는 화소 전극(86)의 가장자리를 감싸도록 보호막(98) 위에 형성된 बैं크 절연막(88)을 더 구비한다.

[0035] 이러한 박막 트랜지스터 어레이를 포함하는 유기 EL 표시 패널의 제조 방법을 간단히 살펴보면 다음과 같다.

[0036] 우선, 버퍼층(92)이 형성된 기판(90) 상에 폴리-실리콘(Poly-Si)을 이용한 제1 내지 제3 액티브층(60, 72, 84)이 형성되고, 그 위에 게이트 절연막(94)이 형성된다. 게이트 절연막(94) 위에 게이트 라인(52)과 함께 제1 및 제2 게이트 전극(58, 70)이 형성되고, 그 위에 층간 절연막(96)이 형성된다. 이어서, 층간 절연막(96) 및 게이트 절연막(94)을 관통하는 제1 내지 제6 콘택홀(62, 64, 65, 76, 74, 82)이 형성되고, 그 위에 데이터 라인(54)과 함께 제1 소스 전극 및 드레인 전극(66, 68)과, 제2 소스 전극 및 드레인 전극(80, 78)이 형성된다. 그 다음, 제7 콘택홀(85)을 포함하는 보호막(98)이 형성되고, 그 위에 화소 전극(86)이 형성된다. 보호막(98) 위에는 화소 전극(86)의 가장자리를 감싸는 बैं크 절연막(100)이 형성된다.

[0037] 그리고, बैं크 절연막(100)에 의해 노출된 화소 전극(86) 위에 R, G, B 유기 EL층이 화소 단위로 형성된 후, 그 위에 제2 전극이 공통으로 형성된다.

[0038] 이러한 과정을 통해 형성된 박막 트랜지스터 기판은 게터가 부착된 패키징판과 실런트를 통해 합착됨으로써 캡슐화된다.

[0039] 그런데, 종래의 유기 EL 표시 패널의 제조 방법은 화소 전극(86) 위에 R, G, B 유기 EL층을 증착하기 전에 불순물 제거를 위하여 자외선(UV) 조사를 통한 표면 클리닝(Cleaning) 공정을 진행하게 된다. 이때, 조사된 자외선(UV)은 बैं크 절연막(100)의 아래에 형성된 스위칭용 박막 트랜지스터 및 구동용 박막 트랜지스터의 액티브층까지 침투하여 소자 특성을 열화시키게 된다. 이로 인하여, 박막 트랜지스터의 문턱 전압이 변동하여 오동작하게 되는 치명적이 불량 발생하게 된다.

발명이 이루고자 하는 기술적 과제

[0040] 따라서, 본 발명의 목적은 자외선 표면 처리 공정으로 인한 박막 트랜지스터의 특성 열화를 방지할 수 있는 EL 표시 패널의 박막 트랜지스터 어레이 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

- [0041] 상기 목적을 달성하기 위하여, 본 발명의 한 특징에 따른 EL 표시 패널의 박막 트랜지스터 어레이는 게이트 라인 및 데이터 라인과 전원 라인 사이에 접속된 다수의 박막 트랜지스터를 포함하는 셀 구동부와; 상기 셀 구동부와 접속된 화소 전극과; 상기 셀 구동부를 덮으면서 화소 전극의 가장자리 영역을 감싸도록 형성된 बैं크 절연막을 구비하고, 상기 बैं크 절연막은 자외선 파장 대역에서 3% 미만의 투과율을 갖는 유기 절연막으로 형성된 것을 특징으로 한다.
- [0042] 본 발명의 다른 특징에 따른 EL 표시 패널의 박막 트랜지스터 어레이는 상기 बैं크 절연막이 광농도(OD)가 1.5 이상인 유기 절연막으로 형성된 것을 특징으로 한다.
- [0043] 상기 बैं크 절연막은 1 μ m ~ 1.5 μ m의 두께로 형성된다.
- [0044] 본 발명의 한 특징에 따른 EL 표시 패널의 박막 트랜지스터 어레이의 제조 방법은 게이트 라인 및 데이터 라인과 전원 라인 사이에 접속된 다수의 박막 트랜지스터를 포함하는 셀 구동부를 기판 상에 형성하는 단계와; 상기 셀 구동부와 접속된 화소 전극을 형성하는 단계와; 자외선 파장 대역에서 3% 미만의 투과율을 갖는 유기 절연막을 이용하여 상기 셀 구동부를 덮으면서 화소 전극의 가장자리 영역을 감싸도록 형성된 बैं크 절연막을 형성하는 단계를 포함한다.
- [0045] 본 발명의 다른 특징에 따른 EL 표시 패널의 박막 트랜지스터 어레이 제조 방법은 광농도(OD)가 1.5 이상인 유기 절연막을 이용하여 상기 셀 구동부를 덮으면서 화소 전극의 가장자리 영역을 감싸도록 형성된 बैं크 절연막을 형성하는 단계를 포함한다.
- [0046] 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- [0047] 이하, 도 5 내지 도 7h를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0048] 도 5는 본 발명의 실시 예에 따른 유기 EL 표시 패널 중 하나의 화소에 포함되는 박막 트랜지스터 어레이를 도시한 평면도이고, 도 6은 도 5에 도시된 스위칭용 박막 트랜지스터 및 구동용 박막 트랜지스터 영역을 스위칭용 박막 트랜지스터 및 구동용 박막 트랜지스터 각각의 영역을 I-I', II-II'선을 따라 절단하여 도시한 단면도이다.
- [0049] 도 5에 도시된 박막 트랜지스터 어레이의 게이트 라인(52)은 데이터 라인(54) 및 전원 라인(56)과 교차하는 구조로 형성되어 화소 영역을 정의한다. 정의된 화소 영역에는 스위칭용 박막 트랜지스터 및 구동용 박막 트랜지스터와, 구동용 박막 트랜지스터와 접속된 제1 전극, 즉 화소 전극(86)이 형성된다.
- [0050] 스위칭용 박막 트랜지스터는 게이트 라인(54)으로부터 돌출된 제1 게이트 전극(58), 게이트 절연막(94)을 사이에 두고 제1 게이트 전극(58)과 교차하는 제1 액티브층(60), 데이터 라인(54)으로부터 돌출되어 층간 절연막(96) 및 게이트 절연막(94)을 관통하는 제1 콘택홀(62)을 통해 제1 액티브층(60)의 소스 영역(60S)과 접속된 제1 소스 전극(66), 제1 소스 전극(66)과 제1 게이트 전극(58)을 사이에 두고 마주하여 층간 절연막(96) 및 게이트 절연막(94)을 관통하는 제2 콘택홀(64)을 통해 제1 액티브층(60)의 드레인 영역(60D)과 접속된 제1 드레인 전극(68)을 구비한다.
- [0051] 구동용 박막 트랜지스터는 층간 절연막(96)을 관통하는 제3 콘택홀(65)을 통해 상기 제1 드레인 전극(68)과 접속된 제2 게이트 전극(70), 게이트 절연막(94)을 사이에 두고 제2 게이트 전극(70)과 교차하는 제2 액티브층(72), 층간 절연막(96) 및 게이트 절연막(94)을 관통하는 제4 콘택홀(76)을 통해 제2 액티브층(72)의 소스 영역(72S)과 접속된 제2 소스 전극(80), 제2 소스 전극(80)과 제2 게이트 전극(70)을 사이에 두고 마주하여 층간 절연막(96) 및 게이트 절연막(94)을 관통하는 제5 콘택홀(74)을 통해 제2 액티브층(72)의 드레인 영역(72D)과 접속된 제2 드레인 전극(78)을 구비한다.
- [0052] 여기서, 구동용 박막 트랜지스터의 제2 소스 전극(80)은 층간 절연막(96)을 관통하는 제6 콘택홀(82)을 통해 전원 라인(56)과 접속되고, 제2 드레인 전극(78)은 보호막(98)을 관통하는 제7 콘택홀(85)을 통해 화소 전극(86)과 접속된다.
- [0053] 스토리지 캐패시터는 전원 라인(56)과, 그 전원 라인(56)과 게이트 절연막(94)을 사이에 두고 중첩된 제3 활성층(84)으로 구성된다.

[0054] 그리고, 도 5에 도시된 박막 트랜지스터 어레이는 화소 전극(86)의 가장자리를 감싸도록 보호막(98) 위에 형성된 बैं크 절연막(100)을 더 구비한다. 특히, बैं크 절연막(100)으로는 자외선(UV) 차단 능력이 우수한 유기 절연막을 이용한다. 구체적으로, बैं크 절연막(100)으로는 자외선(UV)에 해당하는 150nm~300nm의 파장 대역에서 3% 미만의 투과율을 갖는 유기 절연막을 이용한다. 다시 말하여, 박막에 조사된 빛의 차단 정도를 가리키는 광 농도(Optical Density; OD)가 약 1.5 이상인 유기 절연막을 이용한다. 여기서, 광 농도(OD)는 다음 수학적 식 1과 같이 박막에 조사된 빛의 투과율의 역수에 관계된 식에 의해 산출된다.

수학적 식 1

[0055] $OD = -\log(T)$ (여기서, T는 투과율)

[0056] 일반적으로, 자연광에서 강도(Intensity)가 높은 녹색광 영역(550nm)에서의 투과율을 가지고 산출된 광농도(OD)가 3.0이상인 박막은 빛의 차단 능력이 있는 것으로 판단한다. 따라서, बैं크 절연막(100)이 광농도(OD)가 약 1.5 이상인 유기 절연막을 이용하는 경우 자외선 차단 능력을 갖게 된다. 이를 위하여, बैं크 절연막(100)으로는 폴리이미드(Polyimide), BCB, 포토아크릴(Photo-acryl) 등과 같은 유기 절연막을 이용하고, 150nm~300nm의 파장 대역에서 3% 미만의 투과율을 갖도록 적어도 1 μ m, 예를 들면 1.5 μ m 정도를 두께를 갖도록 한다.

[0057] 이에 따라, 후속의 자외선(UV) 표면 처리 과정에서 조사된 UV가 बैं크 절연막(100)에서 차단되므로 자외선으로 인한 박막 트랜지스터의 특성 열화를 방지할 수 있게 된다.

[0058] 이러한 구성을 갖는 박막 트랜지스터 어레이의 제조 방법을 도 7a 내지 도 7h를 참조하여 설명하기로 한다.

[0059] 도 7a를 참조하면, 기판(90) 상에 SiO₂ 등을 이용한 버퍼층(92)이 증착되고, 그위에 제1 마스크 공정으로 제1 내지 제3 활성층(60, 72, 84)이 형성된다.

[0060] 구체적으로, 버퍼층(92) 위에 아몰퍼스-실리콘(Amorphous-Si)을 증착하고 탈수소화한 후, 레이저 결정화 공정으로 결정화하여 폴리-실리콘막을 형성하게 된다. 폴리-실리콘막은 제1 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 제1 내지 제3 활성층(60, 72, 84)이 형성된다.

[0061] 도 7b를 참조하면, 제2 마스크 공정으로 스토리지 캐패시터를 위한 제3 활성층(84)에 이온을 도핑한다.

[0062] 구체적으로, 제1 내지 제3 활성층(60, 72, 84)이 형성된 버퍼층(92) 상에 제2 마스크를 이용한 포토리소그래피 공정으로 제1 및 제2 활성층(60, 72)은 차단하고 제3 활성층(84)만 노출시키는 포토레지스트 패턴을 형성한다. 이러한 포토레지스트 패턴을 마스크로 이용하여 제3 활성층(84)에만 N형 또는 P형 이온을 도핑하여 스토리지 캐패시터의 하부 전극 역할을 하도록 도전성을 갖게 한다.

[0063] 도 7c를 참조하면, 제1 내지 제3 활성층(60, 72, 84)이 형성된 버퍼층(92) 상에 SiO₂등을 이용한 게이트 절연막(94)이 형성되고, 그 위에 제3 마스크 공정으로 게이트 라인(52) 및 전원 라인(84)과 함께 제1 및 제2 게이트 전극(58, 70)이 형성된다.

[0064] 구체적으로, 게이트 절연막(94)에 게이트 금속층이 증착한 후, 제3 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 패터닝함으로써 게이트 라인(52) 및 전원 라인(84)과 함께 제1 및 제2 게이트 전극(58, 70)이 형성된다. 게이트 금속층은 알루미늄계 금속을 포함하는 이중 금속층(예를 들면, Mo/AlNd) 구조로 형성된다. 그리고, 제1 및 제2 게이트 전극(58, 70)을 마스크로, 그 제1 및 제2 게이트 전극(58, 70)과 중첩되지 않는 제1 및 제2 활성층(60, 72) 영역에 N형 또는 P형 이온을 도핑함으로써 소스 영역(60S, 72S) 및 드레인 영역(60D, 72D)을 형성한다.

[0065] 도 7d를 참조하면, 층간 절연막(96)이 증착되고, 제4 마스크 공정으로 제1 내지 제6 콘택홀(62, 64, 65, 76, 74, 82)이 형성된다.

[0066] 구체적으로, 층간 절연막(96)을 증착한 후, 제4 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 그 층간 절연막(96) 및 게이트 절연막(94)을 관통하는 제1 내지 제6 콘택홀(62, 64, 65, 76, 74, 82)이 형성된다. 여기서, 제1 콘택홀(62)은 제1 활성층(60)의 소스 영역(60S)을, 제2 콘택홀(64)은 제1 활성층(60)의 드레인 영역(60D)을, 제3 콘택홀(64)은 제2 게이트 전극(70)을, 제4 콘택홀(76)은 제2 활성층(72)의 소스 영역(72S)을, 제5 콘택홀(74)은 제2 활성층(72)의 드레인 영역(72D)을, 제6 콘택홀(82)은 전원 라인(56)의 돌출부를 각각 노출시킨다.

[0067] 도 7e를 참조하면, 층간 절연막(96) 위에 제5 마스크 공정으로 데이터 라인(54)과 함께 제1 소스 전극 및 드레인

인 전극(66, 68)과, 제2 소스 전극 및 드레인 전극(80, 78)이 형성된다.

[0068] 구체적으로, 층간 절연막(96) 위에 소스/드레인 금속을 증착한 후, 제5 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 데이터 라인(54)과 함께 제1 소스 전극 및 드레인 전극(66, 68)과, 제2 소스 전극 및 드레인 전극(80, 78)이 형성된다. 여기서, 제1 소스 전극(66)은 제1 컨택홀(62)을 통해 제1 활성층(60)의 소스 영역(60S)과 접속되고, 제1 드레인 전극(68)은 제2 및 제3 컨택홀(64, 65)을 통해 제1 활성층(60)의 드레인 영역(60D) 및 제2 게이트 전극(70)과 접속된다. 제2 소스 전극(80)은 제4 및 제6 컨택홀(76, 82)을 통해 제2 활성층(72)의 소스 영역(72S) 및 전원 라인(56)과 접속되고, 제2 드레인 전극(78)은 제5 컨택홀(74)을 통해 제2 활성층(72)의 드레인 영역(72D)과 접속된다.

[0069] 도 7f를 참조하면, 보호막(98)이 형성되고 제6 마스크 공정으로 패터닝됨으로써 제2 드레인 전극(78)을 노출시키는 제7 컨택홀(85)이 형성된다.

[0070] 도 7g를 참조하면, 보호막(98) 위에 투명 도전막을 증착한 후 제7 마스크를 포함하는 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 화소 전극(86)이 형성된다. 화소 전극(86)은 제7 컨택홀(85)을 통해 노출된 제2 드레인 전극(78)과 접속된다.

[0071] 도 7h를 참조하면, 보호막(98) 위에 बैं크 절연막(100)을 형성하고 제8 마스크 공정으로 패터닝함으로써 화소 전극(86)의 가장자리를 제외한 나머지 영역이 노출되게 한다. 특히, बैं크 절연막(100)으로는 자외선(UV)에 해당하는 150nm-300nm의 파장 대역에서 3% 미만의 투과율을 갖는 유기 절연막을 이용하여 자외선 차단 능력을 갖게 한다.

[0072] 이에 따라, 후속의 자외선(UV) 표면 처리 과정에서 조사된 자외선(UV)가 बैं크 절연막(100)에서 차단되므로 자외선으로 인한 박막 트랜지스터의 특성 열화를 방지할 수 있게 된다.

발명의 효과

[0073] 상술한 바와 같이, 본 발명에 따른 유기 EL 표시 패널의 박막 트랜지스터 어레이 및 그 제조 방법은 बैं크 절연막으로 자외선(UV)에 해당하는 150nm~300nm의 파장 대역에서 3% 미만의 투과율을 갖는 유기 절연막을 이용하여 자외선 차단 능력을 갖게 한다. 이에 따라, 후속의 자외선(UV) 표면 처리 과정에서 조사된 자외선(UV)가 बैं크 절연막에서 차단되므로 자외선으로 인한 박막 트랜지스터의 특성 열화를 방지할 수 있게 된다.

[0074] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0001] 도 1은 통상의 유기 EL 표시 패널을 도시한 블록도.

[0002] 도 2는 도 1에 도시된 화소의 등가 회로도.

[0003] 도 3은 도 2에 도시된 화소에 포함되는 박막 트랜지스터 어레이를 도시한 평면도.

[0004] 도 4는 도 3에 도시된 스위치용 박막 트랜지스터 및 구동용 박막 트랜지스터 영역의 단면도.

[0005] 도 5는 본 발명의 실시 예에 따른 유기 EL 패널의 박막 트랜지스터 어레이를 도시한 평면도.

[0006] 도 6은 도 5에 도시된 스위칭 박막 트랜지스터 및 구동용 박막 트랜지스터 영역의 단면도.

[0007] 도 7a 내지 도 7h는 도 6에 도시된 박막 트랜지스터 어레이의 제조 방법을 단계적으로 설명하기 위한 단면도들.

[0008] <도면의 주요부분에 대한 부호의 간단한 설명>

[0009] 20, 50 : 화소 매트릭스 22 : 게이트 드라이버

[0010] 24 : 데이터 드라이버 28 : 화소

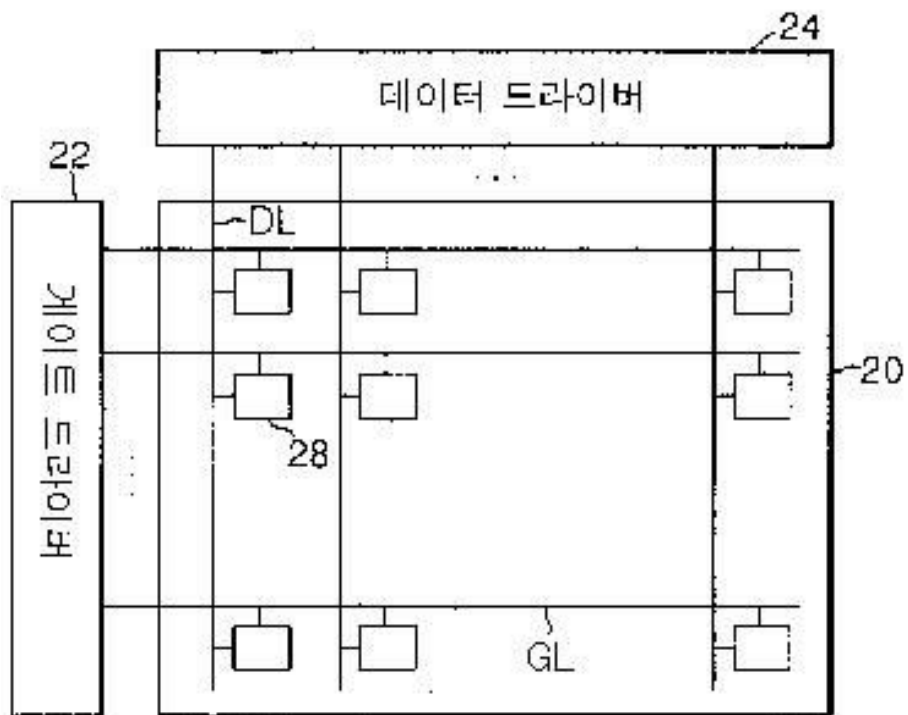
[0011] 30 : 셀 구동부 52 : 게이트 라인

[0012] 54 : 데이터 라인 56 : 전원 라인

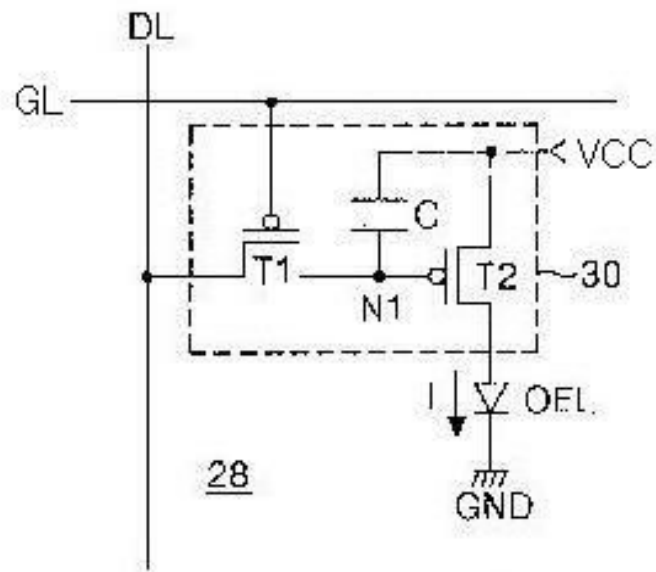
[0013]	58, 70: 게이트 전극	60, 72, 84 : 활성층
[0014]	62, 64, 65, 74, 76, 82, 85 : 컨택홀	66, 80 : 소스 전극
[0015]	68, 78 : 드레인 전극	86 : 화소 전극
[0016]	88, 100 : बैं크층	90 : 기판
[0017]	92 : 버퍼층	94 : 게이트 절연막
[0018]	96 : 층간 절연막	98 : 보호막

도면

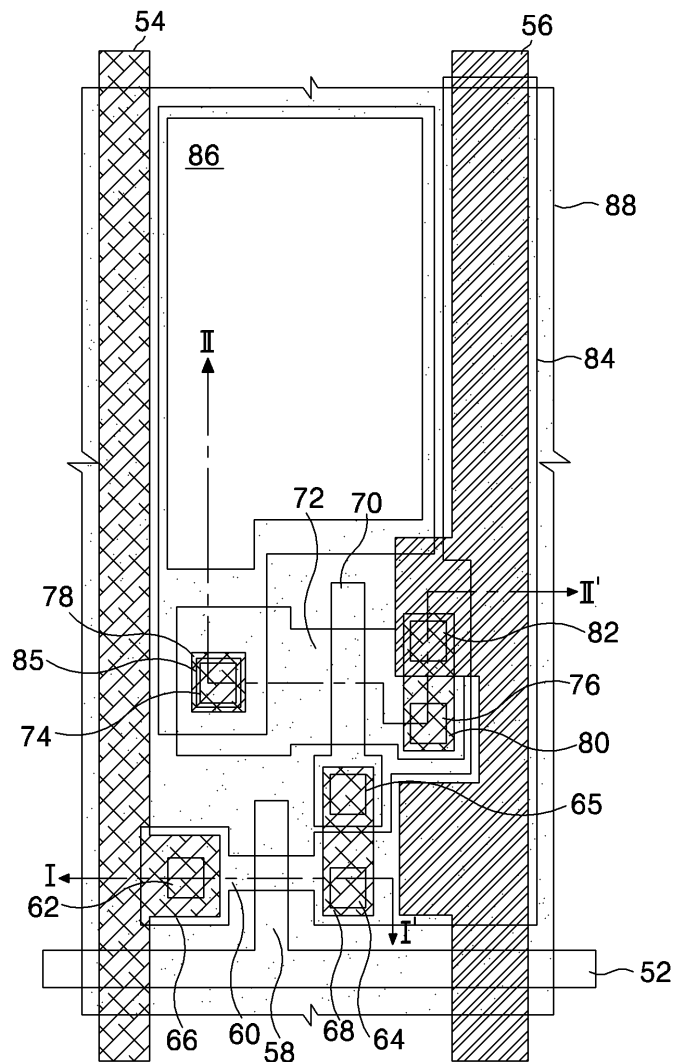
도면1



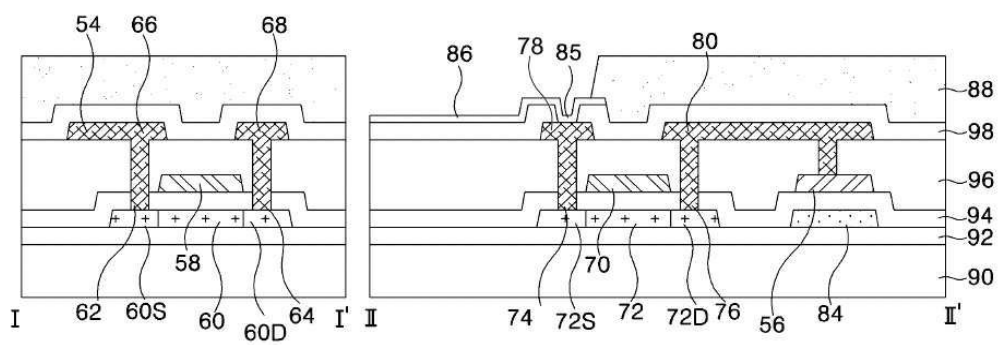
도면2



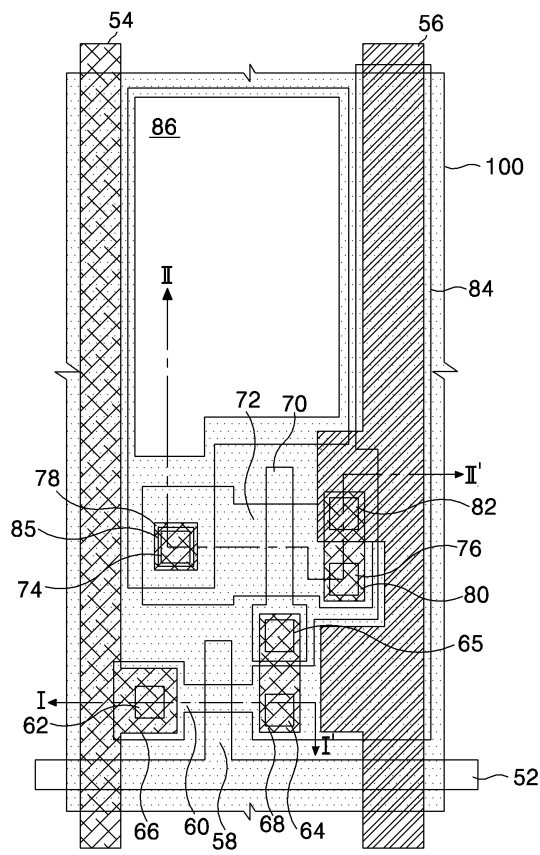
도면3



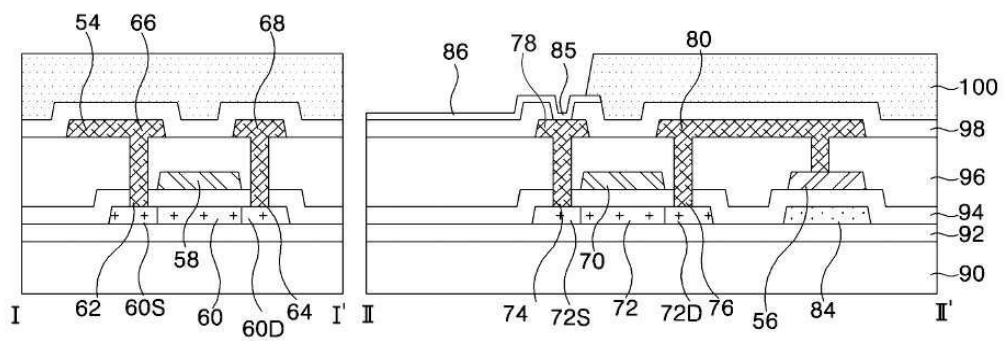
도면4



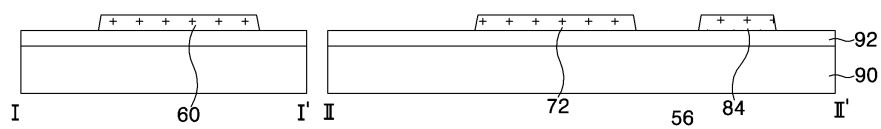
도면5



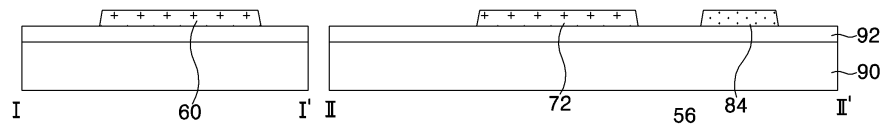
도면6



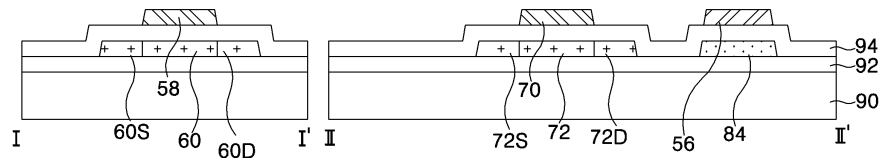
도면7a



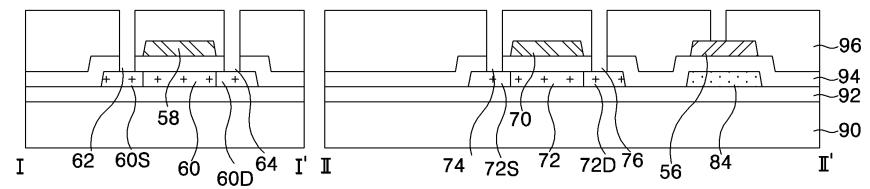
도면7b



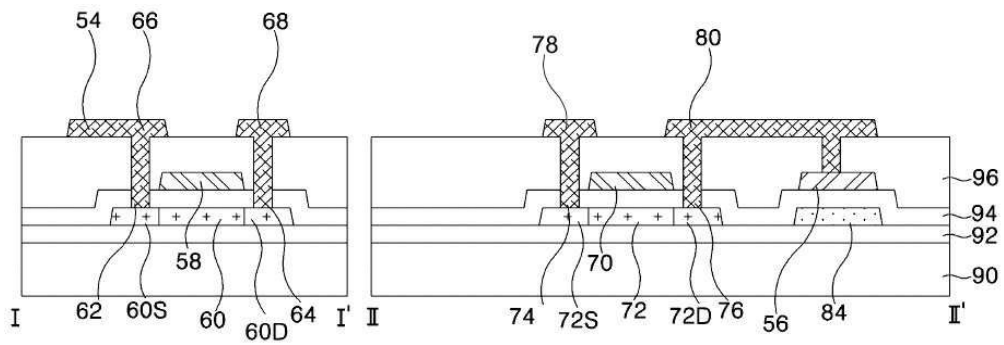
도면7c



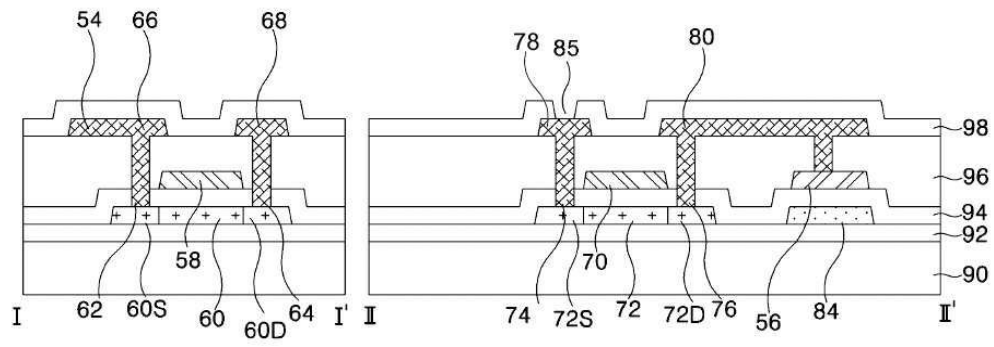
도면7d



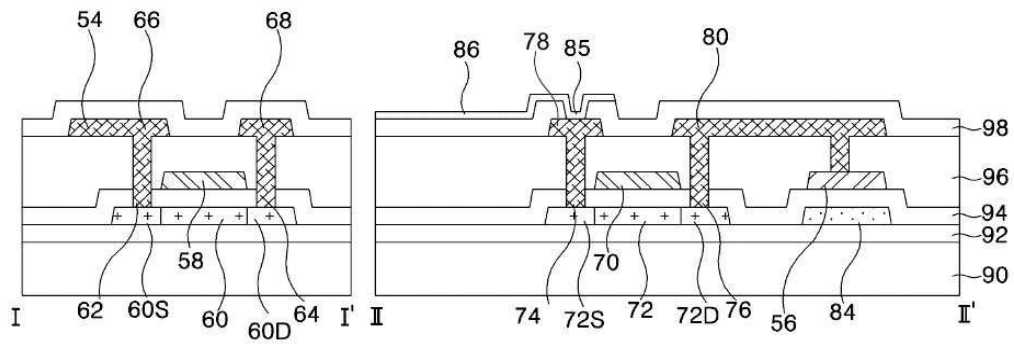
도면7e



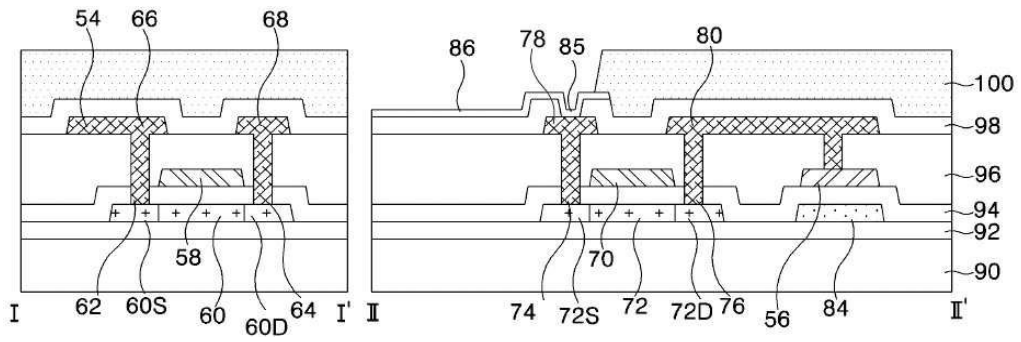
도면7f



도면7g



도면7h



专利名称(译)	电致发光显示面板的薄膜晶体管阵列及其制造方法		
公开(公告)号	KR100982497B1	公开(公告)日	2010-09-16
申请号	KR1020030100659	申请日	2003-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM BYEONGKOO 김병구 HA YONGMIN 하용민		
发明人	김병구 하용민		
IPC分类号	H05B33/22 H05B		
其他公开文献	KR1020050068844A		
外部链接	Espacenet		

摘要(译)

用途：EL（电致发光）显示面板中的TFT（薄膜晶体管）阵列及其制造方法用于通过使用透射率小于3%的有机绝缘膜在150nm至300nm下执行UV阻挡功能具有堤绝缘膜的UV波段，从而阻挡在堤绝缘膜上随后的UV表面处理过程中照射的UV线。

