



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월17일
(11) 등록번호 10-0813852
(24) 등록일자 2008년03월10일

(51) Int. Cl.

H05B 33/22 (2006.01)

(21) 출원번호 10-2007-0034401

(22) 출원일자 2007년04월06일

심사청구일자 2007년04월06일

(56) 선행기술조사문헌

KR1020050036627 A

KR1020050081540 A

KR1020050094581 A

KR1020070009005 A

(73) 특허권자

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

임장순

경기 용인시 기흥구 공세동 428-5

김무진

경기 용인시 기흥구 공세동 428-5

(뒷면에 계속)

(74) 대리인

리엔목특허법인

전체 청구항 수 : 총 13 항

심사관 : 김지강

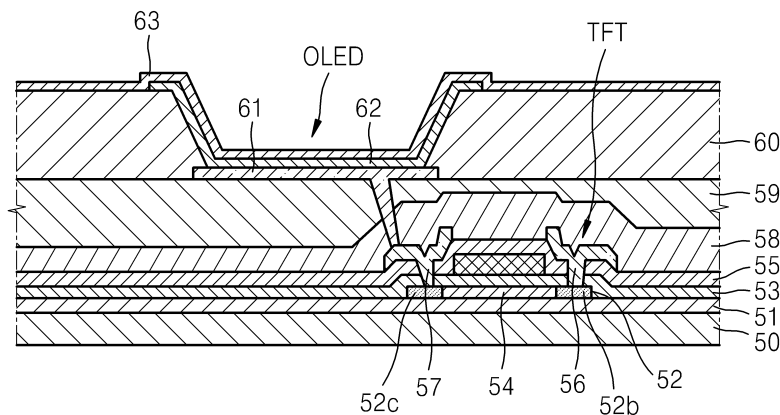
(54) 유기 전계 발광 표시장치 및 이를 제조하는 방법

(57) 요약

본 발명은 유기 전계 발광 표시장치 및 이를 제조하는 방법에 관한 것으로, 상세하게는 평탄화막 형성 공정에서 열처리 과정을 포함하는 유기 전계 발광 표시장치 및 이를 제조하는 방법에 관한 것이다.

본 발명은 기판상에 형성된 것으로, 반도체 활성층과, 상기 반도체 활성층에 절연된 게이트 전극과, 상기 반도체 활성층에 각각 접하는 소스 및 드레인 전극을 구비한 적어도 하나의 박막 트랜지스터; 상기 박막 트랜지스터를 덮고 상기 소스 및 드레인 전극을 노출시키는 제1 개구부가 형성되어 있는 패시베이션막; 상기 패시베이션막을 덮고 상기 소스 및 드레인 전극을 노출시키는 제2 개구부가 형성되어 있는 평탄화막; 및 상기 제1 개구부 및 상기 제2 개구부를 통하여 상기 박막 트랜지스터와 전기적으로 연결되는 유기 발광소자;를 포함하고, 상기 제1 개구부의 내면을 덮도록 상기 제1 개구부의 상부에 배치된 상기 제2 개구부의 가장자리가 연장된 것을 특징으로 하는 유기 전계 발광 표시장치를 제공한다.

대표도 - 도3



(72) 발명자

노지용

경기 용인시 기흥구 공세동 428-5

이대우

경기 용인시 기흥구 공세동 428-5

김경보

경기 용인시 기흥구 공세동 428-5

특허청구의 범위

청구항 1

기관상에 형성된 것으로, 반도체 활성층과, 상기 반도체 활성층에 절연된 게이트 전극과, 상기 반도체 활성층에 각각 접하는 소스 및 드레인 전극을 구비한 적어도 하나의 박막 트랜지스터;

상기 박막 트랜지스터를 덮고 상기 소스 및 드레인 전극을 노출시키는 제1 개구부가 형성되어 있는 패시베이션막;

상기 패시베이션막을 덮고 상기 소스 및 드레인 전극을 노출시키는 제2 개구부가 형성되어 있는 평탄화막; 및
상기 제1 개구부 및 상기 제2 개구부를 통하여 상기 박막 트랜지스터와 전기적으로 연결되는 유기 발광소자;를 포함하고,

상기 제 1 개구부의 내면을 덮도록 상기 제 1 개구부의 상부에 배치된 상기 제 2 개구부의 가장자리가 연장된 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 평탄화막은 상기 패시베이션막을 차폐하도록 형성되어 있는 유기 전계 발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 평탄화막은 유기물을 포함하는 유기 전계 발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 유기물은 아크릴(acryl), 폴리 이미드(polyimide), BCB(Benzocyclobutene)로 이루어진 군 중에서 선택된 어느 하나를 포함하는 유기 전계 발광 표시장치.

청구항 5

제 1 항에 있어서,

상기 패시베이션막은 무기물을 포함하는 유기 전계 발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 무기물은 SiO_2 및 SiNx 중 어느 하나를 포함하는 유기 전계 발광 표시장치.

청구항 7

박막 트랜지스터를 구비하는 단계;

상기 박막 트랜지스터 상에 패시베이션막 및 평탄화막을 형성하는 단계;

상기 패시베이션막 및 상기 평탄화막에 개구부를 형성하는 단계;

상기 평탄화막을 열처리하는 단계; 및

상기 개구부를 통하여 상기 박막 트랜지스터와 전기적으로 연결되는 유기 발광소자를 형성하는 단계를 포함하는 유기 전계 발광 표시장치의 제조 방법.

청구항 8

제 7 항에 있어서,

상기 평탄화막을 열처리하는 단계는,

상기 평탄화막에 형성되어 있는 언더컷(undercut)을 제거하는 단계를 포함하는 유기 전계 발광 표시장치의 제조 방법.

청구항 9

제 7 항에 있어서,

상기 평탄화막을 열처리하는 단계는,

상기 평탄화막을 열처리하여 상기 평탄화막이 흐르도록(flowing) 하는 단계를 포함하는 유기 전계 발광 표시장치의 제조 방법.

청구항 10

제 7 항에 있어서,

상기 평탄화막을 열처리하는 단계는,

상기 패시베이션막의 개구부가 외부에 노출되지 않도록, 상기 평탄화막이 상기 패시베이션막을 차폐하는 단계를 포함하는 유기 전계 발광 표시장치의 제조 방법.

청구항 11

제 7 항에 있어서,

상기 평탄화막을 열처리하는 단계는,

상기 평탄화막에 형성되어 있는 개구부의 가장자리 부분이 상기 패시베이션막에 형성되어 있는 개구부의 측벽을 덮도록 형성되는 단계를 포함하는 유기 전계 발광 표시장치의 제조 방법.

청구항 12

제 7 항에 있어서,

상기 평탄화막을 열처리하는 단계는,

상기 평탄화막에 150℃ ~ 300℃의 열을 가하는 단계를 포함하는 유기 전계 발광 표시장치의 제조 방법.

청구항 13

제 7 항에 있어서,

상기 패시베이션막 및 상기 평탄화막에 개구부를 형성하는 단계는,

상기 평탄화막을 패터닝하는 단계와,

상기 평탄화막의 패터닝에 의하여 노출된 상기 패시베이션막의 영역을 식각하는 단계를 포함하는 유기 전계 발광 표시장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<14> 본 발명은 유기 전계 발광 표시장치 및 이를 제조하는 방법에 관한 것으로, 상세하게는 평탄화막 형성 공정에서 열처리 과정을 포함하는 유기 전계 발광 표시장치 및 이를 제조하는 방법에 관한 것이다.

<15> 유기 전계 발광 소자는 형광성 유기 화합물을 전기적으로 여기(excitation)시켜서 발광시키는 자발광형 디스플레이

이로 낮은 전압에서 구동이 가능하고, 박형화가 용이하며, 광시야각, 빠른 응답 속도 등 액정 디스플레이에 있어서 문제점으로 지적되는 것을 해결할 수 있는 차세대 디스플레이로 주목받고 있다.

- <16> 유기 전계 발광 소자는 애노드 전극과 캐소드 전극 사이에 유기물로 이루어진 발광층을 구비하고 있다. 유기 전계 발광 소자는 이들 전극들에 양극 및 음극 전압이 각각 인가됨에 따라 애노드 전극으로부터 주입된 정공(hole)이 정공 수송층을 경유하여 발광층으로 이동되고, 전자는 캐소드 전극으로부터 전자 수송층을 경유하여 발광층으로 이동되어서, 발광층에서 전자와 정공이 재결합하여 여기자(exiton)을 생성하게 된다.
- <17> 이 여기자가 여기 상태에서 기저 상태로 변화됨에 따라, 발광층의 형광성 분자가 발광함으로써 화상을 형성하게 된다. 풀 컬러(full color)형 유기 전계 발광 소자의 경우에는 적(R), 녹(G), 청(B)의 삼색을 발광하는 화소(pixel)를 구비하도록 함으로써 풀 컬러를 구현한다.
- <18> 한편, 전계 발광 소자나, 액정 디스플레이 등 평판 표시 장치에 사용되는 박막 트랜지스터(thin film transistor, 이하 TFT)는 각 화소의 동작을 제어하는 스위칭 소자 및 화소를 구동시키는 구동 소자로 사용된다. 이러한 박막 트랜지스터는 기판상에 고농도의 불순물로 도핑된 드레인 영역과 소스 영역 및 드레인 영역과 소스 영역의 사이에 형성된 채널 영역을 가지는 반도체 활성층을 가지며, 이 반도체 활성층상에 형성된 게이트 절연막과, 활성층의 채널 영역의 상부에 형성된 게이트 전극으로 구성된다.
- <19> 한편, 유기 전계 발광 소자와 박막 트랜지스터를 사용하여 유기 전계 발광 표시장치를 제조하는 과정은 다음과 같다. 먼저, 박막 트랜지스터의 상부에 패시베이션막 및 평탄화막이 형성되고, 패시베이션막 및 평탄화막이 패터닝되어 개구부가 형성된다. 그리고, 평탄화막의 상부에 유기 전계 발광 소자(OLED)의 애노드 전극이 되는 제1 전극층, 제1 전극층을 덮는 화소정의막, 화소정의막의 소정의 개구에 형성되는 유기층 및 전체 화소를 덮도록 구비되는 제2 전극층이 형성되어 유기 전계 발광 소자(OLED)가 구성된다. 여기서, 박막 트랜지스터와 제1 전극층은 패시베이션막 및 평탄화막에 형성되어 있는 개구부를 통하여 전기적으로 연결된다.
- <20> 여기서, 종래의 유기 전계 발광 표시장치의 평탄화막이 형성되는 과정은 다음과 같다. 먼저, 박막 트랜지스터의 상부에 패시베이션막 및 평탄화막이 차례로 적층된다. 상세히, 유기 전계 발광 소자(OLED)에서 애노드(anode) 전극으로 사용하는 ITO(Indium Tin Oxide)의 모폴로지(morphology)가 좋지 않을 경우, 누설 전류(leakage current)가 증가하고, 암점(dark spot)이 형성되는 등과 같은 문제점이 발생할 수 있다. 따라서, 아크릴(acryl) 등으로 형성되는 평탄화막을 구비하여 ITO(Indium Tin Oxide)와 같은 애노드(anode) 전극의 모폴로지(morphology)를 향상시킨다. 이와 같은 평탄화막은 절연체의 역할을 수행하는 동시에, 하부의 패시베이션막의 개구부를 형성하기 위한 마스크 역할을 수행한다. 그런데, 이와 같이 평탄화막을 마스크로 사용하여 패시베이션막의 개구부를 형성할 경우, 평탄화막의 하부에 언더컷(undercut)이 형성되어서 애노드(anode) 전극의 증착시에 증착이 원활하게 수행되지 아니하고 공극이 형성되는 원인이 될 수 있다.
- <21> 이와 같은 언더컷(undercut)을 제거하기 위하여, 종래에는 패시베이션막의 식각(etching) 후에 O₂를 이용한 애싱(ashing) 공정을 수행하여 언더컷(undercut)이 발생한 평탄화막 부분을 제거하였다.
- <22> 그러나, 종래 평탄화막 제조 방법은 다음과 같은 문제점이 존재하였다.
- <23> 먼저, 종래와 같이 애싱(ashing) 공정을 통하여 언더컷(undercut)이 발생한 평탄화막을 제거할 경우, 소자 전체에 걸쳐서 평탄화막이 애싱(ashing) 되면서 평탄화막 표면의 모폴로지(morphology)가 나빠지는 문제점이 존재하였다.
- <24> 또한, 이와 같이 평탄화막 표면의 모폴로지(morphology)가 나빠짐에 따라, 애노드(anode) 전극으로 사용하는 ITO(Indium Tin Oxide)와 평탄화막 사이의 접착(adhesion) 특성이 나빠지는 문제점이 존재하였다.
- <25> 또한, 평탄화막의 과도한 애싱(ashing)으로 인하여, 개구부의 직경이 설계 값보다 크게 형성될 수 있는 문제점이 존재하였다.

발명이 이루고자 하는 기술적 과제

- <26> 본 발명은 평탄화막의 형성 과정에서 열처리를 통하여 평탄화막에 형성되는 언더컷(undercut)을 제거하고, 평탄화막의 모폴로지(morphology) 특성이 향상되는 유기 전계 발광 표시장치 및 이를 제조하는 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

- <27> 본 발명은 기판상에 형성된 것으로, 반도체 활성층과, 상기 반도체 활성층에 절연된 게이트 전극과, 상기 반도체 활성층에 각각 접하는 소스 및 드레인 전극을 구비한 적어도 하나의 박막 트랜지스터; 상기 박막 트랜지스터를 덮고 상기 소스 및 드레인 전극을 노출시키는 제1 개구부가 형성되어 있는 패시베이션막; 상기 패시베이션막을 덮고 상기 소스 및 드레인 전극을 노출시키는 제2 개구부가 형성되어 있는 평탄화막; 및 상기 제1 개구부 및 상기 제2 개구부를 통하여 상기 박막 트랜지스터와 전기적으로 연결되는 유기 발광소자;를 포함하고, 상기 제1 개구부의 내면을 덮도록 상기 제1 개구부의 상부에 배치된 상기 제2 개구부의 가장자리가 연장된 것을 특징으로 하는 유기 전계 발광 표시장치를 제공한다.
- <28> 이와 같은 구성에 의하여, 평탄화막에 형성되는 언더컷(undercut)을 제거하고, 평탄화막의 모폴로지(morphology) 특성이 향상되는 효과를 얻을 수 있다.
- <29> 본 발명에 있어서, 상기 평탄화막은 상기 패시베이션막을 차폐하도록 형성될 수 있다.
- <30> 본 발명에 있어서, 상기 평탄화막은 유기물을 포함할 수 있다.
- <31> 본 발명에 있어서, 상기 유기물은 아크릴(acryl), 폴리 이미드(polyimide), BCB(Benzocyclobutene)로 이루어진 군 중에서 선택된 어느 하나를 포함할 수 있다.
- <32> 본 발명에 있어서, 상기 패시베이션막은 무기물을 포함할 수 있다.
- <33> 본 발명에 있어서, 상기 무기물은 SiO₂ 및 SiNx 중 어느 하나를 포함할 수 있다.
- <34> 다른 측면에 관한 본 발명은, 박막 트랜지스터를 구비하는 단계; 상기 박막 트랜지스터 상에 패시베이션막 및 평탄화막을 형성하는 단계; 상기 패시베이션막 및 상기 평탄화막에 개구부를 형성하는 단계; 상기 평탄화막을 열처리하는 단계; 및 상기 개구부를 통하여 상기 박막 트랜지스터와 전기적으로 연결되는 유기 발광소자를 형성하는 단계를 포함하는 유기 전계 발광 표시장치의 제조 방법을 개시한다.
- <35> 본 발명에 있어서, 상기 평탄화막을 열처리하는 단계는, 상기 평탄화막에 형성되어 있는 언더컷(undercut)을 제거하는 단계를 포함할 수 있다.
- <36> 본 발명에 있어서, 상기 평탄화막을 열처리하는 단계는, 상기 평탄화막을 열처리하여 상기 평탄화막이 흐르도록(flowing) 하는 단계를 포함할 수 있다.
- <37> 본 발명에 있어서, 상기 평탄화막을 열처리하는 단계는, 상기 패시베이션막의 개구부가 외부에 노출되지 않도록, 상기 평탄화막이 상기 패시베이션막을 차폐하는 단계를 포함할 수 있다.
- <38> 본 발명에 있어서, 상기 평탄화막을 열처리하는 단계는, 상기 평탄화막에 형성되어 있는 개구부의 가장자리 부분이 상기 패시베이션막에 형성되어 있는 개구부의 측벽을 덮도록 형성되는 단계를 포함할 수 있다.
- <39> 본 발명에 있어서, 상기 평탄화막을 열처리하는 단계는, 상기 평탄화막에 150℃ ~ 300℃의 열을 가하는 단계를 포함할 수 있다.
- <40> 본 발명에 있어서, 상기 패시베이션막 및 상기 평탄화막에 개구부를 형성하는 단계는, 상기 평탄화막을 패터닝하는 단계와, 상기 평탄화막의 패터닝에 의하여 노출된 상기 패시베이션막의 영역을 식각하는 단계를 포함할 수 있다.
- <41> 이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예들에 대하여 보다 상세히 설명한다.
- <42> 도 1은 본 발명의 일 실시예에 관한 박막 트랜지스터를 도시한 단면도이다.
- <43> 도 1을 참조하여 볼 때, 본 발명의 일 실시예에 따른 박막 트랜지스터(Thin film transistor : TFT)는 기판(20) 상에 구비될 수 있다. 기판(20)은 글라스재의 기판 또는 플라스틱재의 기판이 사용될 수 있다.
- <44> 기판(20) 상에는 버퍼층(21)이 형성되고, 버퍼층(21) 상에는 반도체 소재로 형성된 활성층(22)이 구비되고, 이 활성층(22)을 덮도록 게이트 절연막(23)이 형성된다. 게이트 절연막(23)의 상부에는 게이트 전극(24)이 형성되고, 게이트 전극(24)을 덮도록 층간 절연막(25)이 형성되며, 층간 절연막(25)의 상부에 소스/드레인 전극(26)(27)이 형성된다. 소스/드레인 전극(26)(27)은 게이트 절연막(23) 및 층간 절연막(25)에 형성된 콘택홀에 의해 활성층(22)의 소스/드레인 영역(22b)(22c)에 각각 접촉된다.
- <45> 기판(20) 상에 구비되는 활성층(22)은 무기반도체 또는 유기반도체로부터 선택되어 형성될 수 있는 것으로, 소스/드레인 영역(22b)(22c)에 n형 또는 p형 불순물이 도핑되어 있고, 이들 소스 영역과 드레인 영역을 연결하는

채널 영역(22a)을 구비한다.

- <46> 활성층(22)을 형성하는 무기반도체는 CdS, GaS, ZnS, CdSe, CaSe, ZnSe, CdTe, SiC, 및 Si를 포함하는 것일 수 있다.
- <47> 그리고, 활성층(22)을 형성하는 유기반도체로는 고분자로서, 폴리티오펜 및 그 유도체, 폴리파라페닐렌비닐렌 및 그 유도체, 폴리파라페닐렌 및 그 유도체, 폴리플로렌 및 그 유도체, 폴리티오펜비닐렌 및 그 유도체, 폴리티오펜-헥테로고리방향족 공중합체 및 그 유도체를 포함할 수 있고, 저분자로서, 펜타센, 테트라센, 나프탈렌의 올리고아센 및 이들의 유도체, 알파-6-티오펜, 알파-5-티오펜의 올리고티오펜 및 이들의 유도체, 금속을 함유하거나 함유하지 않은 프탈로시아닌 및 이들의 유도체, 파이로멜리틱 디안하이드라이드 또는 파이로멜리틱 디이미드 및 이들의 유도체, 퍼릴렌테트라카르복시산 디안하이드라이드 또는 퍼릴렌테트라카르복실릭 디이미드 및 이들의 유도체를 포함할 수 있다.
- <48> 활성층(22)은 게이트 절연막(23)에 덮히고, 게이트 절연막(23)의 상부에 게이트 전극(24)이 형성된다. 게이트 전극(24)은 MoW, Al, Cr, Al/Cu 등의 도전성 금속막으로 형성될 수 있는 데, 반드시 이에 한정되지 않으며, 도전성 폴리머 등 다양한 도전성 물질이 게이트 전극(24)으로 사용될 수 있다. 게이트 전극(24)은 활성층(22)의 채널 영역에 대응되는 영역을 커버하도록 형성된다.
- <49> 도 2는 본 발명의 일 실시예에 관한 유기 전계 발광 표시장치의 평면도이다.
- <50> 도 2를 참조하면, 화소 영역(30)과, 화소 영역(30)의 가장자리에 회로 영역(40)으로 구성된다. 화소 영역(30)은 복수 개의 화소(pixel)들로 구비되며, 각 화소들은 소정의 화상을 구현해 내도록 발광하는 발광부를 포함한다.
- <51> 본 발명의 일 실시예에 의하면, 발광부는 유기 전계 발광 소자를 각각 구비한 복수 개의 부화소(sub-pixel)들로 이루어져 있다. 풀 칼라 유기 전계 발광 표시장치의 경우에는 적색(R), 녹색(G) 및 청색(B)의 부화소들이 라인상, 모자이크상, 격자상 등 다양한 패턴으로 배열되어 화소를 구성하며, 풀 칼라 평판표시장치가 아닌 모노 칼라 평판표시장치여도 무방하다.
- <52> 그리고, 회로 영역(40)은 화소 영역(30)으로 입력되는 화상 신호 등을 제어해 준다.
- <53> 이러한 유기 전계 발광 표시장치에 있어서, 화소 영역(30)과 회로 영역(40)에는 각각 적어도 하나 이상의 박막 트랜지스터가 설치될 수 있다.
- <54> 화소 영역(30)에 설치되는 박막 트랜지스터로는 게이트 라인의 신호에 따라 발광 소자에 데이터 신호를 전달하여 그 동작을 제어하는 스위칭용 박막 트랜지스터와, 데이터 신호에 따라 유기 전계 발광 소자에 소정의 전류가 흐르도록 구동시키는 구동용 박막 트랜지스터 등 화소부 박막 트랜지스터가 있다. 그리고, 회로 영역(40)에 설치되는 박막 트랜지스터로는 소정의 회로를 구현하도록 구비된 회로부 박막 트랜지스터가 있다.
- <55> 물론 이러한 박막 트랜지스터의 수와 배치는 디스플레이의 특성 및 구동 방법 등에 따라 다양한 수가 존재할 수 있으며, 그 배치 방법도 다양하게 존재할 수 있음은 물론이다.
- <56> 도 3은 도 2의 유기 전계 발광 표시장치 중 일 부화소를 도시한 단면도이다.
- <57> 도 3에 도시된 바와 같이, 글라스재 또는 플라스틱재의 기판(50)상에 버퍼층(51)이 형성되어 있고, 이 위에 박막 트랜지스터(박막 트랜지스터)와, 유기 전계 발광 소자(OLED)가 형성된다.
- <58> 기판(50)의 버퍼층(51) 상에 소정 패턴의 활성층(52)이 구비된다. 활성층(52)의 상부에는 게이트 절연막(53)이 구비되고, 게이트 절연막(53) 상부의 소정 영역에는 게이트 전극(54)이 형성된다. 게이트 전극(54)은 박막 트랜지스터 온/오프 신호를 인가하는 게이트 라인(미도시)과 연결되어 있다. 게이트 전극(54)의 상부로는 층간 절연막(55)이 형성되고, 컨택 홀을 통해 소스/드레인 전극(56)(57)이 각각 활성층(52)의 소스/드레인 영역(52b)(52c)에 접하도록 형성된다. 소스/드레인 전극(56)(57) 상부로는 SiO₂, SiNx 등으로 이루어진 패시베이션막(58)이 형성되고, 패시베이션막(58)의 상부에는 아크릴(acryl), 폴리 이미드(polyimide), BCB(Benzocyclobutene) 등의 유기물질로 평탄화막(59)이 형성되어 있다. 평탄화막(59)의 상부에 유기 전계 발광 소자(OLED)의 애노드 전극이 되는 제1 전극층(61)이 형성되고, 이를 덮도록 유기물로 화소정의막(Pixel Define Layer: 60)이 형성된다. 화소정의막(60)에 소정의 개구를 형성한 후, 이 개구로 한정된 영역 내에 유기층(62)을 형성한다. 유기층(62)은 발광층을 포함한 것이 된다. 본 발명은 반드시 이와 같은 구조로 한정되는 것은 아니며, 다양한 유기 전계 발광 표시장치의 구조가 그대로 적용될 수 있음은 물론이다.
- <59> 유기 전계 발광 소자(OLED)는 전류의 흐름에 따라 적, 녹, 청색의 빛을 발광하여 소정의 화상 정보를 표시하는

것으로, 박막 트랜지스터의 드레인 전극(56)에 연결되어 이로부터 플러스 전원을 공급받는 제1 전극층(61)과, 전체 화소를 덮도록 구비되어 마이너스 전원을 공급하는 제2 전극층(63), 및 이들 제1 전극층(61)과 제2 전극층(63)의 사이에 배치되어 발광하는 유기층(62)으로 구성된다.

- <60> 제1 전극층(61)과 제2 전극층(63)은 유기층(62)에 의해 서로 절연되어 있으며, 유기층(62)에 서로 다른 극성의 전압을 가해 유기층(62)에서 발광이 이뤄지도록 한다.
- <61> 유기층(62)은 저분자 또는 고분자 유기층이 사용될 수 있는 데, 저분자 유기층을 사용할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기층은 진공증착의 방법으로 형성된다.
- <62> 고분자 유기층의 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이 때, 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수 있다.
- <63> 이와 같은 유기층은 반드시 이에 한정되는 것은 아니고, 다양한 실시예들이 적용될 수 있음은 물론이다.
- <64> 제1 전극층(61)은 애노드 전극의 기능을 하고, 제2 전극층(63)은 캐소드 전극의 기능을 하는 데, 물론, 이들 제1 전극층(61)과 제2 전극층(63)의 극성은 반대로 되어도 무방하다.
- <65> 제1 전극층(61)은 투명 전극 또는 반사형 전극으로 구비될 수 있는 데, 투명전극으로 사용될 때에는 ITO, IZO, ZnO, 또는 In₂O₃로 구비될 수 있고, 반사형 전극으로 사용될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 ITO, IZO, ZnO, 또는 In₂O₃를 형성할 수 있다.
- <66> 한편, 제2 전극층(63)도 투명 전극 또는 반사형 전극으로 구비될 수 있는 데, 투명전극으로 사용될 때에는 제2 전극층(63)이 캐소드 전극으로 사용되므로, 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg, 및 이들의 화합물이 유기층(62)의 방향을 향하도록 증착한 후, 그 위에 ITO, IZO, ZnO, 또는 In₂O₃ 등의 투명 전극 형성용 물질로 보조 전극층이나 버스 전극 라인을 형성할 수 있다. 그리고, 반사형 전극으로 사용될 때에는 위 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg, 및 이들의 화합물을 전면 증착하여 형성한다.
- <67> 도 4는 본 발명의 일 실시예에 관한 유기 전계 발광 표시장치의 제조 방법을 나타내는 흐름도이고, 도 5a 내지 도 5f는 도 4의 유기 전계 발광 표시장치의 제조 방법을 수행하는 각 단계를 도시한 도면들이다.
- <68> 도 4 및 도 5를 참조하면, 본 발명의 일 실시예에 관한 유기 전계 발광 표시장치의 제조 방법은, 박막 트랜지스터를 형성하는 단계(S110 단계)와, 상기 박막 트랜지스터 상에 패시베이션막 및 평탄화막을 형성하는 단계(S120 단계)와, 상기 패시베이션막 및 상기 평탄화막에 개구부를 형성하는 단계(S130 단계)와, 상기 평탄화막을 열처리하는 단계(S140 단계)와, 상기 패터닝된 개구부를 통하여 상기 박막 트랜지스터와 전기적으로 연결되는 유기 발광소자를 형성하는 단계(S150 단계)를 포함한다.
- <69> 도 5a는 기판상에 박막 트랜지스터(Thin film transistor : TFT)를 형성하는 단계(S110 단계)를 나타내는 도면이다. 박막 트랜지스터의 형성 과정은 도 1에서 상술한 바와 같다.
- <70> 도 5b는 박막 트랜지스터 상에 패시베이션막 및 평탄화막을 형성하는 단계(S120 단계)를 나타내는 도면이다. 도 5b를 참조하면, 소스/드레인 전극(56)(57) 상부로는 SiO₂, SiNx 등의 무기물로 이루어진 패시베이션막(58)이 형성된다. 그리고, 패시베이션막(58)의 상부에는 아크릴(acryl), 폴리 이미드(polyimide), BCB(Benzocyclobutene) 등의 유기물질로 평탄화막(59)이 형성된다. 패시베이션막(58) 및 평탄화막(59)은 열화학 기상증착법(Chemical Vapor Deposition: CVD), PE(Plasma Enhanced) CVD, LP(Low Pressure) CVD, ECR(electron cyclotron resonance) CVD 등의 방법에 의하여 증착될 수 있다.
- <71> 도 5c 및 도 5d는 패시베이션막 및 평탄화막에 개구부를 형성하는 단계(S130 단계)를 나타내는 도면이다.
- <72> 먼저, 도 5c에 도시된 바와 같이, 평탄화막(59)이 패터닝되어 소정의 제1 개구부(59a)가 형성된다. 다음으로, 도 5d에 도시된 바와 같이, 평탄화막(59)을 마스크로 사용하여 제1 개구부(59a) 하측의 패시베이션막(58) 영역

이 식각(etching)되어 제2 개구부(58a)가 형성된다. 이때, 식각된 제2 개구부의 폭이 제1 개구부의 폭보다 넓게 형성되는, 즉 언더컷(undercut)(59b)이 발생한다. 이러한 언더컷(undercut)은 애노드(anode) 전극의 증착시에 증착이 원활하게 수행되지 아니하고 공극이 형성되는 원인이 될 수 있다. 따라서, 언더컷(undercut)(59b)을 제거하기 위하여 평탄화막(59)에 소정의 열처리 공정을 수행한다.

<73> 도 5e는 평탄화막을 열처리하는 단계(S140 단계)를 나타내는 도면이다. 도 5e를 참조하면, 유기물인 아크릴 등으로 형성되는 평탄화막(59)의 흐르는(flowing) 특성을 이용하여, 평탄화막(59)에 소정의 열을 가하여 언더컷(undercut)(59b)을 제거한다.

<74> 종래의 유기 전계 발광 표시장치의 제조 방법에서는 언더컷(undercut)을 제거하기 위하여, 패시베이션막의 식각(etching) 후에 O₂를 이용한 애싱(ashing) 공정을 수행하여 언더컷(undercut)이 발생한 평탄화막 부분을 제거하였다. 그러나, 이와 같이 애싱(ashing) 공정을 통하여 언더컷(undercut)이 발생한 평탄화막을 제거할 경우, 소자 전체에 걸쳐서 평탄화막이 애싱(ashing) 되면서 평탄화막 표면의 모폴로지(morphology)가 나빠지는 문제점이 존재하였다. 또한, 평탄화막 표면의 모폴로지(morphology)가 나빠짐에 따라, 애노드(anode) 전극으로 사용하는 ITO(Indium Tin Oxide)와 평탄화막 사이의 접착(adhesion) 특성이 나빠지는 문제점이 존재하였다. 또한, 평탄화막의 과도한 애싱(ashing)으로 인하여, 개구부의 직경이 설계 값보다 크게 형성될 수 있는 문제점이 존재하였다.

<75> 따라서, 본 발명에서는 이와 같은 문제점을 해결하기 위하여 패시베이션막(58)의 식각(etching) 후에 평탄화막(59)에 소정의 열을 가하여 언더컷(undercut)(59b)을 제거하는 것을 특징으로 한다.

<76> 즉, 본 발명에서는 패시베이션막(58)의 식각(etching) 후에 형성된 언더컷(undercut)(59b)을 제거하기 위하여 평탄화막(59)을 열처리한다. 열처리는 평탄화막(59)에 대략 150℃ ~ 300℃의 열을 가함으로써 수행될 수 있다. 이와 같은 열이 평탄화막(59)에 가하여질 경우, 유기물인 아크릴 등으로 형성되어 흐르는(flowing) 특성을 가지는 평탄화막(59)은 하방으로 흘러내리게 된다. 이와 같이 돌출되어 언더컷(undercut)(59b)을 형성하고 있는 평탄화막(59)이 하방으로 흘러내림으로써, 언더컷(undercut)(59b)이 제거될 수 있다. 또한, 하부의 패시베이션막(58) 쪽으로 흘러내린 평탄화막(59)은, 패시베이션막(58)의 개구부(58a)를 덮게 되고, 따라서 패시베이션막(58)의 개구부(58a)가 외부에 노출되지 않을 수도 있다.

<77> 도 5f는 패터닝된 개구부를 통하여 박막 트랜지스터와 전기적으로 연결되는 유기 발광소자를 형성하는 단계(S150 단계)를 나타내는 도면이다. 이와 같은 유기 발광소자의 형성 과정은 도 3에서 상술한 바와 같다.

<78> 이와 같은 구성에 의하여, 열처리를 통하여 평탄화막 형성 과정에서 평탄화막에 형성되는 언더컷(undercut)을 제거하는 효과를 얻을 수 있다. 또한, 이와 같이 언더컷(undercut)을 제거함으로써, 평탄화막의 모폴로지(morphology) 특성이 향상되는 효과를 얻을 수 있다. 또한, 이와 같이 평탄화막의 모폴로지(morphology) 특성이 향상됨에 따라, 애노드(anode) 전극으로 사용하는 ITO(Indium Tin Oxide)와 평탄화막 사이의 접착(adhesion) 특성이 향상되는 효과를 얻을 수 있다. 또한, 평탄화막의 모폴로지(morphology) 특성이 향상됨에 따라, 암점(dark spot) 발생을 방지하는 효과를 얻을 수 있다. 또한, 평탄화막 및 패시베이션막에 형성되는 개구부의 직경을 원하는 규격으로 유지할 수 있는 효과를 얻을 수 있다.

발명의 효과

<79> 본 발명에 의해서, 평탄화막에 형성되는 언더컷(undercut)을 제거하고, 평탄화막의 모폴로지(morphology) 특성이 향상되는 효과를 얻을 수 있다.

<80> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면의 간단한 설명

<1> 도 1은 본 발명의 일 실시예에 관한 박막 트랜지스터를 도시한 단면도이다.

<2> 도 2는 본 발명의 일 실시예에 관한 유기 전계 발광 표시장치의 평면도이다.

<3> 도 3은 도 2의 유기 전계 발광 표시장치 중 일 부화소를 도시한 단면도이다.

<4> 도 4는 본 발명의 일 실시예에 관한 유기 전계 발광 표시장치의 제조 방법을 나타내는 흐름도이다.

<5> 도 5a 내지 도 5f는 도 4의 유기 전계 발광 표시장치의 제조 방법을 수행하는 각 단계를 도시한 도면들이다.

<6> <도면의 주요부분에 대한 부호의 간단한 설명>

<7> 20,50: 기관 21,51: 버퍼층

<8> 22,52: 활성층 23,53: 게이트 절연막

<9> 24,54: 게이트 전극 25,55: 층간 절연막

<10> 26,56: 소스 전극 27,57: 드레인 전극

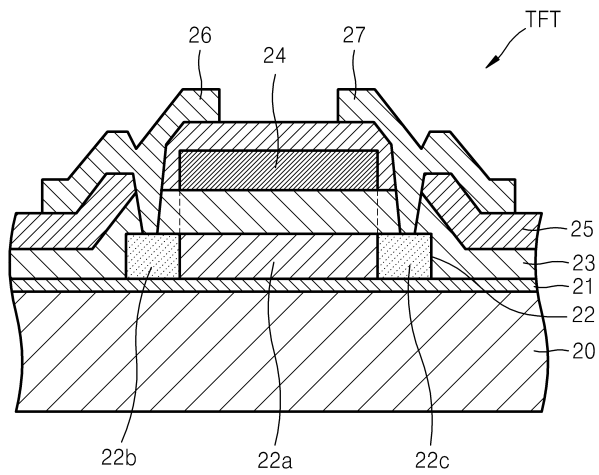
<11> 58: 패시베이션막 59: 평탄화막

<12> 60: 화소정의막 61: 제1 전극층

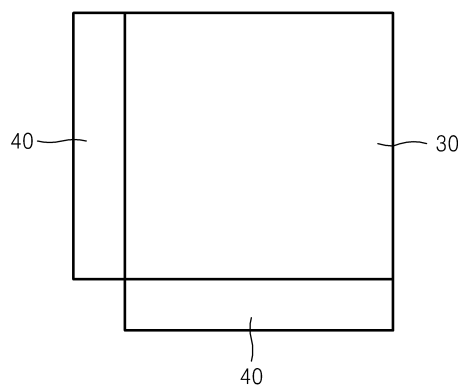
<13> 62: 유기층 63: 제2 전극층

도면

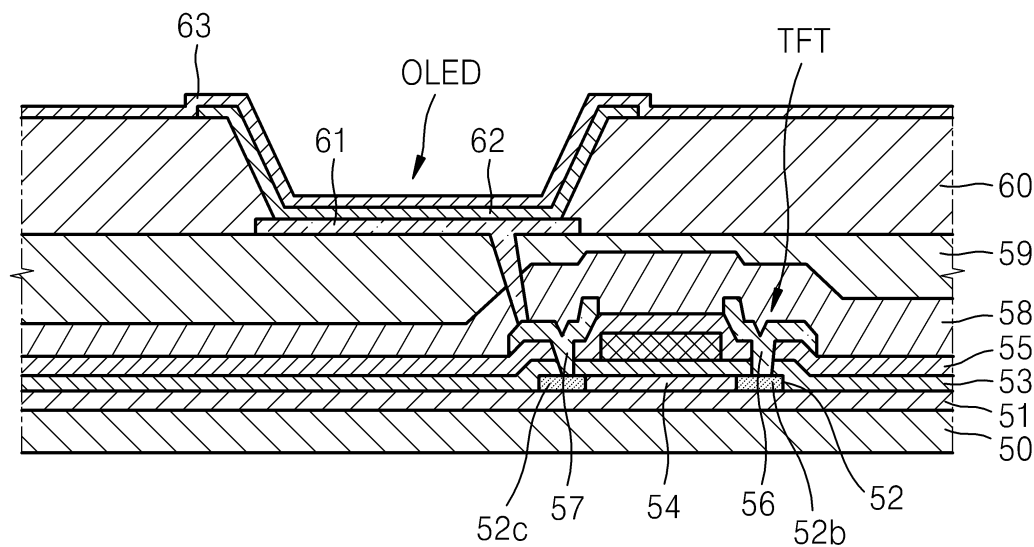
도면1



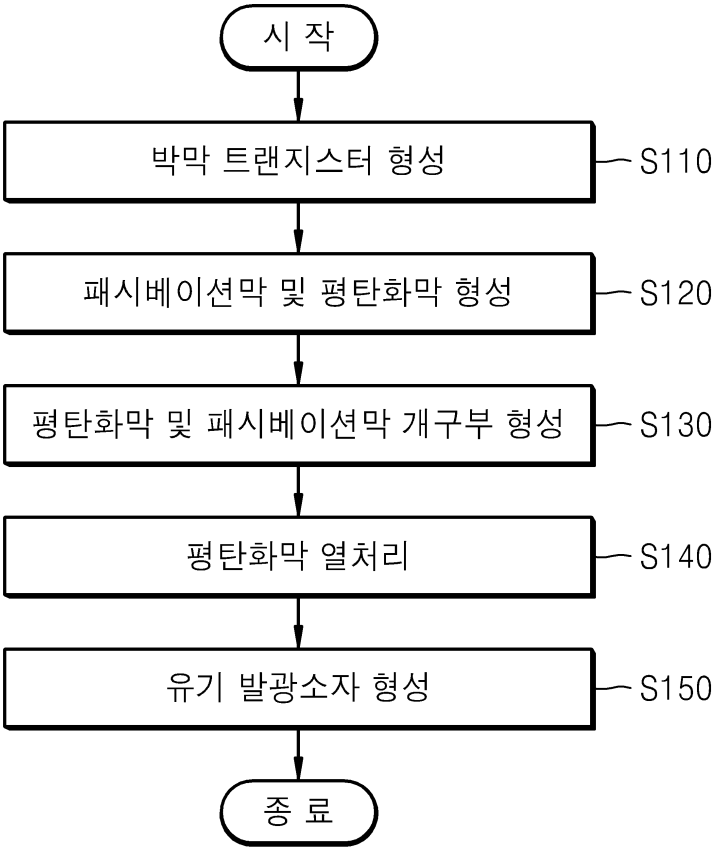
도면2



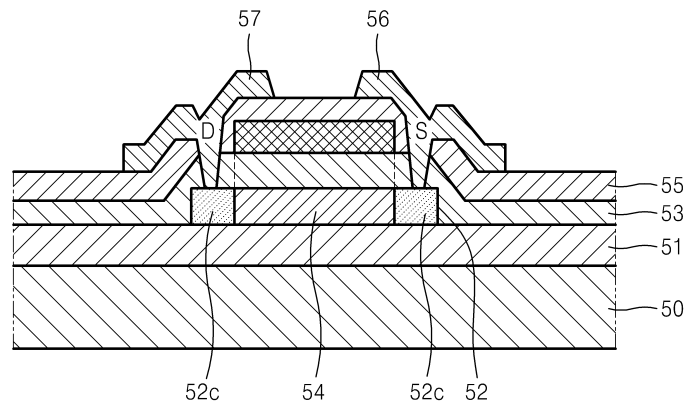
도면3



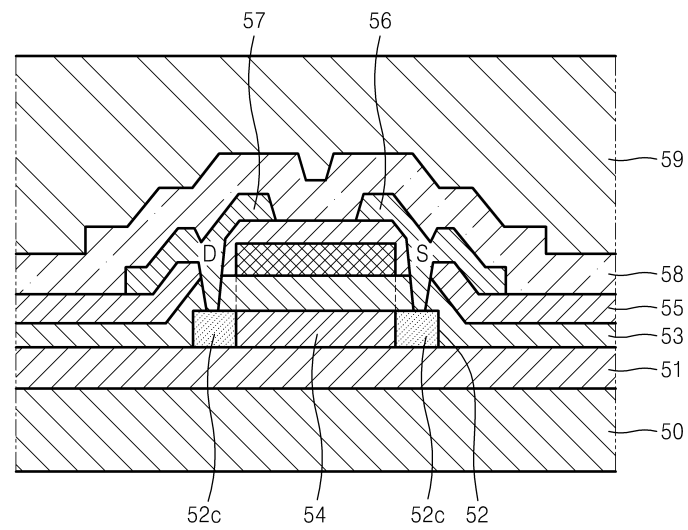
도면4



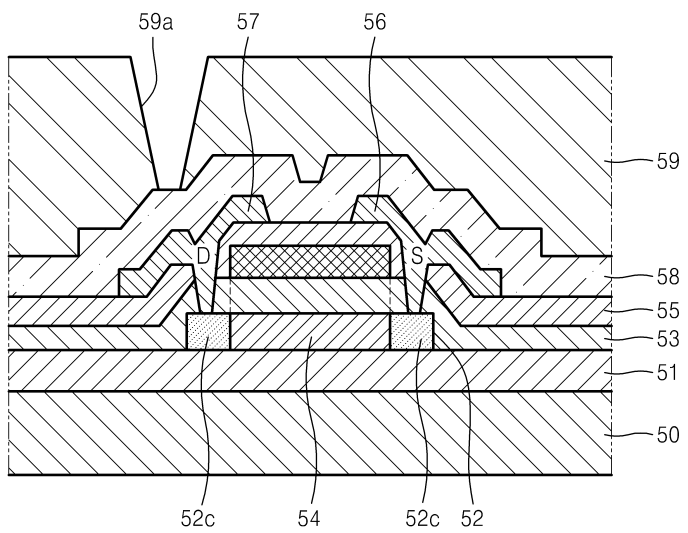
도면5a



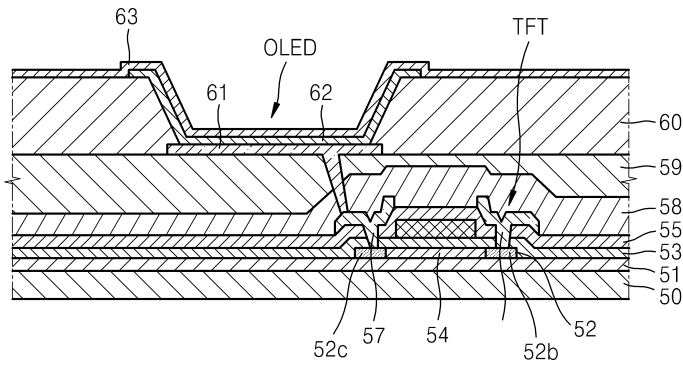
도면5b



도면5c



도면5f



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100813852B1	公开(公告)日	2008-03-17
申请号	KR1020070034401	申请日	2007-04-06
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	IM JANG SOON 임장순 KIM MOO JIN 김무진 NOH JI YONG 노지용 LEE DAE WOO 이대우 KIM KYOUNG BO 김경보		
发明人	임장순 김무진 노지용 이대우 김경보		
IPC分类号	H05B33/22		
CPC分类号	H01L27/3248 H01L27/3258 H01L51/56 H01L2924/12044		
外部链接	Espacenet		

摘要(译)

提供一种有机发光二极管装置及其制造方法，以通过去除形成在平坦化层上的底切来改善平坦化层的形态特性。有机发光二极管器件包括至少一个薄膜晶体管，钝化层（50），平坦化层（59）和有机发光器件。薄膜晶体管形成在基板（50）上，并具有半导体活性层（52），栅电极（54），源电极（56）和漏电极（57）。栅电极与半导体有源层绝缘。源电极和漏电极与半导体有源层接触。钝化层覆盖薄膜晶体管并具有暴露源电极和漏电极的第一孔。平坦化层覆盖钝化层并具有暴露源电极和漏电极的第二孔。有机发光器件通过第一孔和第二孔电连接到薄膜晶体管。形成在第一孔的上部上的第二孔的边缘扩大以覆盖第一孔的内部平面。

