



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/30 (2006.01) G09G 3/20 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월09일 10-0666647 2007년01월03일
(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0086442 2005년09월15일 2005년09월15일	(65) 공개번호 (43) 공개일자

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	최상무 경기 용인시 기흥읍 공세리 삼성SDI중앙연구소
(74) 대리인	박상수

심사관 : 최정윤

전체 청구항 수 : 총 14 항

(54) 유기전계발광표시장치 및 유기전계발광표시장치의 구동방법

(57) 요약

데이터 구동회로의 출력단과 데이터선을 양전극으로 하는 커패시터를 포함하는 유기전계발광표시장치가 개시된다. 이러한 유기전계발광표시장치는 상기 커패시터와 데이터선의 기생 커패시터의 커플링을 통하여 데이터 구동회로로부터 출력되는 출력전압의 레벨을 감소시킬 수 있다. 따라서 데이터 구동회로의 디지털/아날로그 전환부의 제조기준전압의 간격을 넓힐 수 있어, 전압강하에 관계없이 타이밍 제어부로부터 공급되는 데이터에 상응하는 아날로그 전압을 화소로 공급할 수 있다.

대표도

도 2

특허청구의 범위

청구항 1.

영상을 디스플레이하기 위한 화소부;

상기 화소부로 아날로그 출력전압을 공급하기 위한 데이터 구동회로;

소정의 기생용량을 가지며, 상기 아날로그 출력전압을 상기 화소부로 전달하기 위한 데이터선;

상기 데이터선으로 프리차지전압을 공급하기 위한 프리차지부; 및

상기 데이터 구동회로와 상기 데이터선 사이에 형성되어, 상기 아날로그 출력전압의 변동폭을 특정한 비율로 감소시키기 위한 커플링 커패시터를 포함하는 유기전계발광표시장치.

청구항 2.

제 1항에 있어서, 상기 커플링 커패시터는 상기 데이터 구동회로의 출력단을 일전극으로 가지고, 상기 일전극과 유전막을 사이에 두고 형성되는 상기 데이터선을 타전극으로 가지는 것을 특징으로 하는 유기전계발광표시장치.

청구항 3.

제 2항에 있어서, 상기 커플링 커패시터로부터 화소에 공급되는 데이터전압은 상기 프리차지전압과 상기 특정한 비율로 감소된 상기 아날로그 출력전압의 차에 상응하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4.

제3항에 있어서, 상기 특정한 비율은 상기 커플링 커패시터의 충전용량과 상기 데이터선의 기생용량에 대한 상기 커플링 커패시터의 충전용량의 비율인 것을 특징으로 하는 유기전계발광표시장치.

청구항 5.

제4항에 있어서, 상기 데이터 구동회로는 상기 아날로그 출력전압이 감소되는 비율의 역비율만큼 증가된 게조레벨의 전압차를 갖는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6.

제5항에 있어서, 상기 데이터전압은 하기의[수학식]과 같은 것을 특징으로 하는 유기전계발광표시장치.

[수학식]

$$V_D = V_{pc} - \Delta V \cdot C_{pc} / (C_{pc} + C_{data})$$

(VD는 데이터전압, Vpc는프리차지전압, ΔV는 아날로그 출력전압의 변동폭, Cpc는 커플링 커패시터의 커패시턴스 및 Cdata는 데이터선의 기생 커패시턴스를 각각 나타낸다.)

청구항 7.

제6항에 있어서, 상기 프리차지부는 상기 커플링 커패시터의 타전극으로 상기 프리차지전압을 공급하거나 차단하는 프리차지 트랜지스터를 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 8.

제7항에 있어서, 상기 프리차지 트랜지스터는 P타입 MOSFET인 것을 특징으로 하는 유기전계발광표시장치.

청구항 9.

제8항에 있어서, 상기 데이터 구동회로, 프리차지부 및 커플링 커패시터는 상기 화소부와 동일한 기판 상에 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 10.

데이터 구동회로로부터 화소부로 데이터전압을 전달하는 데이터선으로 프리차지전압을 공급하는 프리차지부를 포함하는 유기전계발광표시장치의 구동방법에 있어서,

상기 프리차지부로부터 상기 데이터선으로 프리차지전압을 공급하는 단계;

상기 데이터 구동회로와 상기 데이터선 사이에 형성된 커플링 커패시터로 아날로그 출력전압을 공급하는 단계; 및

상기 아날로그 출력전압의 변동폭을 특정한 비율로 감소시킨 데이터전압을 상기 화소부로 공급하는 단계를 포함하는 유기전계발광표시장치의 구동방법.

청구항 11.

제10항에 있어서, 상기 프리차지전압이 공급되는 단계는,

상기 데이터 구동회로로부터 상기 커플링 커패시터의 일전극으로 기준전압이 공급되는 단계; 및

상기 프리차지부의 프리차지 트랜지스터가 턴온되어 상기 커플링 커패시터의 타전극으로 상기 프리차지전압을 공급하는 단계를 포함하는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 12.

제11항에 있어서, 상기 데이터전압이 상기 화소부로 공급되는 단계는,

상기 커플링 커패시터로부터 상기 프리차지전압과 특정한 비율로 감소된 상기 아날로그 출력전압의 차에 상응하는 데이터전압이 상기 데이터선으로 공급되는 단계; 및

상기 데이터선으로부터 상기 화소부로 상기 데이터전압이 공급되는 단계를 포함하는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 13.

제12항에 있어서, 상기 아날로그 출력전압이 감소되는 특정한 비율은 상기 커플링 커패시터의 저장용량과 상기 데이터선의 기생용량의 합에 대한 상기 커플링 커패시터의 저장용량의 비율인 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 14.

제13항에 있어서, 상기 데이터 구동회로는 상기 아날로그 출력전압이 감소되는 특정한 비율의 역비율만큼 증가된 게조레벨의 전압 차를 갖는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광표시장치에 관한 것으로서, 더욱 상세하게는 데이터선의 기생커패시터와 전하 공유에 의해 데이터 구동회로의 출력전압을 일정비율로 감소시키는 커패시터를 포함하는 유기전계발광표시장치에 관한 것이다.

근래, 음극선관(CRT)를 대체할 수 있는 평판표시장치가 활발하게 연구되고 있으며, 특히 유기전계발광표시장치는 휘도 특성 및 시야각 특성이 우수하여 차세대 평판표시장치로 주목받고 있다.

유기전계발광표시장치는 액정표시장치와 달리 별도의 광원부를 요구하지 않고 특정한 빛을 발광하는 발광 다이오드를 사용한다. 이러한 발광 다이오드는 애노드 전극으로 흘러 들어가는 구동전류의 양에 상응하는 빛을 발광한다.

도 1은 종래의 유기전계발광표시장치의 구성도이다.

유기전계발광표시장치는 화소부(10), 주사 구동부(20), 발광제어 구동부(30) 및 데이터 구동부(40)로 구성된다.

화소부(10)는 다수의 주사선(S1~Sn)과 다수의 데이터선(DR1~DBm) 및 다수의 발광제어선(E1~En)이 교차하는 영역에 위치한 다수의 화소들(P11~Pnm)로 구성되어 있으며, 인가되는 데이터전압에 따라 소정의 영상을 디스플레이한다.

하나의 단위화소(Pnm)는 레드, 그린 및 블루 부화소로 구성된다.

화소부(10)의 레드, 그린 및 블루 부화소는 동일한 화소회로의 구성을 갖고 있으며, 각각의 유기EL소자에 인가되는 전류에 상응하는 레드, 그린 및 블루의 빛을 발광한다. 따라서 화소(Pnm)는 화소(Pnm)를 형성하는 레드, 그린 및 블루 부화소가 발광하는 빛을 조합하여 특정한 색을 표시한다.

주사 구동부(20)는 타이밍 제어부(미도시)로부터의 스캔제어신호, 즉 스타트 펄스와 클럭신호에 응답하여 순차적으로 주사선(S1~Sn)에 주사신호를 공급한다.

발광제어 구동부(30)는 시프트 레지스터 등으로 이루어져 있으며 타이밍 제어부(미도시)로부터 스타트 펄스와 클럭신호에 응답하여 순차적으로 발광제어선(E1~En)에 발광제어신호를 공급한다.

데이터 구동부(40)는 타이밍 제어부(미도시)로부터 공급되는 데이터제어신호에 응답하여 R, G, B 데이터에 상응하는 데이터전압을 데이터선(D1~Dm)에 공급한다.

이러한 데이터 구동부(40)는 각각의 데이터선에 데이터전압을 공급하는 다수의 데이터 구동회로들로 구성된다. 각각의 데이터 구동회로는 시프트 레지스터, 샘플링/홀딩 래치부 및 디지털/아날로그 전환부로 구성된다.

시프트 레지스터는 타이밍 제어부(미도시)로부터 스타트 펄스 및 클럭신호를 공급받아, 하나의 화소의 데이터 비트 수에 상응하는 샘플링 래치들을 제어하는 출력신호를 생성하는 플립플롭으로 구성된다.

샘플링/홀딩 래치부는 타이밍 제어부(미도시)로부터 디지털 영상신호를 공급받고, 상기 시프트 레지스터의 플립플롭으로부터 출력신호를 공급받아, 상기 디지털 영상신호를 1 비트씩 샘플링하는 샘플링 래치들로 구성된다. 하나의 아날로그 데이터신호로 전환되는 데이터가 6비트, 즉, 64계조를 표현하는 경우, 6개의 샘플링 래치들이 형성된다. 이러한 샘플링/홀딩 래치부는 각각의 샘플링 래치로부터 샘플링된 1 비트 데이터를 입력받아, 저장하였다가 D/A전환부로 동시에 출력하기 위한 다수의 홀딩 래치들을 포함한다. 따라서, 데이터 구동회로에는 샘플링 래치가 6개인 경우 6개의 홀딩 래치들이 형성된다.

데이터 구동회로는 홀딩 래치들의 6개의 1비트 데이터들을 64계조 전압 중 특정한 아날로그 전압으로 변환하기 위한 D/A 전환부를 포함한다. 이러한 D/A 전환부는 상위비트의 데이터를 아날로그 값으로 전환하고, 상기 전환된 아날로그 전압을 하위비트의 데이터로 세분하여 특정한 데이터전압을 생성한다.

이러한 D/A전환부는 64계조를 표현하는 경우 상위3비트 데이터에 의해 8단계의 계조기준전압 중 하나의 전압 단계가 선택되고, 직렬로 연결된 8개의 저항들에 의해 선택된 전압 단계가 8등분된다. 다음으로, 하위3비트 데이터에 의해 8등분된 전압들 중 특정한 전압이 결정되어 데이터선으로 출력된다.

이러한 데이터 구동회로의 경우, 상위비트 데이터에 따라 선택되는 계조기준전압이 64계조의 레벨을 나타내는 전압 값을 가지므로 계조기준전압들 사이의 폭이 매우 좁아진다. 또한 상위비트 데이터에 의해 선택된 계조기준전압 단계가 직렬연결된 8개의 저항에 의해 세분되므로, 각각의 저항에 걸리는 전압 값은 더욱 작아진다. 따라서, 데이터 구동회로는 계조 레벨에 따른 전압의 폭이 좁아 선저항에 따른 전압강하 등으로 정확한 데이터전압을 공급하지 못하므로, 정확한 휘도의 영상을 표시하지 못하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명의 목적은 데이터 구동회로와 데이터선 사이에 커패시터를 이용하여 데이터 구동회로의 출력전압을 일정한 비율로 감소시킴으로써, 데이터 구동회로의 계조기준전압의 레벨 폭을 증가시킬 수 있는 유기전계발광표시장치를 제공하는 데 있다.

발명의 구성

상기 목적을 달성하기 위한 본 발명은, 영상을 디스플레이하기 위한 화소부; 상기 화소부로 아날로그 출력전압을 공급하기 위한 데이터 구동회로; 소정의 기생용량을 가지며, 상기 아날로그 출력전압을 상기 화소부로 전달하기 위한 데이터선; 상기 데이터선으로 프리차지전압을 공급하기 위한 프리차지부; 및 상기 데이터 구동회로와 상기 데이터선 사이에 형성되어, 상기 아날로그 출력전압의 변동폭을 소정의 비율로 감소시킨 데이터전압을 상기 데이터선으로 공급하기 위한 커패시터를 포함하는 유기전계발광표시장치를 제공한다.

또한 상기 목적을 달성하기 위한 본 발명은, 데이터 구동회로부터 화소부로 데이터전압을 전달하는 데이터선으로 프리차지전압을 공급하는 프리차지부를 포함하는 유기전계발광표시장치의 구동방법에 있어서, 상기 프리차지부로부터 상기 데이터선으로 프리차지전압을 공급하는 단계; 상기 데이터 구동회로와 상기 데이터선 사이에 형성된 커패시터로 출력전압을 공급하는 단계; 및 특정한 비율로 감소된 상기 출력전압에 상응하는 데이터전압을 상기 화소부로 공급하는 단계를 포함하는 유기전계발광표시장치의 구동방법을 제공한다.

이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.

실시예

도 2는 본 발명의 실시예에 따른 유기전계발광표시장치의 구성도이다.

도 2를 참조하면, 본 발명의 실시예에 따른 유기전계발광표시장치는 화소부(100), 주사 구동부(200), 발광제어 구동부(300), 데이터 구동부(400), 프리차지부(600) 및 타이밍 제어부(500)로 구성된다.

화소부(100)는 다수의 주사선들(S1~Sn), 다수의 발광제어선들(E1~En) 및 다수의 데이터선들(D1~Dm)로 정의되는 영역에 형성된 다수의 화소들(P11~Pnm)로 구성된다. 각각의 화소(Pnm)는 레드, 그린 및 블루 부화소들로 구성되며, 데이터 구동부(300)로부터 각각의 데이터신호를 인가하는 각각의 데이터선(Dm)과 연결된다.

화소(Pnm)의 레드, 그린 및 블루 부화소는 동일한 화소회로의 구성을 갖고 있다. 레드, 그린 및 블루 부화소들은 유기EL소자(OLED)에 인가되는 전류에 상응하는 레드, 그린 및 블루의 빛을 발광한다. 따라서 화소(Pnm)는 화소(Pnm)를 형성하는 레드, 그린 및 블루 부화소들이 발광하는 빛을 조합하여 특정한 색을 표시한다.

주사 구동부(200)는 타이밍 제어부(500)로부터 공급되는 주사제어신호(Sg), 즉, 스타트펄스 및 클럭신호들에 동기되어 다수의 주사선들(S1~Sn)로 주사신호를 순차적으로 공급한다.

발광제어 구동부(400)는 타이밍 제어부(500)로부터 공급되는 제어신호 즉, 스타트 펄스 및 클럭신호들에 동기되어 발광제어신호를 출력하는 시프트 레지스터로 구성될 수 있다. 또한 발광제어 구동부(400)는 별도로 구비되지 아니하고, 상기 주사 구동부(200)로부터 출력되는 시프트 레지스터의 출력신호 또는 주사신호들을 논리연산하여 발광제어신호를 발생시킬 수 있다.

데이터 구동부(400)는 타이밍 제어부(500)로부터 R,G,B 데이터를 공급받고, 제어신호(Dg) 즉, 클럭신호 및 스타트 펄스 등을 공급받는다. 이러한 데이터 구동부(400)는 각각의 출력단으로 아날로그 출력전압을 공급하는 다수의 데이터 구동회로들(410)로 구성되며 각각의 데이터 구동회로(410)는 타이밍 제어부(500)로부터 R,G,B 데이터 및 제어신호(Dg)를 공급받는다.

프리차지부(600)는 각각의 데이터선(Dm)과 연결되어 프리차지 전압(Vpc)을 공급하는 다수의 트랜지스터들(Mpc1~Mpcm)로 구성된다.

이러한 트랜지스터들(Mpc1~Mpcm)은 제어부(미도시)로부터 프리차지 제어신호(pc)를 공급받아 동시에 턴온되어 상기 다수의 데이터선들(D1~Dm)로 프리차지 전압(Vpc)을 공급한다. 프리차지부(600)를 형성하는 트랜지스터들(Mpc1~Mpcm)은 P타입 MOSFET으로 구성되며, 화소부(100)의 트랜지스터들과 동일한 공정을 통하여 형성될 수 있다. 따라서 이러한 프리차지부(600)는 화소부(600), 주사 구동부 및 발광제어 구동부와 동일한 기판 상에 형성되며, SOP(System On Panel)를 구현한다.

화소부(100) 및 프리차지부(600)이 형성된 기판 상에는 데이터 구동회로(410)의 출력단(DLm)과 데이터선(Dm) 사이에 커패시터 커패시터(Cpc)가 형성된다.

상기 커패시터 커패시터(Cpc)는 일전극이 데이터 구동회로(410)의 출력단(DLm)을 형성하는 금속배선으로 형성되고, 타전극이 데이터선(Dm)을 형성하는 금속배선으로 형성된다. 이러한 커패시터 커패시터(Cpc)는 상기 일전극과 타전극 사이에 유전막 역할을 하는 절연막을 포함한다. 상기의 절연막은 기판에서 게이트 절연막 또는 완충막으로 사용되는 SiO₂, SiNx 등으로 형성될 수 있다. 커패시터 커패시터(Cpc)의 타전극은 상기 프리차지부(600)의 프리차지 트랜지스터(Mpcm)의 드레인 전극과 연결되어 상기 프리차지 전압(Vpc)을 공급받는다.

타이밍 제어부(500)는 데이터 구동부(400)로 제어신호(Dg) 및 R,G,B 데이터를 공급하고, 주사 구동부(200) 및 발광제어 구동부(300)로 제어신호들을 공급한다. 또한 상기 프리차지부(600)로 프리차지 제어신호(pc) 및 프리차지 전압(Vpc)을 공급하는 제어부(미도시)가 타이밍 제어부(500)에 포함될 수 있다.

도 3은 본 발명의 실시예에 따른 데이터 구동회로 및 화소의 구성도이다.

도 3을 참조하면, 본 발명의 실시예에 따른 데이터 구동회로(410)는 플립플롭(411), 샘플링 래치부(413), 홀딩 래치부(415) 및 디지털/아날로그 변환부(417)로 구성된다.

플립플롭(411)은 타이밍 제어부(500)로부터 제어신호(Dg), 즉 스타트 펄스 및 클럭신호를 공급받아 1 클럭주기 만큼 시프트된 출력신호를 샘플링 래치부(413)로 전달한다. 이러한 플립플롭(411)의 출력신호는 이웃한 데이터 구동회로의 플립플롭의 입력신호가 되며, 상기과 같이 연속하는 플립플롭들이 시프트 레지스터를 형성한다. 시프트 레지스터는 1 수평동기 기간 동안 다수의 샘플링 래치부들(413)로 순차적으로 출력신호를 공급한다.

샘플링 래치부(413)는 상기 플립플롭(411)으로부터 출력신호를 공급받고, 상기 타이밍 제어부(500)로부터 디지털영상신호(data)를 공급받는 다수의 샘플링 래치들로 형성된다. 이러한 샘플링 래치부(413)는 아날로그 데이터신호가 64계조를 표현하는 경우 6개의 샘플링 래치들을 포함한다. 각각의 샘플링 래치는 6비트의 디지털 영상신호 중 특정의 자리수의 디지털 영상신호를 공급받고, 상기 플립플롭(411)의 출력신호에 의하여 공급받은 디지털 영상신호를 샘플링한다. 데이터 구동회로(410)가 디멀티플렉서에 의하여 1 수평동기기간 동안 k개의 데이터신호를 출력하는 경우, 샘플링 래치부(413)에는 6×k개의 샘플링 래치들이 형성된다. m개의 데이터 구동회로들(410)의 샘플링 래치부들(413)은 상기 플립플롭들(411)로부터 순차적으로 공급되는 출력신호들에 따라 타이밍 제어부(500)로부터 공급되는 디지털 영상신호를 순차적으로 샘플링한다.

홀딩 래치부(415)는 각각의 샘플링 래치로부터 샘플링된 디지털 영상신호를 공급받아 저장하는 다수의 홀딩 래치들로 형성된다. 따라서 데이터 구동회로(410)에 6개의 샘플링 래치들이 형성되는 경우 홀딩 래치부(415)에는 6개의 홀딩 래치들

이 형성된다. 홀딩 래치는 샘플링 래치로부터 샘플링된 디지털 영상신호를 공급받아 저장하였다가 타이밍 제어부(500)로부터 공급되는 출력신호(EN)에 의해 디지털/아날로그 전환부(417)로 저장된 디지털 영상신호를 출력한다. 이러한 타이밍 제어부(500)의 출력신호(EN)는 m번째의 데이터 구동회로(410)의 플립플롭(411)이 출력신호를 출력하여, m번째의 샘플링 래치부(413)가 샘플링된 디지털 영상신호를 m번째의 홀딩 래치부(415)로 전달한 후 공급된다. 이러한 타이밍 제어부(500)의 출력신호는 m개의 데이터 구동회로들(410)의 홀딩 래치부들(415)에 동시에 공급되어 m개의 홀딩 래치부들(415)은 동시에 각각의 디지털/아날로그 전환부(417)로 저장된 디지털 영상신호를 출력한다.

디지털/아날로그 전환부(417)는 상기 홀딩 래치부(415)의 홀딩 래치들로부터 동시에 디지털 영상신호를 공급받아 특정한 아날로그 계조전압으로 전환한다. 이러한 디지털/아날로그 전환부(417)는 상위비트 전환부 및 하위비트 전환부로 구성된다.

이때, 상위비트 및 하위비트는 각각 3비트의 디지털 영상신호인 것으로 가정한다.

상위3비트 전환부는 논리게이트부 및 스위칭부로 구성된다. 논리게이트부는 상기 홀딩 래치부(415)의 상위비트 데이터를 저장하는 홀딩 래치들로부터 디지털 영상신호를 공급받아 이에 상응하는 출력신호를 스위칭부로 공급한다. 스위칭부는 상기 논리게이트로부터 출력신호를 공급받아 상위비트 데이터가 나타내는 계조기준전압의 구간을 선택하는 다수의 스위칭 소자들(418)로 구성된다. 계조전압의 출력범위가 $-4V \sim 4V$ 인 경우, 계조기준전압은 상위3비트 디지털 영상신호에 의해 8단계로 나뉘어 각각의 스위칭 소자와 연결된다. 따라서 상위3비트 디지털 영상신호에 의해 선택된 계조기준전압 구간이 하위3비트 전환부로 공급된다.

하위3비트 전환부는 논리게이트부 및 스위칭부로 구성된다. 논리게이트부는 상기 홀딩 래치부(415)의 하위3비트 디지털 영상신호를 저장하는 홀딩 래치들로부터 하위3비트 디지털 영상신호를 공급받아 이에 상응하는 출력신호를 스위칭부로 공급한다. 스위칭부는 상기 논리게이트로부터 출력신호를 공급받아 하위3비트 디지털 영상신호가 나타내는 계조기준전압을 선택하는 다수의 스위칭 소자들(418)로 구성된다. 이러한 스위칭소자는 상위3비트 전환부에서 공급된 계조기준전압 구간을 8등분하는 8개의 직렬 저항들 사이에 각각 연결된다. 따라서 하위3비트 전환부는 상위3비트 전환부에서 선택된 계조기준전압 구간의 8등분 중 특정한 계조전압을 선택하여 데이터 출력단(DLm)으로 출력한다.

이러한 데이터 출력단(DLm)과 데이터선(Dm) 사이에 커플링 커패시터(Cpcm)가 형성된다. 커플링 커패시터(Cpcm)는 데이터 출력단(DLm)을 형성하는 금속배선을 일전극으로, 화소부(100) 상의 데이터선(Dm)을 형성하는 금속배선을 타전극으로 갖는다.

각각의 데이터선(Dm)은 화소부(100)를 가로질러 형성되므로 커패시턴스를 가진다. 상기 데이터선들(D1~Dm)에 기인한 커패시턴스는 계조전압이 데이터 구동부(400)로부터 인가되는 경우, 로딩 효과>Loading Effect)를 발생시킨다. 즉, 원하지 않는 임피던스 성분의 발생으로 인해 신호의 전달이 지연되는 현상이 발생한다. 이러한 커패시턴스는 각각의 데이터선(Dm)과 화소들(P1m~Pnm) 상으로 상기 데이터선(Dm)과 층을 달리하여 형성되는 절연막 또는 금속배선들에 의해 등가적으로 형성되는 기생 커패시터(Cdata)이다.

이러한 기생 커패시터(Cdata)의 커패시턴스는 제조공정 상에서 측정이 가능하며, 화소부(100) 상으로 화소들(P11~Pnm) 및 금속배선들이 규칙적으로 형성되므로 각각의 데이터선(Dm)은 동일한 크기의 커패시턴스를 갖는 기생 커패시터(Cdata)를 갖는다.

상기 커플링 커패시터(Cpcm)는 기생 커패시터(Cdata)와 직렬로 연결된다. 이러한 커플링 커패시터(Cpcm)는 상기 데이터선(Dm)의 기생 커패시터(Cdata)와 전하 공유를 통하여 디지털/아날로그 전환부(417)로부터 출력되는 계조전압을 특정한 비율로 감소시킨다.

상기 화소부(100) 상으로 커플링 커패시터(Cpcm)의 타전극과 드레인전극이 연결되고, 프리차지 전압(Vpc) 공급배선과 소스전극이 연결되는 프리차지 트랜지스터(Mpcm)가 형성된다. 이러한 프리차지 트랜지스터(Mpcm)는 타이밍 제어부(500)로부터 게이트전극으로 프리차지 제어신호(pc)를 공급받아 상기 커플링 커패시터(Cpcm)의 타전극으로 프리차지 전압(Vpc)을 공급한다.

도 3을 참조하여 상기 데이터선(Dm)으로부터 데이터신호를 공급받은 화소(Pnm)를 살펴본다. 도 3에서는 설명의 편의를 위하여, 제 n번째 주사신호, 및 제 n번째 발광제어신호를 공급받고, 제 m번째 데이터선(Dm)으로부터 데이터신호(VD)를 공급받는 화소(Pnm)만을 도시한다.

본 발명의 실시예에 따른 유기전계발광표시장치의 화소(Pnm)는 3개의 트랜지스터들(M1,M2,M3), 저장 커패시터(Cst) 및 유기EL소자(OLED)로 구성된다.

구동 트랜지스터(M1)는 유기EL소자(OLED)에 흐르는 구동전류를 제어하기 위한 트랜지스터로서, 소스전극이 전원전압(VDD)에 접속되고, 드레인전극이 발광제어 트랜지스터(M3)의 소스전극에 접속된다.

발광제어 트랜지스터(M3)는 유기EL소자(OLED)로 흐르는 전류를 차단하거나 흐르게 하기 위한 트랜지스터로서, 소스전극이 구동 트랜지스터(M1)의 드레인전극에 접속되고, 드레인전극이 유기EL소자(OLED)의 애노드 전극에 접속된다.

유기EL소자(OLED)는 캐소드전극이 음의전원전압(VSS)에 연결되고, 애노드 전극이 발광제어 트랜지스터(M3)의 드레인전극에 접속되어 구동 트랜지스터(M1)로부터 인가되는 구동 전류의 양에 대응하는 빛을 발광한다.

스위칭 트랜지스터(M2)는 주사선(Sn)으로부터의 주사신호에 응답하여 데이터선(Dm)에 인가되는 데이터신호(VD)를 저장 커패시터(Cst)의 일전극으로 전달한다.

저장 커패시터(Cst)의 일전극은 구동 트랜지스터(M1)의 게이트전극에 접속되고, 타전극은 양의전원전압(VDD)에 접속된다.

도 4는 본 발명의 실시예에 따른 데이터 구동회로 및 화소의 동작을 설명하기 위한 타이밍도이다.

도 4를 참조하여, 도 3의 데이터 구동회로(410), 프리차지부(600) 및 화소회로(Pnm)의 동작을 살펴본다.

타이밍 제어부(500)로부터 로우레벨의 프리차지 제어신호(pc)가 프리차지부(600)로 공급되면, 상기 프리차지부(600)의 프리차지 트랜지스터(Mpcm)가 턴온된다. 따라서 프리차지 트랜지스터(Mpcm)를 통하여 프리차지 전압(Vpc)이 커플링 커패시터(Cpcm)의 타전극 및 데이터선(Dm)의 기생 커패시터(Cdata)의 일전극으로 공급된다. 커플링 커패시터(Cpcm)의 일전극으로는 데이터 구동회로(410)로부터 기준전압(Vref)이 공급되므로 커플링 커패시터(Cpcm)에는 상기 기준전압(Vref)과 프리차지 전압(Vpc)의 차에 상응하는 전하가 충전된다. 또한 데이터선(Dm)의 기생 커패시터(Cdata)는 타전극이 접지되었다고 보았을 때 프리차지 전압(Vpc)에 상응하는 전하가 충전된다.

다음으로, 타이밍 제어부(500)로부터 하이레벨의 프리차지 제어신호(pc)가 공급되면 상기 프리차지부(600)의 프리차지 트랜지스터(Mpcm)는 턴오프된다. 이때, 데이터 구동회로(400)로부터 제 n행 m열의 화소(Pnm)의 게조전압(Vdatanm)이 커플링 커패시터(Cpcm)의 일전극으로 공급되면, 상기 커플링 커패시터(Cpcm)와 직렬연결되는 데이터선(Dm)의 기생 커패시터(Cdata)는 커플링 동작하여[수학식 1]과 같이 동일한 전하변화량을 갖는다.

수학식 1

$$C_{pc} \{ (V_{ref} - V_{pc}) - (V_{data} - V_D) \} = C_{data} (V_{pc} - V_D)$$

이때, Cpc는 커플링 커패시터(Cpcm)의 커패시턴스, Cdata은 데이터선(Dm)의 기생 커패시턴스, Vref는 데이터 구동회로(410)로부터 출력되는 기준전압, Vpc는 프리차지 전압, Vdata는 데이터 구동회로(410)부터 출력되는 게조전압 및 VD는 화소(Pnm)에 공급되는 데이터선(Dm)의 데이터신호를 각각 나타낸다.

따라서, 화소(Pnm)에 공급되는 데이터선(Dm)의 데이터신호(VD)는 아래의 [수학식 2]와 같이 정리된다.

수학식 2

$$V_D = V_{pc} - \Delta V_S C_{pc} / (C_{pc} + C_{data})$$

이때 ΔV 는 Vref와 Vdata의 차전압과 같다.

따라서, 데이터신호(VD)는 프리차지 전압(Vpc)에 대하여, 커플링 커패시터(Cpcm)의 커패시턴스(Cpc)와 기생 커패시턴스(Cdata)의 합에 대한 커플링 커패시터(Cpcm)의 커패시턴스(Cpc)의 비율만큼 감소된 게조전압(Vdatanm)의 차전압의 크기를 갖는다. 따라서 데이터신호(VD)는 데이터 구동회로(410)의 게조전압(Vdatanm)에 따라 결정되어 일정한 비율로 감소된 전압(VD)이 화소(Pnm)로 공급된다.

따라서 데이터 구동회로(410)의 디지털/아날로그 전환부(417)는 제조기준전압의 레벨을 제조전압(V_{datanm})이 감소되는 비율의 역비율 만큼 증가시켜 출력한다. 데이터신호(VD)의 동작범위가 -4~4V인 경우, 상기의 커플링 커패시터(C_{pcm})의 커패시턴스(C_{pc})와 기생 커패시턴스(C_{data})의 합에 대한 커플링 커패시터(C_{pcm})의 커패시턴스(C_{pc})의 비율이 1/2이라면, 상기 데이터 구동회로(410)의 디지털/아날로그 전환부(417)의 제조기준전압은 그 간격을 1V에서 2V로 증가시켜 -8~8V의 범위를 갖는다.

따라서, 디지털/아날로그 전환부(417)의 제조기준전압의 간격이 좁아 출력되는 아날로그 제조전압(V_{datanm})이 선저항에 의해 전압강하가 생길 경우, 다른 제조의 전압이 화소(P_{nm})로 인가되는 것을 방지할 수 있다.

도 5는 본 발명의 실시예에 따른 데이터전압의 특성도이다.

도 5를 참조하면, 화소(P_{nm})에 공급되는 데이터신호(VD)를 나타내는[수학식 2]는 y축을 데이터신호로, x축을 △V로 갖는 평면좌표 상에서 음의 기울기를 갖는 일차함수로 표현된다. 이러한 일차함수는 프리차지 전압(V_{pc})을 y절편으로 갖으며, 음의 기울기의 절대값은 커플링 커패시터(C_{pcm})의 커패시턴스(C_{pc})와 기생 커패시턴스(C_{data})의 합에 대한 커플링 커패시터(C_{pcm})의 커패시턴스(C_{pc})의 비율과 같다. 이러한 기울기의 절대값은 1보다 작은 값을 갖는다. 따라서 커플링 커패시터(C_{pcm})는 데이터 구동회로(410)의 제조전압(V_{datanm})을 기울기 만큼 감소시켜 데이터선(D_m)으로 공급할 수 있다.

다시 도 3을 참조하면, 상기과 같은 데이터신호(VD)가 데이터선(D_m)으로 공급되고, 화소(P_{nm})로 로우레벨의 주사신호가 공급되어 화소(P_{nm})의 스위칭 트랜지스터(M2)가 턴온된다. 스위칭 트랜지스터(M2)가 턴온되면, 저장 커패시터(C_{st})의 타전극으로 데이터신호(VD)가 전달되어 저장 커패시터(C_{st})는 양의전원전압(VDD)과 데이터신호(VD)의 차에 상응하는 전하가 충전된다. 상기 구동 트랜지스터(M1)는 저장 커패시터(C_{st})에 충전된 전하에 상응하는 전류를 드레인전극으로 출력한다. 그러나 발광제어 트랜지스터(M3)가 턴오프 상태이므로 유기EL소자(OLED)로는 구동전류(ID)가 흐르지 않는다.

다음으로, 발광제어 구동부(300)로부터 로우레벨의 발광제어신호가 화소(P_{nm})로 공급되면, 화소(P_{nm})의 발광제어 트랜지스터(M3)가 턴온되어 상기 구동트랜지스터(M1)로부터 구동전류(ID)를 유기EL소자(OLED)로 공급한다. 유기EL소자(OLED)에 공급되는 구동전류(ID)는 [수학식 3]과 같다.

수학식 3

$$I_D = k (V_{DD} - V_D - |V_{th}|)^2$$

이때, V_{th}는 구동 트랜지스터(M1)의 문턱전압과 같다.

유기EL소자(OLED)는 발광제어 트랜지스터(M3)로부터 상기 구동전류(ID)를 공급받아 이에 상응하는 빛을 발광한다.

상기에서는 3개의 트랜지스터들(M1, M2, M3) 및 1개의 커패시터(C_{st})로 구성되는 화소(P_{nm})만을 설명하였으나, 이에 한정되지 아니하고, 커플링 커패시터(C_{pcm}) 및 프리차지부(600)를 이용한 유기전계발광표시장치는 다양한 화소회로를 구비할 수 있다.

발명의 효과

상기와 같은 본 발명에 따르면, 데이터 구동회로의 출력단과 데이터선을 양전극으로 하는 커패시터를 포함하는 유기전계 발광표시장치는 상기 커패시터와 데이터선의 기생 커패시터의 커플링을 통하여 데이터 구동회로로부터 출력되는 출력전압의 레벨을 감소시킬 수 있다. 따라서 데이터 구동회로의 디지털/아날로그 전환부의 제조기준전압의 간격을 넓힐 수 있어, 전압강하등에 관계없이 타이밍 제어부로부터 공급되는 데이터에 상응하는 아날로그 전압을 화소로 공급할 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1은 종래의 유기전계발광표시장치의 구성도이다.

도 2는 본 발명의 실시예에 따른 유기전계발광표시장치의 구성도이다.

도 3은 본 발명의 실시예에 따른 데이터 구동회로 및 화소의 구성도이다.

도 4는 본 발명의 실시예에 따른 데이터 구동회로 및 화소의 동작을 설명하기 위한 타이밍도이다.

도 5는 본 발명의 실시예에 따른 데이터전압의 특성도이다.

* 도면의 주요부분에 대한 부호의 설명 *

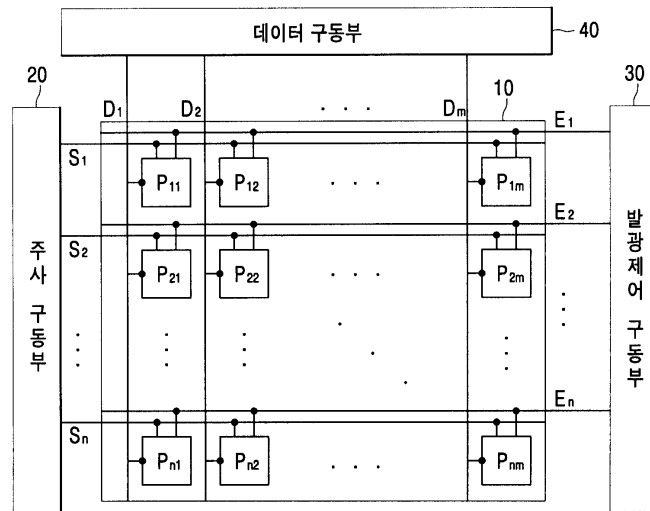
100 : 화소부 200 : 주사 구동부

300 : 발광제어 구동부 400 : 데이터 구동부

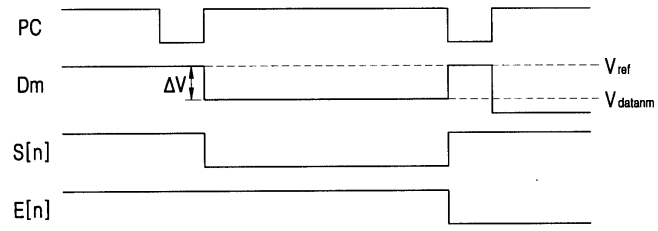
500 : 타이밍 제어부 600 : 프리차지부

도면

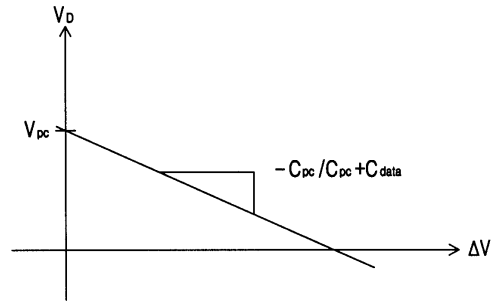
도면1



도면4



도면5



专利名称(译)	有机电致发光显示装置和有机电致发光显示装置的驱动方法		
公开(公告)号	KR100666647B1	公开(公告)日	2007-01-09
申请号	KR1020050086442	申请日	2005-09-15
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	CHOI SANG MOO		
发明人	CHOI SANG MOO		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3291 G09G2300/0876 G09G2310/0248		
代理人(译)	PARK, 常树		
外部链接	Espacenet		

摘要(译)

提供一种有机EL(电致发光)显示装置及其驱动方法,以通过将数据驱动电路的电容器与数据线的寄生电容耦合来降低来自数据驱动电路的输出电压的电压电平。有机EL显示装置包括像素单元(100),数据驱动电路(400),数据线(D1~Dm),预充电单元(600)和耦合电容器(Cpc1~Cpcm)。像素单元显示图像。数据驱动电路向像素单元提供模拟输出电压。数据线具有预定的寄生电容并将模拟输出电压传送到像素单元。预充电单元向数据线提供预充电电压。耦合电容器形成在数据驱动电路和数据线之间,并以预定比率减小模拟输出电压的幅度。

