



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0061312
(43) 공개일자 2012년06월13일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2010-0122580

(22) 출원일자 2010년12월03일

심사청구일자 없음

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

이준우

경기도 용인시 수지구 죽전로 87, 현대홈타운4차3단지 440동 1801호 (죽전동)

김성호

경기도 수원시 영통구 봉영로1744번길 11, 황골마을2단지아파트 224동 104호 (영통동)

(74) 대리인

특허법인가산

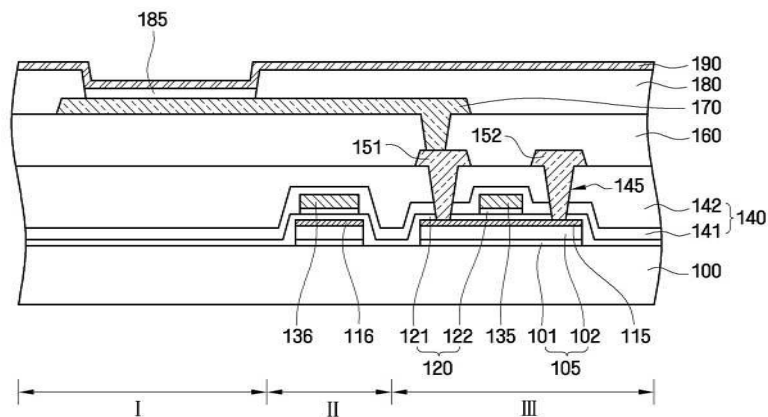
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 유기 전계 발광 표시장치 및 그의 제조방법

(57) 요약

유기 전계 발광 표시장치 및 그의 제조방법이 제공된다. 유기 전계 발광 표시장치는, 발광 영역 및 박막 트랜지스터 영역이 정의된 기판; 및 상기 기판 상에 형성된 다수의 절연막들을 포함하며, 상기 다수의 절연막들 중 상기 발광 영역에 대응하여 유기 발광 소자의 제1 전극과 상기 기판 사이에 형성된 절연막들 사이에서 굴절률이 변경되는 계면은 1개만 존재하며, 상기 다수의 절연막들 중 상기 박막 트랜지스터 영역에 대응하여 형성된 절연막들 사이에서 굴절률이 변경되는 계면은 2개 이상 존재한다.

대표도 - 도1



특허청구의 범위

청구항 1

발광 영역 및 박막 트랜지스터 영역이 정의된 기판; 및

상기 기판 상에 형성된 다수의 절연막들을 포함하며,

상기 다수의 절연막들 중 상기 발광 영역에 대응하여 유기 발광 소자의 제1 전극과 상기 기판 사이에 형성된 절연막들 사이에서 굴절률이 변경되는 계면은 1개만 존재하며,

상기 다수의 절연막들 중 상기 박막 트랜지스터 영역에 대응하여 형성된 절연막들 사이에서 굴절률이 변경되는 계면은 2개 이상 존재하는 유기 전계 발광 표시장치.

청구항 2

제 1항에 있어서,

상기 기판의 상기 박막 트랜지스터 영역에는,

상기 기판 상에 형성된 제1 절연막;

상기 제1 절연막 상에 형성된 반도체층;

상기 반도체층 상에 형성된 제2 절연막;

상기 제2 절연막 상에 형성된 게이트 전극;

상기 게이트 전극 상에 형성된 제3 절연막;

상기 제3 절연막 상에 형성된 소오스 및 드레인 전극; 및

상기 소오스 및 드레인 전극 상에 형성된 제4 절연막을 포함하는 유기 전계 발광 표시장치.

청구항 3

제 2항에 있어서,

상기 제1 절연막은 상기 기판 상에 순차적으로 형성된 제1 서브 절연막 및 제2 서브 절연막을 포함하며,

상기 제1 서브 절연막은 SiNx 또는 SiON 으로 형성되며,

상기 제2 서브 절연막은 SiO_2 로 형성되는 유기 전계 발광 표시장치.

청구항 4

제 3항에 있어서,

상기 제2 절연막은 상기 반도체층 상에 순차적으로 형성된 제3 서브 절연막 및 제4 서브 절연막을 포함하며,

상기 제3 서브 절연막은 SiO_2 로 형성되며,

상기 제4 서브 절연막은 SiNx , SiON , 또는 고유전율(high-k)막으로 형성되는 유기 전계 발광 표시장치.

청구항 5

제 4항에 있어서,

상기 제3 절연막은 상기 게이트 전극 상에 순차적으로 형성된 제5 서브 절연막 및 제6 서브 절연막을 포함하며,

상기 제5 서브 절연막은 SiO_2 로 형성되며,

상기 제6 서브 절연막은 SiNx 또는 SiON 으로 형성되는 유기 전계 발광

표시장치.

청구항 6

제 5항에 있어서,

상기 발광 영역에서 상기 제3 서브 절연막은 상기 기관과 직접 접하는 유기 전계 발광 표시장치.

청구항 7

제 6항에 있어서,

상기 발광 영역에서 상기 제5 서브 절연막은 상기 제3 서브 절연막과 직접 접하는 유기 전계 발광 표시장치.

청구항 8

제 7항에 있어서,

상기 발광 영역에서 상기 유기 발광 소자의 제1 전극과 상기 기관 사이에서 상기 제5 서브 절연막과 상기 제6 서브 절연막 사이의 계면에서만 굴절률이 변경되는 유기 전계 발광 표시장치.

청구항 9

제 3항에 있어서,

상기 제1 서브 절연막 및 상기 제2 서브 절연막은 상기 반도체층과 동일한 패턴 형상을 갖는 유기 전계 발광 표시장치.

청구항 10

제 4항에 있어서,

상기 제4 서브 절연막과 상기 게이트 전극은 동일한 패턴 형상을 갖는 유기 전계 발광 표시장치.

청구항 11

제 3항에 있어서,

상기 제1 및 제2 서브 절연막은 상기 반도체층의 측벽으로부터 돌출된 영역을 포함하는 유기 전계 발광 표시장치.

청구항 12

제 4항에 있어서,

상기 기관은 캐패시터 영역을 더 포함하며,

상기 캐패시터 영역에는,

상기 기관 상에 형성된 상기 제1 및 제2 서브 절연막;

상기 제2 서브 절연막 상에 형성된 캐패시터 제1 전극;

상기 캐패시터 제1 전극 상에 형성된 상기 제3 및 제4 서브 절연막; 및

상기 제4 서브 절연막 상에 형성된 캐패시터 제2 전극을 포함하는 유기 전계 발광 표시장치.

청구항 13

발광 영역 및 박막 트랜지스터 영역이 정의된 기관 상에 제1 서브 절연막 및 제2 서브 절연막이 적층된 제1 절연막 및 반도체층 형성용 막을 순차적으로 형성하고,

상기 반도체층 형성용 막 상에 제1 포토레지스트 패턴을 형성하고,

상기 제1 포토레지스트 패턴을 식각 마스크로 사용하여 상기 반도체층 형성용 막, 상기 제2 서브 절연막, 및 상기 제1 서브 절연막을 식각하고,

상기 제1 포토레지스트 패턴을 제거한 후 반도체층이 형성된 상기 기판 전면에는 제3 서브 절연막 및 제4 서브 절연막이 적층된 제2 절연막 및 게이트 전극용 도전막을 순차적으로 형성하고,

상기 게이트 전극용 도전막 상에 제2 포토레지스트 패턴을 형성하고,

상기 제2 포토레지스트 패턴을 식각 마스크로 이용하여 상기 게이트 전극용 도전막 및 상기 제4 서브 절연막을 식각하는 것을 포함하는 유기 전계 발광 표시장치의 제조방법.

청구항 14

제 13항에 있어서,

상기 제1 서브 절연막은 SiNx 또는 SiON 으로 형성되며,

상기 제2 및 제3 서브 절연막은 SiO_2 로 형성되며,

상기 제4 서브 절연막은 SiNx , SiON , 또는 고유전율막으로 형성되는 유기 전계 발광 표시장치의 제조방법.

청구항 15

제 14항에 있어서,

상기 제1 포토레지스트 패턴은 두께가 서로 다른 제1 영역 및 제2 영역을 포함하며,

상기 제1 영역의 두께는 상기 제2 영역보다 두꺼우며,

상기 제1 영역은 상기 반도체층이 형성되는 영역에 대응하며, 상기 제2 영역은 상기 발광 영역을 제외한 상기 박막 트랜지스터 영역에 대응하는 유기 전계 발광 표시장치의 제조방법.

청구항 16

제 15항에 있어서,

상기 제1 포토레지스트 패턴은 슬릿 마스크 또는 하프톤 마스크를 이용하여 형성되는 유기 전계 발광 표시장치의 제조방법.

청구항 17

제 14항에 있어서,

상기 제2 포토레지스트 패턴을 제거한 후 게이트 전극이 형성된 상기 기판 전면에는 제5 서브 절연막 및 제6 서브 절연막이 적층된 제3 절연막을 형성하고,

상기 제6 서브 절연막 상에 소오스 및 드레인 전극을 형성하고,

상기 소오스 및 드레인 전극이 형성된 상기 기판 전면에는 제4 절연막을 형성하는 것을 더 포함하는 유기 전계 발광 표시장치의 제조방법.

청구항 18

제 17항에 있어서,

상기 제5 서브 절연막은 SiO_2 로 형성되며,

상기 제6 서브 절연막 및 상기 제4 절연막은 SiNx 또는 SiON 으로 형성되는 유기 전계 발광 표시장치의 제조방법.

명세서

기술분야

본 발명은 유기 전계 발광 표시장치 및 그의 제조방법에 관한 것으로, 특히 박막 트랜지스터 특성 및 시야각 특성을 동시에 개선시킬 수 있으며 추가의 노광 공정 없이 이를 구현할 수 있는 유기 전계 발광 표시장치 및 그의 제조방법에 관한 것이다.

[0001]

배경 기술

- [0002] 일반적으로 평판 표시(Flat Panel Display; FPD) 소자는, 사용되는 물질을 기준으로 하여 무기물을 사용하는 소자와 유기물을 사용하는 소자로 구분된다. 무기물을 사용하는 소자로서는 형광체로부터 PL(Photo Luminescence)을 이용하는 플라즈마 표시 패널(Plasma Display Panel; PDP)과, CE(Cathode Luminescence)를 이용한 전계 방출 표시(Field Emission Display; FED) 소자 등이 있다. 그리고 유기물을 사용하는 소자로서는 액정 표시 소자(Liquid Crystal Display element; LCD) 및 유기 전계 발광 소자(Organic Electro Luminescence Display Element) 등이 있다.
- [0003] 상기 유기 전계 발광 소자를 이용한 유기 전계 발광 표시장치는 현재 널리 상용화되어 있는 LCD에 비하여 빠른 응답 속도를 가지고 있어 동영상의 구현이 가능하고, 자체적으로 발광하여 시야각이 넓으며 높은 휘도를 낼 수 있어 차세대 표시 장치로 각광을 받고 있다.

발명의 내용

해결하려는 과제

- [0004] 유기 전계 발광 표시장치에서 화소 전극과 기판 사이에 다수의 절연막들이 형성되는데, 발광 특성 및 박막 트랜지스터의 동작 특성을 위해서 각각 필요한 절연막들이 서로 상이할 수 있다.
- [0005] 본 발명이 해결하고자 하는 과제는, 박막 트랜지스터 특성 및 시야각 특성을 동시에 개선시킬 수 있는 유기 전계 발광 표시장치를 제공하는 것이다.
- [0006] 본 발명이 해결하고자 하는 또 다른 과제는, 박막 트랜지스터 특성 및 시야각 특성을 동시에 개선시킬 수 있으며 추가의 노광 공정 없이 이를 구현할 수 있는 유기 전계 발광 표시장치의 제조방법을 제공하는 것이다.
- [0007] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0008] 상기 기술적 과제를 달성하기 위한 본 발명의 유기 전계 발광 표시장치의 일 실시예는, 발광 영역 및 박막 트랜지스터 영역이 정의된 기판; 및 상기 기판 상에 형성된 다수의 절연막들을 포함하며, 상기 다수의 절연막들 중 상기 발광 영역에 대응하여 유기 발광 소자의 제1 전극과 상기 기판 사이에 형성된 절연막들 사이에서 굴절률이 변경되는 계면은 1개만 존재하며, 상기 다수의 절연막들 중 상기 박막 트랜지스터 영역에 대응하여 형성된 절연막들 사이에서 굴절률이 변경되는 계면은 2개 이상 존재한다.
- [0009] 상기 기술적 과제를 달성하기 위한 본 발명의 유기 전계 발광 표시장치의 제조방법의 일 실시예는, 발광 영역 및 박막 트랜지스터 영역이 정의된 기판 상에 제1 서브 절연막, 제2 서브 절연막 및 반도체층 형성용 막을 순차적으로 형성하고, 상기 반도체층 형성용 막 상에 제1 포토레지스트 패턴을 형성하고, 상기 제1 포토레지스트 패턴을 식각 마스크로 사용하여 상기 반도체층 형성용 막, 상기 제2 서브 절연막, 및 상기 제1 서브 절연막을 식각하고, 상기 제1 포토레지스트 패턴을 제거한 후 반도체층이 형성된 상기 기판 전면에서 제3 서브 절연막, 제4 서브 절연막, 및 게이트 전극용 도전막을 순차적으로 형성하고, 상기 게이트 전극용 도전막 상에 제2 포토레지스트 패턴을 형성하고, 상기 제2 포토레지스트 패턴을 식각 마스크로 이용하여 상기 게이트 전극용 도전막 및 상기 제4 서브 절연막을 식각하는 것을 포함한다.
- [0010] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

- [0011] 도 1은 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치의 단면도이다.
- 도 2는 본 발명의 다른 실시예에 따른 유기 전계 발광 표시장치의 단면도이다.
- 도 3 내지 도 7은 도 1에 도시된 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치의 제조방법을 설명하기 위한 중간 단계 단면도들이다.
- 도 8 내지 도 11은 도 2에 도시된 본 발명의 다른 실시예에 따른 유기 전계 발광 표시장치의 제조방법을 설명하기 위한 중간 단계 단면도들이다.

도 12 내지 도 15는 도 2에 도시된 본 발명의 다른 실시예에 따른 유기 전계 발광 표시장치의 다른 제조방법을 설명하기 위한 중간 단계 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 표시된 구성요소의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다.
- [0013] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭하며, "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0014] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "이루어지다(made of)"는 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0015] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0016] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.
- [0017] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0018] 도 1을 참조하여 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치를 설명한다. 도 1은 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치의 단면도이다. 본 실시예에서는 광이 하부 기관 방향으로 추출되는 배면 발광형 유기 전계 발광 표시장치를 설명한다.
- [0019] 기관(100)은 광이 투과되는 재질로 형성될 수 있다. 기관(100)은 예를 들어, SiO₂를 주성분으로 하는 투명한 유리로 형성되거나, 폴리메틸메타아크릴레이트(PMMA), 폴리아닐린(PANI), 또는 폴리에틸렌테레프탈레이트(PET)와 같은 투명한 고분자 물질 등으로 형성될 수 있다. 또는 기관(100)은 SUS, W, Ti 등의 플렉시블한 금속판으로 형성될 수도 있다. 기관(100)은 발광층(185)으로부터의 광이 외부로 추출되는 발광 영역(I), 캐패시터가 형성되는 캐패시터 영역(II), 및 박막 트랜지스터가 형성되는 박막 트랜지스터 영역(III)으로 구분될 수 있다.
- [0020] 기관(100)의 캐패시터 영역(II) 및 박막 트랜지스터 영역(III) 상에 제1 절연막(105)이 형성된다. 제1 절연막(105)은 적층된 제1 서브 절연막(101) 및 제2 서브 절연막(102)을 포함한다. 제1 서브 절연막(101)은 SiNx 또는 SiON으로 형성될 수 있으며, 제2 서브 절연막(102)은 SiO₂로 형성될 수 있다. 제1 서브 절연막(101)은 반도체층(115)의 채널 영역에 모바일 이온(mobile ion)이 침투하는 것을 막아주며, 후속 열처리 공정시 제1 서브 절연막(101) 내부의 수소 원자가 반도체층(115)의 채널 영역에서 트랩 사이트(trap site)로 작용하는 땀글링 본드(dangling bond)를 치환해 주어 박막 트랜지스터의 동작 속도를 향상시키는 역할을 할 수 있다. 제2 서브 절연막(102)은 반도체층(115)과 제1 서브 절연막(101)을 일정 간격 이격시킨다.
- [0021] 제1 절연막(105)은 발광 영역(I)에는 형성되지 않는다. 이와 같이 함으로써 기관(100), 제1 서브 절연막(101), 및 제2 서브 절연막(102) 사이에서 발생할 수 있는 공진을 제거할 수 있다. 본 실시예에서 제1 서브

절연막(101) 및 제2 서브 절연막(102)은 반도체층(115) 및 캐패시터 제1 전극(116)과 동일한 포토레지스트 패턴에 의해 형성되어 서로 동일한 패턴 형상을 가질 수 있다.

[0022] 박막 트랜지스터 영역(III)의 제2 서브 절연막(102) 상에 반도체층(115)이 형성되며, 캐패시터 영역(II)의 제2 서브 절연막(102) 상에 캐패시터 제1 전극(116)이 형성될 수 있다. 반도체층(115)은 다결정 실리콘으로 형성될 수 있다. 캐패시터 제1 전극(116)은 반도체층(115)과 동일한 물질로 형성될 수 있다.

[0023] 반도체층(115) 및 캐패시터 제1 전극(116)이 형성된 기판(100) 상에 제2 절연막(120)이 형성된다. 제2 절연막(120)은 적층된 제3 서브 절연막(121) 및 제4 서브 절연막(122)을 포함한다. 제3 서브 절연막(121)은 SiO₂로 형성될 수 있으며, 제4 서브 절연막(122)은 SiN_x, SiON, 또는 고유전율(high-k)막으로 형성될 수 있다. 상기 고유전율막은 예를 들어, TiO₂, Nb₂O₅, HfO₂, ZrO₂ 및 Ta₂O₅ 등을 들 수 있다. 제3 서브 절연막(121)은 기판(100)의 발광 영역(I), 캐패시터 영역(II) 및 박막 트랜지스터 영역(III)에 걸쳐서 형성될 수 있다. 반면에 제4 서브 절연막(122)은 발광 영역(I)에는 형성되지 않는다. 제4 서브 절연막(122)은 제3 서브 절연막(121)보다 고유전율을 가지므로 게이트 절연막으로 사용되는 제2 절연막(120)의 충분한 두께 확보를 위해서 캐패시터 영역(II) 및 박막 트랜지스터 영역(III)에는 제4 서브 절연막(122)이 필요하다. 이와 달리 발광 영역(I)에서는 제4 서브 절연막(122)을 형성하지 않음으로써 기판(100), 제3 서브 절연막(121), 및 제4 서브 절연막(122) 사이에서 발생할 수 있는 공진을 제거할 수 있다.

[0024] 본 실시예에서 제4 서브 절연막(122)은 게이트 전극(135) 및 캐패시터 제2 전극(136)과 동일한 포토레지스트 패턴에 의해 형성되어 서로 동일한 패턴 형상을 가질 수 있다.

[0025] 박막 트랜지스터 영역(III)의 제4 서브 절연막(122) 상에 게이트 전극(135)이 형성되며, 캐패시터 영역(II)의 제4 서브 절연막(122) 상에 캐패시터 제2 전극(136)이 형성될 수 있다. 게이트 전극(135)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 도전성 물질을 포함할 수 있다. 캐패시터 제2 전극(136)은 게이트 전극(135)과 동일한 물질로 형성될 수 있다.

[0026] 게이트 전극(135) 및 캐패시터 제2 전극(136)이 형성된 기판(100) 상에 제3 절연막(140)이 형성된다. 제3 절연막(140)은 기판(100)의 발광 영역(I), 캐패시터 영역(II) 및 박막 트랜지스터 영역(III)에 걸쳐서 형성될 수 있다. 제3 절연막(140)은 적층된 제5 서브 절연막(141) 및 제6 서브 절연막(142)을 포함한다. 제5 서브 절연막(141)은 SiO₂로 형성될 수 있으며, 제6 서브 절연막(142)은 SiN_x 또는 SiON으로 형성될 수 있다.

[0027] 박막 트랜지스터 영역(III)의 제6 서브 절연막(142) 상에 소오스 및 드레인 전극(151, 152)이 형성된다. 소오스 및 드레인 전극(151, 152)은 제3 절연막(140) 및 제3 서브 절연막(121) 내에 형성된 콘택홀(145)을 통하여 반도체층(115)과 전기적으로 연결될 수 있다. 소오스 및 드레인 전극(151, 152)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 도전성 물질을 포함할 수 있다.

[0028] 소오스 및 드레인 전극(151, 152)이 형성된 기판(100) 상에 제4 절연막(160)이 형성된다. 제4 절연막(160)은 단일층으로 형성될 수 있으며, SiN_x 또는 SiON으로 형성될 수 있다. 제4 절연막(160)은 기판(100)의 발광 영역(I), 캐패시터 영역(II) 및 박막 트랜지스터 영역(III)에 걸쳐서 형성될 수 있다.

[0029] 제4 절연막(160) 상에 유기 전계 발광 소자의 제1 전극(170)이 형성된다. 제1 전극(170)은 양극일 수 있으며, 투과 전극일 수 있다. 제1 전극(170)은 예를 들어, ITO, IZO, ZnO, 및 In₂O₃와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다.

[0030] 제1 전극(170) 상에 제5 절연막(180)이 형성된다. 제5 절연막(180)은 제1 전극(170) 상에 발광층(185)이 형성될 수 있도록 제1 전극(170)의 일정 영역을 노출시킨다. 제5 절연막(180)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질을 포함할 수 있다. 제5 절연막(180)은 화소를 정의하는 역할 및 제1 전극(170)의 가장자리에 전계가 집중되는 것을 방지하여 제1 전극(170)과 제2 전극(190) 사이의 단락을 방지하는 역할 등을 할 수 있다.

[0031] 제5 절연막(180)에 의해 노출된 제1 전극(170) 상에 발광층(185)이 형성된다. 발광층(185)은 제1 전극(170)과 제2 전극(190)에 바이어스가 인가될 때, 광을 발광한다. 제1 전극(170)과 제2 전극(190) 사이에는 제1 전극(170) 및 제2 전극(190)으로부터 발광층(185)으로의 전자 및 정공의 이동을 돕기 위하여 발광층(185) 이외에 공지된 기능층들을 더 포함할 수 있다. 상기 기능층들은 정공 주입층, 정공 수송층, 전자 저지층, 정공 저지층, 전자 수송층, 및 전자 주입층 등을 포함할 수 있다. 발광층(185) 및 상기 기능층들을 형성하는 재료는 특별히 한정되지 않으며, 공지된 재료들을 이용하여 형성할 수 있다.

- [0032] 발광층(185)이 형성된 기판(100) 상에 유기 전계 발광 소자의 제2 전극(190)이 형성된다. 제2 전극(190)은 음극일 수 있으며, 반사 전극일 수 있다. 제2 전극(190)은 예를 들어, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 포함할 수 있다.
- [0033] 본 실시예에서 발광 영역(I)에서 SiNx 또는 SiON으로 형성될 수 있는 제1 서브 절연막(101) 및 SiNx, SiON, 또는 고유전율(high-k)막으로 형성될 수 있는 제4 서브 절연막(122)을 제거함으로써, 기판(100)과 제1 전극(170) 사이에 형성된 절연막들(160, 140, 121) 사이에서 굴절률이 변경되는 계면(interface)은 SiO₂로 형성될 수 있는 제5 서브 절연막(141)과 SiNx 또는 SiON으로 형성될 수 있는 제6 서브 절연막(142) 사이의 계면 1개만 존재한다. 따라서 발광 영역(I)에서 제1 전극(170)의 하면과 기판(100) 사이에 공진 구조가 형성되지 않으므로, 기판(100)으로부터 광이 방출되는 유기 전계 발광 표시장치의 시야각을 향상시킬 수 있다. 예를 들어, 도 1에 도시된 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치의 경우 SiNx 또는 SiON으로 형성될 수 있는 제1 서브 절연막(101) 및 SiNx, SiON, 또는 고유전율(high-k)막으로 형성될 수 있는 제4 서브 절연막(122)이 제거되지 않은 유기 전계 발광 표시장치와 비교할 때 각도에 따른 색좌표 변화가 35% 정도 감소하여 시야각 특성이 개선됨을 확인할 수 있었다.
- [0034] 한편, 캐패시터 영역(II) 및 박막 트랜지스터 영역(III)에서는 SiNx 또는 SiON으로 형성될 수 있는 제1 서브 절연막(101) 및 SiNx, SiON, 또는 고유전율(high-k)막으로 형성될 수 있는 제4 서브 절연막(122)을 남겨둠으로써, 앞서 설명한 바와 같이 박막 트랜지스터의 동작 속도를 향상시키며 게이트 절연막으로 사용되는 제2 절연막(120)의 충분한 두께를 확보할 수 있다. 예를 들어, 도 1에 도시된 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치의 박막 트랜지스터의 s-factor는 박막 트랜지스터 영역(II)에서 SiNx 또는 SiON으로 형성될 수 있는 제1 서브 절연막(101) 및 SiNx, SiON, 또는 고유전율(high-k)막으로 형성될 수 있는 제4 서브 절연막(122)을 제거한 유기 전계 발광 표시장치의 박막 트랜지스터의 s-factor보다 감소하여 박막 트랜지스터의 동작 속도 특성이 개선됨을 확인할 수 있었다.
- [0035] 또한 본 실시예에서는 공정 단순화를 위하여 제1 서브 절연막(101) 및 제2 서브 절연막(102)이 반도체층(115) 및 캐패시터 제1 전극(116)과 동일한 포토레지스트 패턴에 의해 형성되어 서로 동일한 패턴 형상을 가질 수 있으며, 제4 서브 절연막(122)은 게이트 전극(135) 및 캐패시터 제2 전극(136)과 동일한 포토레지스트 패턴에 의해 형성되어 서로 동일한 패턴 형상을 가질 수 있다.
- [0036] 도 2를 참조하여 본 발명의 다른 실시예에 따른 유기 전계 발광 표시장치를 설명한다. 도 2는 본 발명의 다른 실시예에 따른 유기 전계 발광 표시장치의 단면도이다. 도 1과 실질적으로 동일한 구성요소에 대해서는 동일한 도면 부호를 사용하며, 해당 구성요소에 대한 상세한 설명은 생략하기로 한다.
- [0037] 도 2를 참조하면, 본 발명의 다른 실시예에 따른 유기 전계 발광 표시장치가 도 1에 도시된 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치와 다른 점은, 제1 절연막(105)이 반도체층(115) 및 캐패시터 제1 전극(116)과 동일한 패턴 형상을 가지지 않는다는 것이다. 즉 제1 절연막(105)은 반도체층(115) 및 캐패시터 제1 전극(116)보다 큰 패턴으로 형성될 수 있다. 이 경우 반도체층(115) 및 캐패시터 제1 전극(116) 상부에 형성되는 절연막들이 반도체층(115) 및 캐패시터 제1 전극(116)의 단부를 보다 잘 커버할 수 있어 박막 트랜지스터의 누설 전류 특성을 더욱 개선할 수 있다.
- [0038] 도 1 및 도 3 내지 도 7을 참조하여 도 1에 도시된 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치의 제조방법을 설명한다. 도 3 내지 도 7은 도 1에 도시된 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치의 제조방법을 설명하기 위한 중간 단계 단면도들이다.
- [0039] 도 3을 참조하면, 기판(100) 상에 제1 절연막(105) 및 반도체층 형성용 막(110)을 순차적으로 형성한다. 제1 절연막(105)은 SiNx 또는 SiON을 사용하여 기판(100) 상에 제1 서브 절연막(101)을 증착하고, SiO₂를 사용하여 제1 서브 절연막(101) 상에 제2 서브 절연막(102)을 증착하여 형성한다. 제1 서브 절연막(101) 및 제2 서브 절연막(102)은 PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 공지된 다양한 증착 방법에 의해 증착될 수 있다.
- [0040] 반도체층 형성용 막(110)은 비정질 실리콘을 먼저 증착한 후 이를 결정화한 다결정 실리콘으로 형성될 수 있다. 비정질 실리콘은 RTA(rapid thermal annealing)법, SPC(solid phase crystallzation)법, ELA(excimer laser annealin g)법, MIC(metal induced crystallzation)법, MILC(metal induced lateral crystallzation)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.
- [0041] 반도체층 형성용 막(110) 상에 반도체층(도 1의 115) 및 캐패시터 제1 전극(도 1의 116)을 형성하기 위한 제1

포토리지스트 패턴(11)을 형성한다.

- [0042] 도 4를 참조하면, 제1 포토레지스트 패턴(11)을 식각 마스크로 사용하여 반도체층 형성용 막(110), 제2 서브 절연막(102), 및 제1 서브 절연막(101)을 식각한다. 상기 식각은 습식 식각 및 건식 식각 등 공지된 다양한 방법으로 수행할 수 있다. 제2 서브 절연막(102) 및 제1 서브 절연막(101)은 식각액 또는 식각 가스에 따라 일괄 식각도 가능하다.
- [0043] 도 5를 참조하면, 제1 포토레지스트 패턴(11)을 제거한 후, 반도체층(115) 및 캐패시터 제1 전극(116)이 형성된 기판(100)의 전면 상에 제2 절연막(120) 및 게이트 전극용 도전막(130)을 순차적으로 형성한다. 제2 절연막(120)은 SiO_2 를 사용하여 기판(100) 상에 제3 서브 절연막(121)을 증착하고, SiN_x , SiON , 또는 고유전율막을 사용하여 제3 서브 절연막(121) 상에 제4 서브 절연막(122)을 증착하여 형성한다. 제3 서브 절연막(121) 및 제4 서브 절연막(122)은 PECVD법, APCVD법, LPCVD법 등 공지된 다양한 증착 방법에 의해 증착될 수 있다. 게이트 전극용 도전막(130)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 도전성 물질을 공지된 다양한 증착 방법에 의해 증착함으로써 형성될 수 있다.
- [0044] 게이트 전극용 도전막(130) 상에 게이트 전극(도 1의 135) 및 캐패시터 제2 전극(도 1의 136)을 형성하기 위한 제2 포토레지스트 패턴(21)을 형성한다.
- [0045] 도 6을 참조하면, 제2 포토레지스트 패턴(21)을 식각 마스크로 사용하여 게이트 전극용 도전막(130) 및 제4 서브 절연막(122)을 식각한다. 제4 서브 절연막(122)을 식각하는 것은 제3 서브 절연막(121)에 대해서 식각 선택비가 높은 식각가스를 이용하는 건식 식각으로 수행될 수 있다. 예를 들어, CF_4 계열의 식각가스를 이용하면 제4 절연막(122)만을 선택적으로 식각할 수 있다.
- [0046] 도 7을 참조하면, 제2 포토레지스트 패턴(21)을 제거한 후, 게이트 전극(135) 및 캐패시터 제2 전극(136)이 형성된 기판(100)의 전면 상에 제3 절연막(140)을 형성한다. 제3 절연막(140)은 SiO_2 를 사용하여 기판(100) 상에 제5 서브 절연막(141)을 증착하고, SiN_x 또는 SiON 을 사용하여 제5 서브 절연막(141) 상에 제6 서브 절연막(142)을 증착하여 형성한다. 제5 서브 절연막(141) 및 제6 서브 절연막(142)은 PECVD법, APCVD법, LPCVD법 등 공지된 다양한 증착 방법에 의해 증착될 수 있다.
- [0047] 이어서, 제3 절연막(140) 및 제3 서브 절연막(121) 내에 반도체층(105)의 일부를 노출시키는 콘택홀(145)을 형성한다. 콘택홀(145)이 형성된 기판(100) 전면 상에 소오스 및 드레인 전극용 도전막을 형성하고 이를 패터닝하여 소오스 및 드레인 전극(151, 152)을 형성한다. 상기 소오스 및 드레인 전극용 도전막은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 도전성 물질을 공지된 다양한 증착 방법에 의해 증착함으로써 형성될 수 있으며, 상기 소오스 및 드레인 전극용 도전막을 식각하는 것은 습식 식각 및 건식 식각 등 공지된 다양한 방법으로 수행할 수 있다.
- [0048] 도 1을 참조하면, 소오스 및 드레인 전극(151, 152)이 형성된 기판(100) 전면 상에 제4 절연막(160)을 형성한다. 제4 절연막(160)은 SiN_x 또는 SiON 을 사용하여 PECVD법, APCVD법, LPCVD법 등 공지된 다양한 증착 방법에 의해 증착될 수 있다. 이어서 제4 절연막(160) 내에 소오스 및 드레인 전극(151, 152)의 일부를 노출시키는 홀을 형성하고, 기판(100) 전면 상에 ITO , IZO , ZnO , 및 In_2O_3 와 같은 투명 물질을 사용하여 유기 전계 발광 소자의 제1 전극용 도전막을 증착하고 이를 식각하여 유기 전계 발광 소자의 제1 전극(170)을 형성한다.
- [0049] 이어서 제1 전극(170) 상에 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질을 사용하여 스핀 코팅 등의 방법으로 제5 절연막(180)을 형성한다. 제1 전극(170)의 일정 영역을 노출시키도록 제5 절연막(180)의 일정 영역은 제거된다. 이어서 제5 절연막(180)에 의해 노출된 제1 전극(170) 상에 발광층(185)을 형성한다. 발광층(185)은 공지된 유기 재료로 형성될 수 있으며, 잉크젯 프린팅이나 스핀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 형성될 수 있다. 이어서 발광층(185)이 형성된 기판(100) 전면 상에 유기 전계 발광 소자의 제2 전극(190)을 형성한다. 제2 전극(190)은 예를 들어, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 사용하여 형성될 수 있다.
- [0050] 본 실시예에서는 발광 영역(I)에 남겨지는 경우 공진 구조를 형성할 수 있는 제1 및 제2 서브 절연막(101, 102)을 반도체층(115) 및 캐패시터 제1 전극(116)을 형성하는 포토레지스트 패턴을 사용하여 제거하고, 제4 서브 절연막(122)은 게이트 전극(135) 및 캐패시터 제2 전극(136)을 형성하는 포토레지스트 패턴을 사용하여 제거함으로써, 노광공정의 추가없이 제거할 수 있다.

- [0051] 도 2 및 도 8 내지 도 11을 참조하여 도 2에 도시된 본 발명의 다른 실시예에 따른 유기 전계 발광 표시장치의 제조방법을 설명한다. 도 8 내지 도 11은 도 2에 도시된 본 발명의 다른 실시예에 따른 유기 전계 발광 표시장치의 제조방법을 설명하기 위한 중간 단계 단면도들이다.
- [0052] 도 8을 참조하면, SiNx 또는 SiON 을 사용하여 기판(100) 상에 제1 서브 절연막(101)을 증착하고, SiO_2 를 사용하여 제1 서브 절연막(101) 상에 제2 서브 절연막(102)을 증착하여 제1 절연막(105)을 형성한다. 이어서 제2 서브 절연막(102) 상에 발광 영역(I)을 노출시키는 제3 포토레지스트 패턴(13)을 형성한다.
- [0053] 도 9를 참조하면, 제3 포토레지스트 패턴(13)을 식각 마스크로 사용하여 제1 서브 절연막(101) 및 제2 서브 절연막(102)을 식각한다.
- [0054] 도 10을 참조하면, 제3 포토레지스트 패턴(13)을 제거한 후, 제1 절연막(105)이 형성된 기판(100) 상에 반도체층(115) 및 캐패시터 제1 전극(116)을 형성한다. 반도체층(115) 및 캐패시터 제1 전극(116)은 제1 절연막(105)이 형성된 기판(100) 상에 비정질 실리콘을 먼저 증착한 후 이를 결정화하여 다결정 실리콘으로 형성한 후, 상기 다결정 실리콘 상에 포토레지스트 패턴을 형성하고 상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 다결정 실리콘을 패터닝함으로써 형성될 수 있다.
- [0055] 이어서 반도체층(115) 및 캐패시터 제1 전극(116)이 형성된 기판(100)의 전면 상에 제2 절연막(120) 및 게이트 전극용 도전막(130)을 순차적으로 형성한다. 제2 절연막(120)은 SiO_2 를 사용하여 기판(100) 상에 제3 서브 절연막(121)을 증착하고, SiNx , SiON , 또는 고유전율막을 사용하여 제3 서브 절연막(121) 상에 제4 서브 절연막(122)을 증착하여 형성한다. 게이트 전극용 도전막(130) 상에 게이트 전극(도 2의 135) 및 캐패시터 제2 전극(도 2의 136)을 형성하기 위한 제2 포토레지스트 패턴(21)을 형성한다.
- [0056] 도 11을 참조하면, 제2 포토레지스트 패턴(21)을 식각 마스크로 사용하여 게이트 전극용 도전막(130) 및 제4 서브 절연막(122)을 식각한다. 제4 서브 절연막(122)을 식각하는 것은 제3 서브 절연막(121)에 대해서 식각 선택비가 높은 식각액 또는 식각가스를 이용하여 수행될 수 있다.
- [0057] 도 2를 참조하면, 제2 포토레지스트 패턴(21)을 제거한 후, 제3 절연막(140), 소오스 및 드레인 전극(151, 152), 제4 절연막(160), 제1 전극(170), 제5 절연막(180), 발광층(185), 및 제2 전극(190)을 순차적으로 형성한다. 이에 대한 자세한 설명은 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치의 제조방법을 참조한다.
- [0058] 도 2 및 도 10 내지 내지 도 15를 참조하여 도 2에 도시된 본 발명의 다른 실시예에 따른 유기 전계 발광 표시장치의 다른 제조방법을 설명한다. 도 12 내지 도 15는 도 2에 도시된 본 발명의 다른 실시예에 따른 유기 전계 발광 표시장치의 다른 제조방법을 설명하기 위한 중간 단계 단면도들이다.
- [0059] 도 12를 참조하면, SiNx 또는 SiON 을 사용하여 기판(100) 상에 제1 서브 절연막(101)을 증착하고, SiO_2 를 사용하여 제1 서브 절연막(101) 상에 제2 서브 절연막(102)을 증착하여 제1 절연막(105)을 형성한다. 이어서 제2 서브 절연막(102) 상에 비정질 실리콘층을 증착하고 이를 결정화하여 다결정 실리콘으로 반도체층 형성용 막(110)을 형성한다.
- [0060] 이어서 반도체층 형성용 막(110) 상에 제4 포토레지스트 패턴(14)을 형성한다. 제4 포토레지스트 패턴(14)은 두께가 서로 다른 두 영역으로 이루어지며, 발광 영역(I) 상에는 형성되지 않는다. 제4 포토레지스트 패턴(14) 중 두께가 두꺼운 영역(16)은 반도체층(도 2의 115) 및 캐패시터 제1 전극(도 2의 116) 형성 영역을 덮고, 두께가 얇은 영역(15)은 제1 절연막(105)이 형성되는 영역을 덮는다. 제4 포토레지스트 패턴(14)은 슬릿 마스크 또는 하프톤 마스크를 이용하여 형성될 수 있다.
- [0061] 도 13을 참조하면, 제4 포토레지스트 패턴(14)을 식각 마스크로 사용하여 발광 영역(I)에 대응하는 반도체층 형성용 막(110), 제2 서브 절연막(102), 및 제1 서브 절연막(101)을 식각한다.
- [0062] 도 14를 참조하면, 제4 포토레지스트 패턴(14) 중 두께가 두꺼운 영역(16)은 남기고 두께가 얇은 영역(15)은 제거한다. 두께가 얇은 영역(15)의 제거는 에치백(etch back) 또는 산소 등을 이용한 애싱 공정 등에 의해 제거될 수 있다.
- [0063] 도 15를 참조하면, 제4 포토레지스트 패턴(14) 중 남겨진 두께가 두꺼운 영역(16)을 식각 마스크로 사용하여 반도체층 형성용 막(110)을 식각하여 반도체층(115) 및 캐패시터 제1 전극(116)을 형성한다.
- [0064] 도 10을 참조하면, 제4 포토레지스트 패턴(14) 중 남겨진 두께가 두꺼운 영역(16)을 제거한 후, 반도체층

(115) 및 캐패시터 제1 전극(116)이 형성된 기판(100)의 전면 상에 제2 절연막(120) 및 게이트 전극용 도전막(130)을 순차적으로 형성한다. 제2 절연막(120)은 SiO_2 를 사용하여 기판(100) 상에 제3 서브 절연막(121)을 증착하고, SiNx , SiON , 또는 고유전율막을 사용하여 제3 서브 절연막(121) 상에 제4 서브 절연막(122)을 증착하여 형성한다. 게이트 전극용 도전막(130) 상에 게이트 전극(도 2의 135) 및 캐패시터 제2 전극(도 2의 136)을 형성하기 위한 제2 포토레지스트 패턴(21)을 형성한다.

[0065] 도 11을 참조하면, 제2 포토레지스트 패턴(21)을 식각 마스크로 사용하여 게이트 전극용 도전막(130) 및 제4 서브 절연막(122)을 식각한다. 제4 서브 절연막(122)을 식각하는 것은 제3 서브 절연막(121)에 대해서 식각 선택비가 높은 식각액 또는 식각가스를 이용하여 수행될 수 있다.

[0066] 도 2를 참조하면, 제2 포토레지스트 패턴(21)을 제거한 후, 제3 절연막(140), 소오스 및 드레인 전극(151, 152), 제4 절연막(160), 제2 전극(170), 제5 절연막(180), 발광층(185), 및 제2 전극(190)을 순차적으로 형성한다. 이에 대한 자세한 설명은 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치의 제조방법을 참조한다.

[0067] 본 실시예에서는 두께가 서로 다른 두 영역을 포함하는 포토레지스트 패턴을 이용하여 발광 영역(I)에 남겨지는 경우 공진 구조를 형성할 수 있는 제1 및 제2 서브 절연막(101, 102)을 제거하고, 반도체층(115) 및 캐패시터 제1 전극(116)을 형성하며, 제4 서브 절연막(122)은 게이트 전극(135) 및 캐패시터 제2 전극(136)을 형성하는 포토레지스트 패턴을 사용하여 제거함으로써, 노광공정의 추가없이 제거할 수 있다.

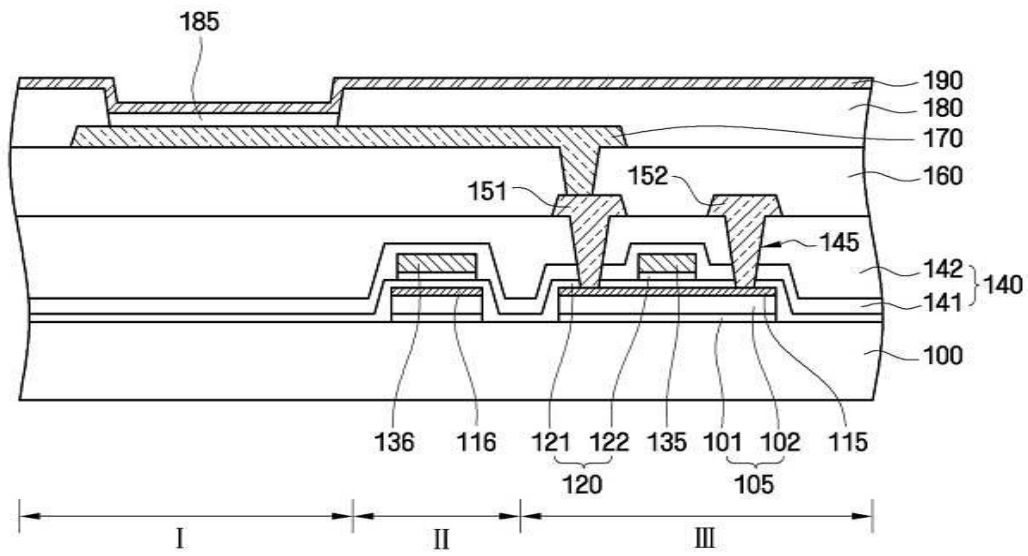
[0068] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

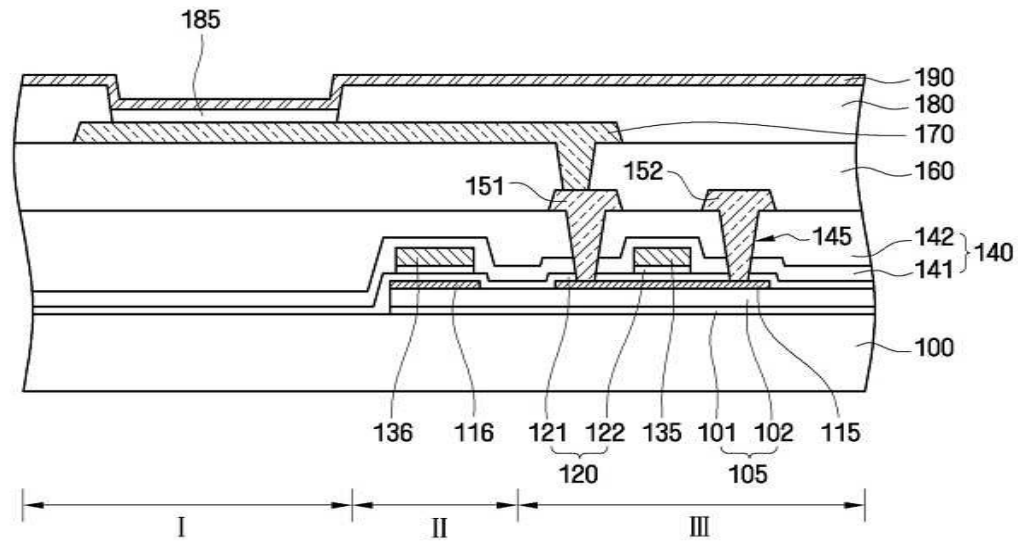
[0069]	101: 제1 서브 절연막	102: 제2 서브 절연막
	115: 반도체층	116: 캐패시터 제1 전극
	121: 제3 서브 절연막	122: 제4 서브 절연막
	135: 게이트 전극	136: 캐패시터 제2 전극
	141: 제5 서브 절연막	142: 제6 서브 절연막
	151, 152: 소오스 및 드레인 전극	160: 제4 절연막
	170: 제1 전극	180: 제5 절연막
	185: 발광층	190: 제2 전극

도면

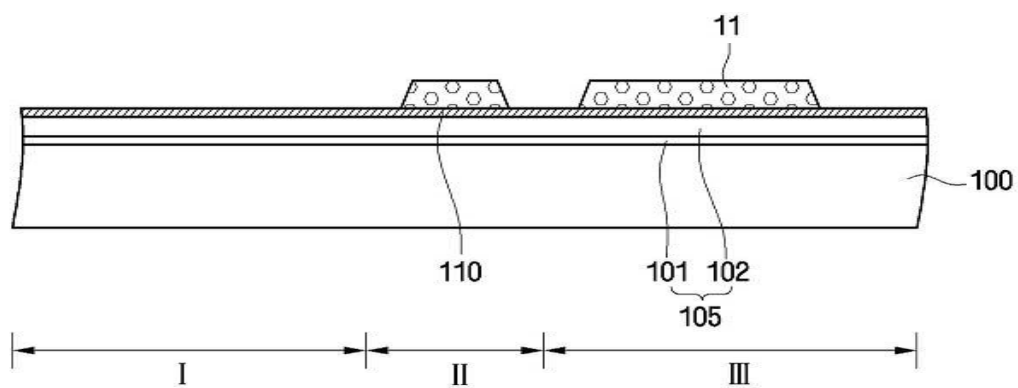
도면1



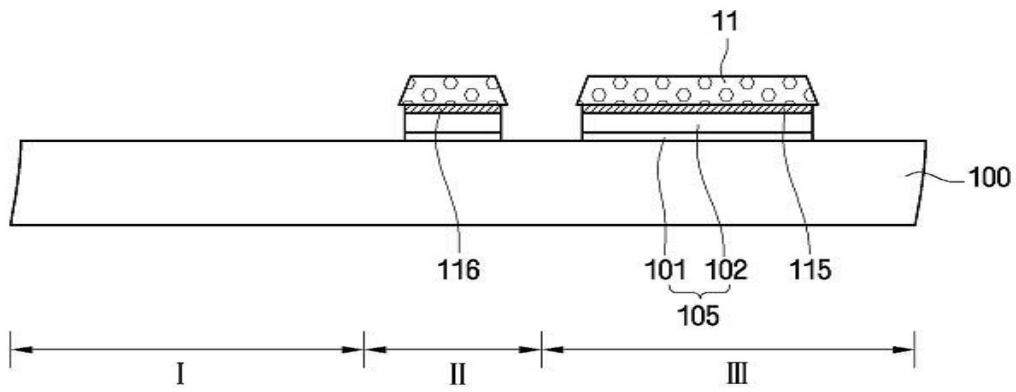
도면2



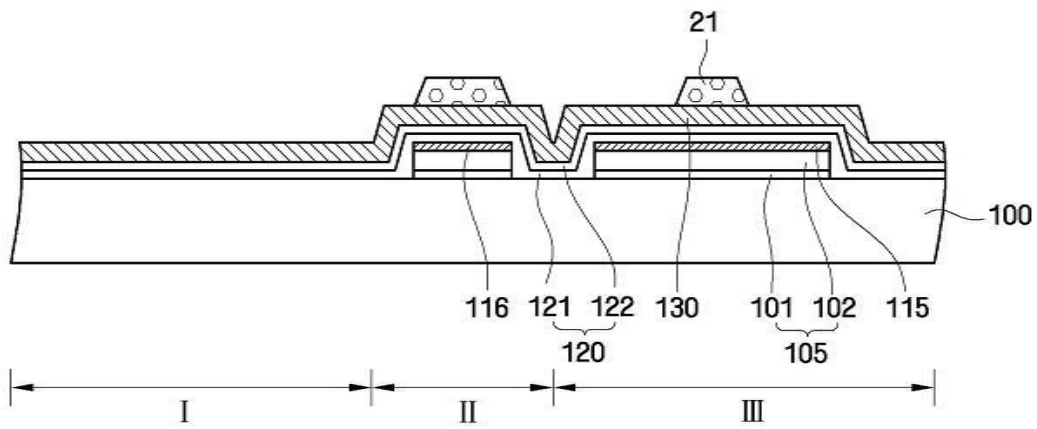
도면3



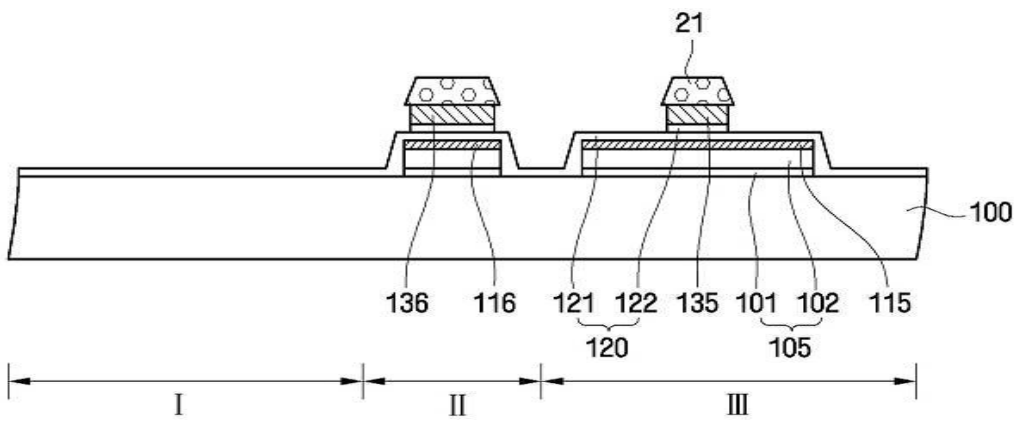
도면4



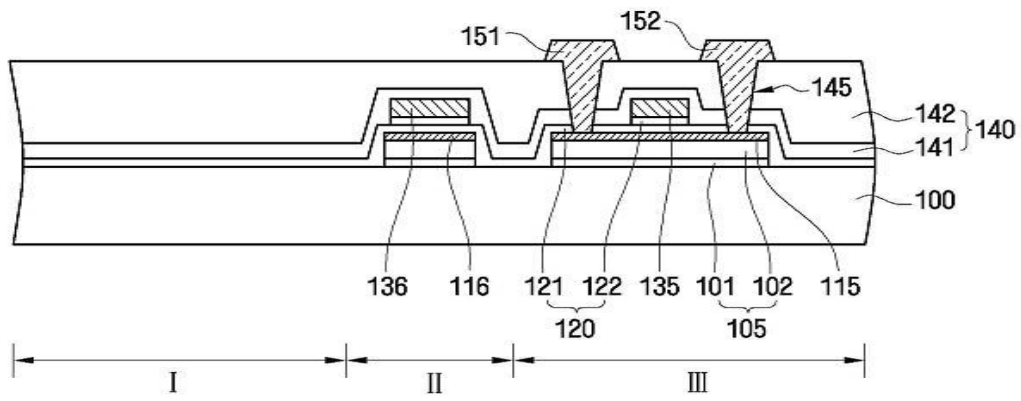
도면5



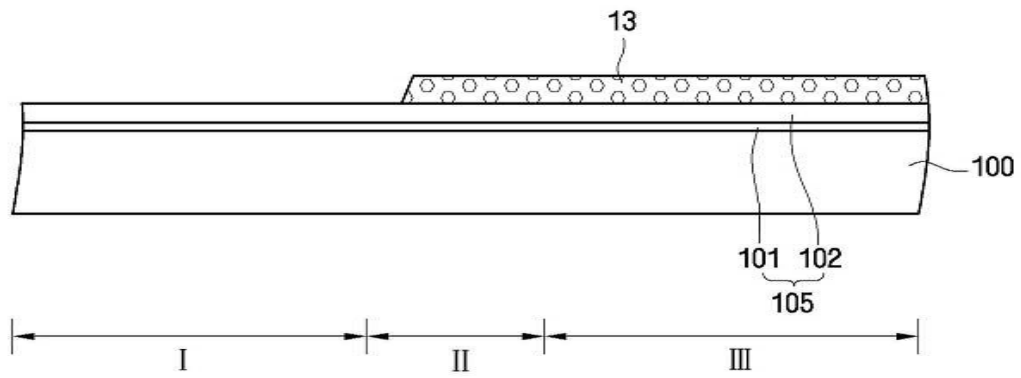
도면6



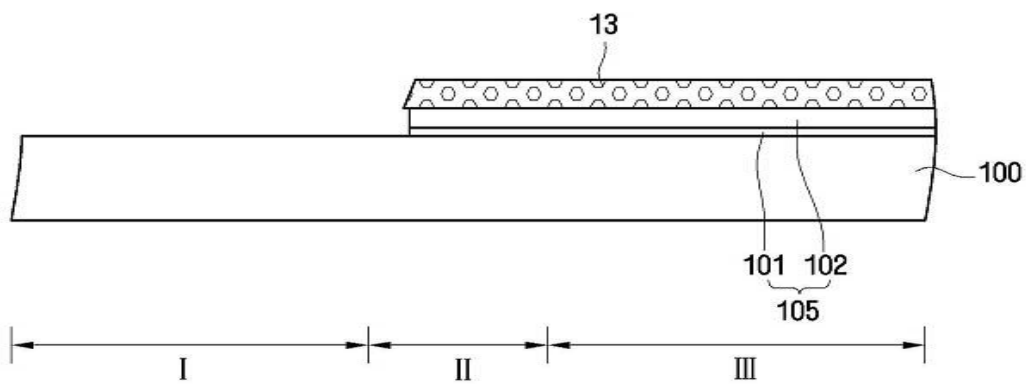
도면7



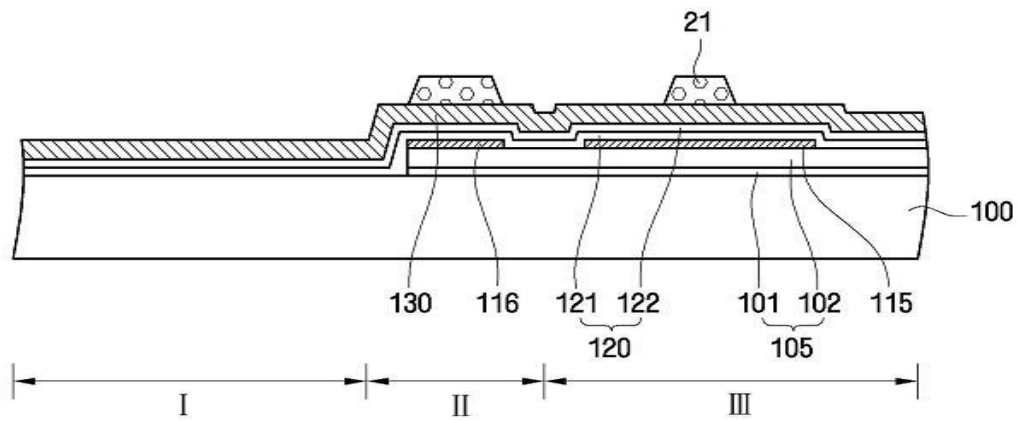
도면8



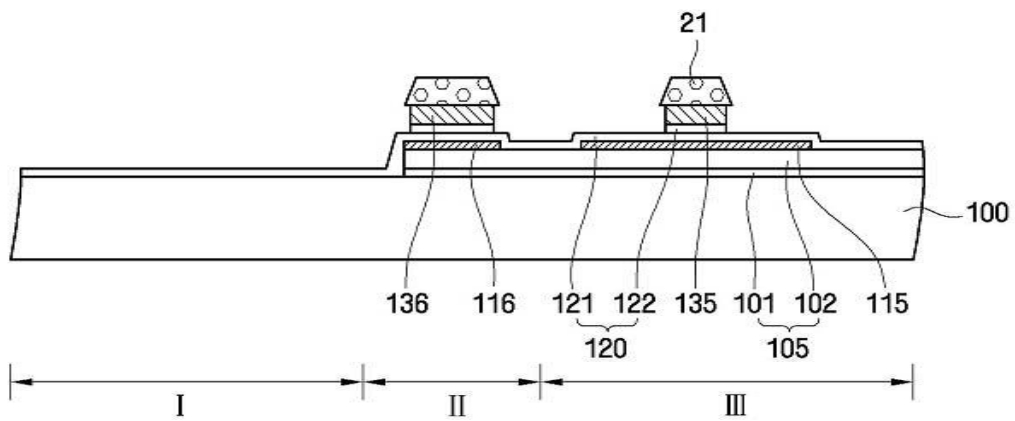
도면9



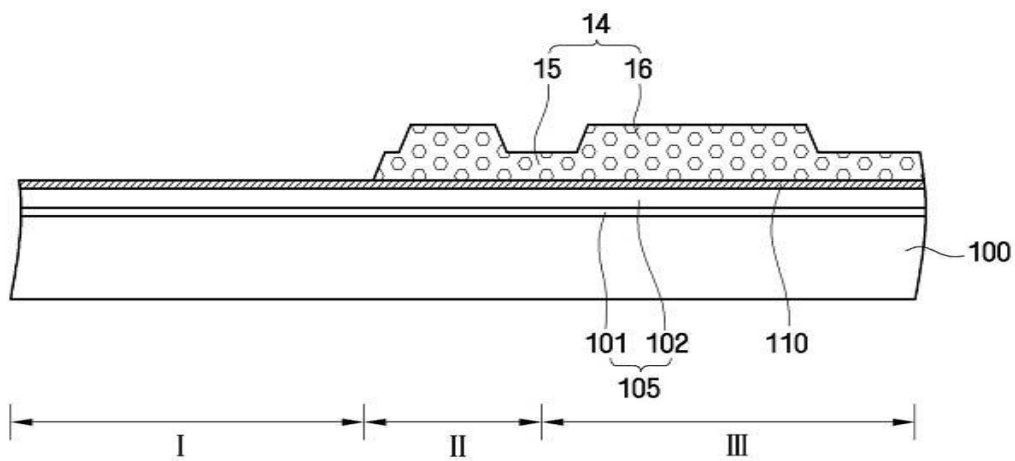
도면10



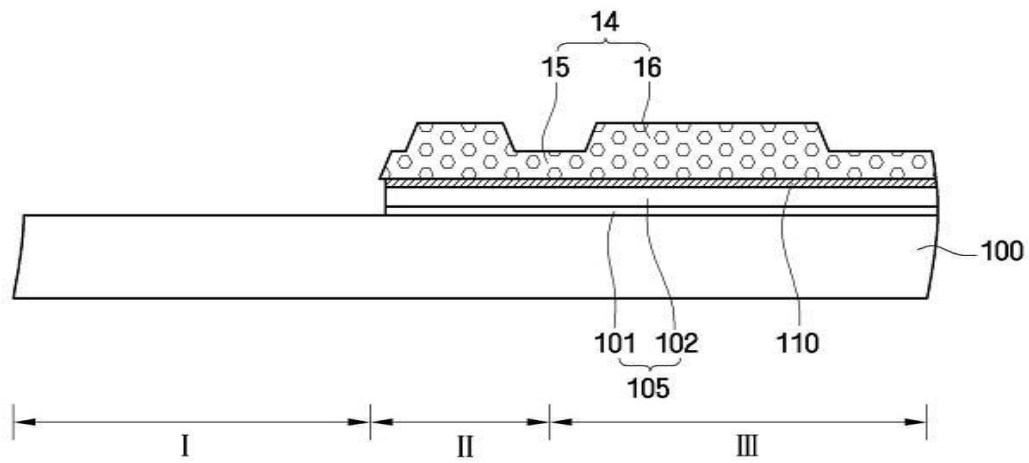
도면11



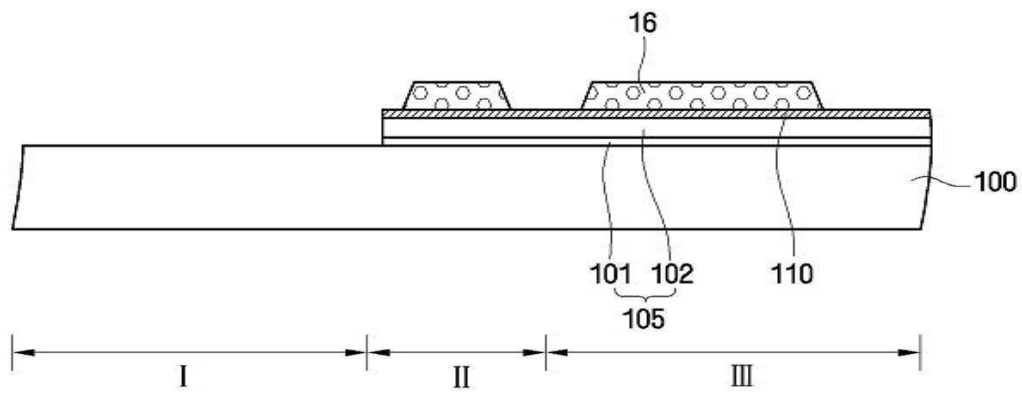
도면12



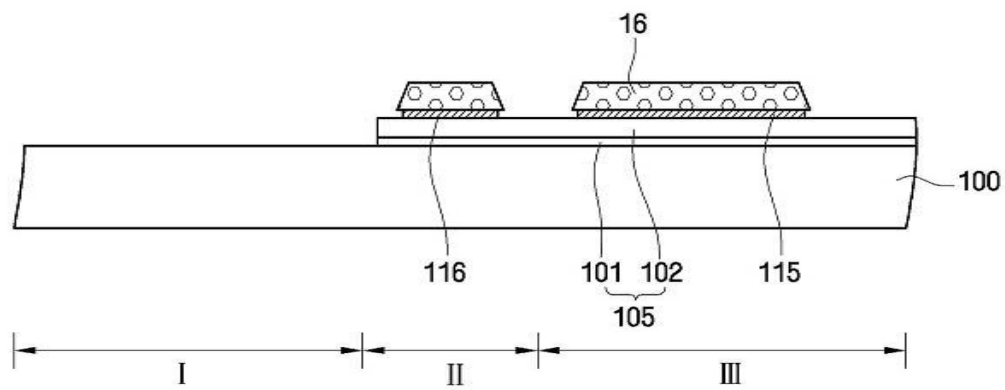
도면13



도면14



도면15



专利名称(译)	标题：有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020120061312A	公开(公告)日	2012-06-13
申请号	KR1020100122580	申请日	2010-12-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE JUNE WOO 이준우 KIM SUNG HO 김성호		
发明人	이준우 김성호		
IPC分类号	H01L51/52 H01L29/786		
CPC分类号	H01L27/326 H01L51/5262 H01L2227/323 H01L27/1288 H01L27/3258 H01L27/1218		
外部链接	Espacenet		

摘要(译)

提供一种有机发光显示装置及其制造方法。有机电致发光显示装置包括发光区域，其中限定TFT区域的基板和形成在基板上的多个绝缘层。并且存在在有机发光装置的第一电极之间形成的绝缘层之间的多个绝缘层之间改变折射率的界面，其对应于发光区域和基板1。并且，在多个绝缘层中形成的与TFT区域对应的绝缘层之间的折射率发生变化的界面存在于2以上。

