



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0037663  
(43) 공개일자 2012년04월20일

(51) 국제특허분류(Int. Cl.)  
G09G 3/30 (2006.01)

(21) 출원번호 10-2010-0099261

(22) 출원일자 2010년10월12일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이현행

경상북도 칠곡군 석적읍 동중리9길 13, LG디스플레이기숙사 B동 108호

윤중선

경기 과주시 탄현면 범흥리 민들레빌 203호

(74) 대리인

특허법인로알

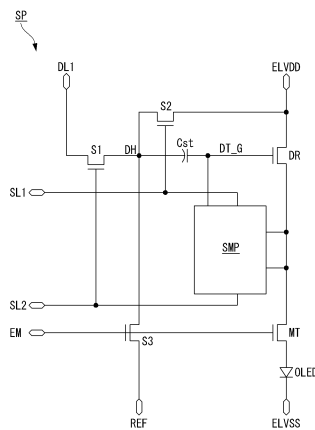
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기전계발광표시장치와 이의 구동방법

**(57) 요약**

본 발명의 실시예는, 스캔라인을 통해 공급된 스캔신호에 응답하여 데이터라인을 통해 공급된 데이터신호가 스토리지 커패시터에 데이터전압으로 저장되도록 스위칭하는 제1스위칭 트랜지스터; 데이터전압에 의해 구동전류를 발생하도록 구동하는 구동 트랜지스터; 제어라인을 통해 공급된 제어신호에 응답하여 구동 트랜지스터로부터 발생한 구동전류가 유기 발광다이오드에 전달되도록 스위칭하는 제어 트랜지스터; 프리 스캔라인을 통해 공급된 프리 스캔신호에 응답하여 제1스위칭 트랜지스터와 스토리지 커패시터가 연결된 제1노드가 제1전원단을 통해 공급된 제1전원전압으로 초기화되도록 스위칭하는 제2스위칭 트랜지스터; 제어신호에 응답하여 레퍼런스라인을 통해 공급된 레퍼런스 전압이 제1노드에 전달되도록 스위칭하는 제3스위칭 트랜지스터; 및 프리 스캔신호와 스캔신호에 의해 각각 응답하여 구동 트랜지스터의 문턱전압을 적어도 두 번의 스캔시간 동안 샘플링하는 샘플링부를 포함하는 유기전계발광표시장치를 제공한다.

**대표도 - 도2**



## 특허청구의 범위

### 청구항 1

스캔라인을 통해 공급된 스캔신호에 응답하여 데이터라인을 통해 공급된 데이터신호가 스토리지 커패시터에 데이터전압으로 저장되도록 스위칭하는 제1스위칭 트랜지스터;

상기 데이터전압에 의해 구동전류를 발생하도록 구동하는 구동 트랜지스터;

제어라인을 통해 공급된 제어신호에 응답하여 상기 구동 트랜지스터로부터 발생한 상기 구동전류가 유기 발광다이오드에 전달되도록 스위칭하는 제어 트랜지스터;

프리 스캔라인을 통해 공급된 프리 스캔신호에 응답하여 상기 제1스위칭 트랜지스터와 상기 스토리지 커패시터가 연결된 제1노드가 제1전원단을 통해 공급된 제1전원전압으로 초기화되도록 스위칭하는 제2스위칭 트랜지스터;

상기 제어신호에 응답하여 레퍼런스라인을 통해 공급된 레퍼런스 전압이 상기 제1노드에 전달되도록 스위칭하는 제3스위칭 트랜지스터; 및

상기 프리 스캔신호와 상기 스캔신호에 의해 각각 응답하여 상기 구동 트랜지스터의 문턱전압을 적어도 두 번의 스캔시간 동안 샘플링하는 샘플링부를 포함하는 유기전계발광표시장치.

### 청구항 2

제1항에 있어서,

상기 샘플링부는,

2 개의 스위칭 트랜지스터를 포함하는 오아(OR) 로직 게이트로 구성된 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 3

제1항에 있어서,

상기 샘플링부는,

상기 프리 스캔신호에 응답하여 상기 구동 트랜지스터의 문턱전압을 제1 스캔시간 동안 샘플링하는 제1샘플링 트랜지스터와,

상기 스캔신호에 응답하여 상기 구동 트랜지스터의 문턱전압을 제2 스캔시간 동안 샘플링하는 제2샘플링 트랜지스터를 포함하는 유기전계발광표시장치.

### 청구항 4

제1항에 있어서,

상기 제1스위칭 트랜지스터는 상기 스캔라인에 게이트 전극이 연결되고 상기 데이터라인에 제1전극이 연결되고 상기 제1노드에 제2전극이 연결되며,

상기 스토리지 커패시터는 상기 제1노드에 일단이 연결되고 상기 구동 트랜지스터의 게이트 전극에 타단이 연결되며,

상기 구동 트랜지스터는 상기 스토리지 커패시터에 게이트 전극이 연결되고 상기 제1전원단에 제1전극이 연결되고 상기 제어 트랜지스터의 제1전극에 제2전극이 연결되며,

상기 유기 발광다이오드는 상기 제어 트랜지스터의 제2전극에 애노드 전극이 연결되고 제2전원전압이 공급되는 제2전원단에 캐소드 전극이 연결되며,

상기 제어 트랜지스터는 상기 제어라인에 게이트 전극이 연결되고 상기 구동 트랜지스터의 제2전극에 제1전극이 연결되고 상기 유기 발광다이오드의 애노드 전극에 제2전극이 연결되며,

상기 제2스위칭 트랜지스터는 상기 프리 스캔라인에 게이트 전극이 연결되고 상기 제1노드에 제1전극이 연결되고 상기 제1전원단에 제2전극이 연결되며,

상기 제3스위칭 트랜지스터는 상기 제어라인에 게이트 전극이 연결되고 상기 레퍼런스라인에 제1전극이 연결되고 상기 제1노드에 제2전극이 연결된 것을 특징으로 하는 유기전계발광표시장치.

**청구항 5**

제4항에 있어서,

상기 샘플링부는,

상기 프리 스캔라인에 게이트 전극이 연결되고 상기 구동 트랜지스터의 게이트 전극에 제1전극이 연결되고 상기 구동 트랜지스터의 제2전극에 제2전극이 연결된 제1샘플링 트랜지스터와,

상기 스캔라인에 게이트 전극이 연결되고 상기 구동 트랜지스터의 게이트 전극에 제1전극이 연결되고 상기 구동 트랜지스터의 제2전극에 제2전극이 연결된 제2샘플링 트랜지스터를 포함하는 유기전계발광표시장치.

**청구항 6**

제1항에 있어서,

상기 프리 스캔신호와 상기 제어신호가 로직 로우 신호 상태이고 상기 스캔신호가 로직 하이 신호 상태일 때 상기 제1노드가 상기 제1전원전압에 의해 초기화 되고,

상기 프리 스캔신호가 로직 로우 신호 상태이고 상기 스캔신호와 상기 제어신호가 로직 하이 신호 상태일 때 상기 문턱전압에 대한 제1 샘플링이 이루어지고,

상기 프리 스캔신호와 상기 제어신호가 로직 하이 신호 상태이고 상기 스캔신호가 로직 로우 신호 상태일 때 상기 스토리지 커패시터에 상기 데이터전압을 저장함과 아울러 상기 문턱전압에 대한 제2 샘플링이 이루어지며,

상기 프리 스캔신호와 상기 스캔신호가 로직 하이 신호 상태이고 상기 제어신호가 로직 로우 신호 상태일 때 상기 유기 발광다이오드가 발광하는 것을 특징으로 하는 유기전계발광표시장치.

**청구항 7**

제6항에 있어서,

상기 제1노드가 상기 제1전원전압에 의해 초기화 되는 시간 및 상기 제1 샘플링이 이루어지는 시간은 상기 제2 샘플링이 이루어지는 시간에 대응되는 것을 특징으로 하는 유기전계발광표시장치.

**청구항 8**

제1항에 있어서,

상기 프리 스캔라인은,

전단에 위치하는 서브 픽셀에 제N-1번째 스캔신호를 공급하는 제N-1번째 스캔라인인 것을 특징으로 하는 유기전계발광표시장치.

**청구항 9**

프리 스캔신호와 제어신호를 제1로직 신호 상태로 하고 스캔신호를 제2로직 신호 상태로 하여 제1노드를 제1전원전압으로 초기화시키는 단계;

상기 프리 스캔신호를 상기 제1로직 신호 상태로 하고 상기 스캔신호와 상기 제어신호를 제2로직 신호 상태로 하여 구동 트랜지스터의 문턱전압에 대한 제1 샘플링을 하는 단계;

상기 프리 스캔신호와 상기 제어신호를 상기 제2로직 신호 상태로 하고 상기 스캔신호를 상기 제1로직 신호 상태로 하여 스토리지 커패시터에 데이터전압을 저장함과 아울러 상기 문턱전압에 대한 제2 샘플링을 하는 단계; 및

상기 프리 스캔신호와 상기 스캔신호를 제2로직 신호 상태로 하고 상기 제어신호를 제1로직 신호 상태로 하여

유기 발광다이오드를 발광시키는 단계를 포함하는 유기전계발광표시장치의 구동방법.

**청구항 10**

제9항에 있어서,

상기 제1 샘플링 단계와 상기 제2 샘플링 단계는,

상기 구동 트랜지스터의 게이트 전극과 제2전극에 연결되고 2 개의 스위칭 트랜지스터를 포함하는 오아(OR) 로직 게이트를 이용하는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

**명세서**

**기술분야**

[0001] 본 발명은 유기전계발광표시장치와 이의 구동방법에 관한 것이다.

**배경기술**

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다. 유기전계발광소자는 전자(electron) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태에서부터 기저상태로 떨어질 때 발광하는 소자이다.

[0003] 유기전계발광소자를 이용한 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 및 양면발광(Dual-Emission) 등이 있고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어진다.

[0004] 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀에 스캔 신호, 데이터 신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

[0005] 유기전계발광표시장치는 트랜지스터의 문턱전압이 시프트하기 때문에 시간에 따라 구동전류가 낮아져 소자의 수명이 감소하는 문제가 있다. 이에 따라, 종래에는 1H(Horizontal)기간 동안 문턱전압을 센싱(sensing)하고 문턱전압을 캔슬링(canceling)하여 발광시 소자 특성에 따른 문턱전압 시프트와 무관하게 일정한 전류 구동을 하기 위한 보상 방안들이 제안되었다. 그런데, 종래 보상 방법은 고속 구동으로 갈수록(예컨대 60Hz → 240Hz 또는 그 이상) 문턱전압 센싱 시간 마진이 부족하게 되어 문턱전압 센싱 정확도(Vth sensing accuracy)가 떨어지는 문제가 있어 이의 개선이 요구된다.

**발명의 내용**

**해결하려는 과제**

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 실시예는, 구동 트랜지스터의 문턱전압 센싱 정확도를 향상시키고 고속구동하에서 문턱전압 센싱 시간 마진을 확보하여 소자의 변화 및 전원 전압 강하에 의한 휘도 편차를 개선할 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 것이다.

**과제의 해결 수단**

[0007] 상술한 과제 해결 수단으로 본 발명의 실시예는, 스캔라인을 통해 공급된 스캔신호에 응답하여 데이터라인을 통해 공급된 데이터신호가 스토리지 커패시터에 데이터전압으로 저장되도록 스위칭하는 제1스위칭 트랜지스터; 데이터전압에 의해 구동전류를 발생하도록 구동하는 구동 트랜지스터; 제어라인을 통해 공급된 제어신호에 응답하여 구동 트랜지스터로부터 발생하는 구동전류가 유기 발광다이오드에 전달되도록 스위칭하는 제어 트랜지스터; 프리 스캔라인을 통해 공급된 프리 스캔신호에 응답하여 제1스위칭 트랜지스터와 스토리지 커패시터가 연결된 제1노드가 제1전원단을 통해 공급된 제1전원전압으로 초기화되도록 스위칭하는 제2스위칭 트랜지스터; 제어신호에 응답하여 레퍼런스라인을 통해 공급된 레퍼런스 전압이 제1노드에 전달되도록 스위칭하는 제3스위칭

트랜지스터; 및 프리 스캔신호와 스캔신호에 의해 각각 응답하여 구동 트랜지스터의 문턱전압을 적어도 두 번의 스캔시간 동안 샘플링하는 샘플링부를 포함하는 유기전계발광표시장치를 제공한다.

- [0008] 샘플링부는, 2 개의 스위칭 트랜지스터를 포함하는 오아(OR) 로직 게이트로 구성될 수 있다.
- [0009] 샘플링부는, 프리 스캔신호에 응답하여 구동 트랜지스터의 문턱전압을 제1 스캔시간 동안 샘플링하는 제1샘플링 트랜지스터와, 스캔신호에 응답하여 구동 트랜지스터의 문턱전압을 제2 스캔시간 동안 샘플링하는 제2샘플링 트랜지스터를 포함할 수 있다.
- [0010] 제1스위칭 트랜지스터는 스캔라인에 게이트 전극이 연결되고 데이터라인에 제1전극이 연결되고 제1노드에 제2전극이 연결되며, 스토리지 커패시터는 제1노드에 일단이 연결되고 구동 트랜지스터의 게이트 전극에 타단이 연결되며, 구동 트랜지스터는 스토리지 커패시터에 게이트 전극이 연결되고 제1전원단에 제1전극이 연결되고 제어 트랜지스터의 제1전극에 제2전극이 연결되며, 유기 발광다이오드는 제어 트랜지스터의 제2전극에 애노드 전극이 연결되고 제2전원전압이 공급되는 제2전원단에 캐소드 전극이 연결되며, 제어 트랜지스터는 제어라인에 게이트 전극이 연결되고 구동 트랜지스터의 제2전극에 제1전극이 연결되고 유기 발광다이오드의 애노드 전극에 제2전극이 연결되며, 제2스위칭 트랜지스터는 프리 스캔라인에 게이트 전극이 연결되고 제1노드에 제1전극이 연결되고 제1전원단에 제2전극이 연결되며, 제3스위칭 트랜지스터는 제어라인에 게이트 전극이 연결되고 레퍼런스라인에 제1전극이 연결되고 제1노드에 제2전극이 연결될 수 있다.
- [0011] 샘플링부는, 프리 스캔라인에 게이트 전극이 연결되고 구동 트랜지스터의 게이트 전극에 제1전극이 연결되고 구동 트랜지스터의 제2전극에 제2전극이 연결된 제1샘플링 트랜지스터와, 스캔라인에 게이트 전극이 연결되고 구동 트랜지스터의 게이트 전극에 제1전극이 연결되고 구동 트랜지스터의 제2전극에 제2전극이 연결된 제2샘플링 트랜지스터를 포함할 수 있다.
- [0012] 프리 스캔신호와 제어신호가 로직 로우 신호 상태이고 스캔신호가 로직 하이 신호 상태일 때 제1노드가 제1전원 전압에 의해 초기화 되고, 프리 스캔신호가 로직 로우 신호 상태이고 스캔신호와 제어신호가 로직 하이 신호 상태일 때 문턱전압에 대한 제1 샘플링이 이루어지고, 프리 스캔신호와 제어신호가 로직 하이 신호 상태이고 스캔신호가 로직 로우 신호 상태일 때 스토리지 커패시터에 데이터전압을 저장함과 아울러 문턱전압에 대한 제2 샘플링이 이루어지며, 프리 스캔신호와 스캔신호가 로직 하이 신호 상태이고 제어신호가 로직 로우 신호 상태일 때 유기 발광다이오드가 발광할 수 있다.
- [0013] 제1노드가 제1전원전압에 의해 초기화 되는 시간 및 제1 샘플링이 이루어지는 시간은 제2 샘플링이 이루어지는 시간에 대응될 수 있다.
- [0014] 프리 스캔라인은, 전단에 위치하는 서브 픽셀에 제N-1번째 스캔신호를 공급하는 제N-1번째 스캔라인일 수 있다.
- [0015] 다른 측면에서 본 발명의 실시예는, 프리 스캔신호와 제어신호를 제1로직 신호 상태로 하고 스캔신호를 제2로직 신호 상태로 하여 제1노드를 제1전원전압으로 초기화시키는 단계; 프리 스캔신호를 제1로직 신호 상태로 하고 스캔신호와 제어신호를 제2로직 신호 상태로 하여 구동 트랜지스터의 문턱전압에 대한 제1 샘플링을 하는 단계; 프리 스캔신호와 제어신호를 제2로직 신호 상태로 하고 스캔신호를 제1로직 신호 상태로 하여 스토리지 커패시터에 데이터전압을 저장함과 아울러 문턱전압에 대한 제2 샘플링을 하는 단계; 및 프리 스캔신호와 스캔신호를 제2로직 신호 상태로 하고 제어신호를 제1로직 신호 상태로 하여 유기 발광다이오드를 발광시키는 단계를 포함하는 유기전계발광표시장치의 구동방법을 제공한다.
- [0016] 제1 샘플링 단계와 제2 샘플링 단계는, 구동 트랜지스터의 게이트 전극과 제2전극에 연결되고 2 개의 스위칭 트랜지스터를 포함하는 오아(OR) 로직 게이트를 이용할 수 있다.

**발명의 효과**

- [0017] 본 발명의 실시예는 오아 로직 게이트를 사용하여 동일 구동 주파수 조건하에서 2배의 시간으로 구동 트랜지스터의 문턱전압을 샘플링하여 문턱전압 센싱 정확도를 향상시키고 고속구동하에서 문턱전압 센싱 시간 마진을 확보하여 소자의 변화 및 전원 전압 강하에 의한 휘도 편차를 개선할 수 있는 유기전계발광표시장치와 이의 구동 방법을 제공하는 효과가 있다.

**도면의 간단한 설명**

- [0018] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 블록도.
- 도 2는 본 발명의 일 실시예에 따른 서브 픽셀의 개략적인 회로 구성도.
- 도 3은 도 2에 도시된 서브 픽셀의 보다 구체적인 회로 구성도.
- 도 4는 본 발명의 일 실시예에 따른 서브 픽셀의 구동 파형도.
- 도 5는 구동 트랜지스터의 문턱전압 시프트에 따른 비교예와 실시예 간의 성능을 비교 설명하기 위한 시뮬레이션 그래프.

**발명을 실시하기 위한 구체적인 내용**

- [0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0020] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 블록도이다.
- [0021] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 타이밍제어부(TCN), 데이터구동부(DDRV), 스캔구동부(SDRV) 및 표시패널(PNL)을 포함한다.
- [0022] 타이밍제어부(TCN)는 외부로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK), 데이터신호(DATA)를 공급받는다. 타이밍제어부(TCN)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK) 등의 타이밍신호를 이용하여 데이터구동부(DDRV)와 게이트구동부(SDRV)의 동작 타이밍을 제어한다. 타이밍제어부(TCN)는 1H(Horizontal)기간의 데이터 인에이블 신호(DE)를 카운트하여 프레임기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)는 생략될 수 있다. 타이밍제어부(TCN)에서 생성되는 제어신호들에는 게이트구동부(SDRV)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(DDRV)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함될 수 있다. 게이트 타이밍 제어신호(GDC)에는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 시프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등이 포함된다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트신호가 발생하는 게이트 드라이브 IC(Integrated Circuit)에 공급된다. 게이트 시프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 시프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들의 출력을 제어한다. 데이터 타이밍 제어신호(DDC)에는 소스 스타트 펄스(Source, Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등이 포함된다. 소스 스타트 펄스(SSP)는 데이터구동부(DDRV)의 데이터 샘플링 시작 시점을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터구동부(DDRV) 내에서 데이터의 샘플링 동작을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터구동부(DDRV)의 출력을 제어한다. 한편, 데이터구동부(DDRV)에 공급되는 소스 스타트 펄스(SSP)는 데이터전송 방식에 따라 생략될 수도 있다.
- [0023] 데이터구동부(DDRV)는 타이밍제어부(TCN)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍제어부(TCN)로부터 공급되는 디지털 형태의 데이터신호(DATA)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터구동부(DDRV)는 병렬 데이터 체계의 데이터로 변환할 때, 디지털 형태의 데이터신호를 감마 기준 전압으로 변환하여 아날로그 형태의 데이터신호로 변환한다. 데이터구동부(DDRV)는 데이터라인들(DL1~DLn)을 통해 변환된 데이터신호를 표시패널(PNL)에 포함된 서브 픽셀(SP)에 공급한다.
- [0024] 스캔구동부(SDRV)는 타이밍제어부(TCN)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 표시패널(PNL)에 포함된 서브 픽셀(SP)의 트랜지스터들이 동작 가능한 게이트 구동전압의 스윙폭으로 신호의 레벨을 시프트시키면서 스캔신호를 순차적으로 생성한다. 스캔구동부(SDRV)는 스캔배선(SCAN)을 통해 생성된 스캔신호를 표시패널(PNL)에 포함된 서브 픽셀(SP)에 공급한다.
- [0025] 표시패널(PNL)은 다수의 서브 픽셀(SP)을 포함한다. 다수의 서브 픽셀(SP)에는 각각 7개의 트랜지스터, 1개의 스토리지 커패시터 및 유기 발광다이오드가 포함될 수 있으나 이에 한정되지 않는다. 다수의 서브 픽셀(SP)은 매트릭스형태로 표시패널(PNL)에 배치될 수 있으나 이에 한정되지 않는다.
- [0026] 이하, 본 발명의 일 실시예에 따른 서브 픽셀의 회로 구성에 대해 더욱 자세히 설명한다.
- [0027] 도 2는 본 발명의 일 실시예에 따른 서브 픽셀의 개략적인 회로 구성도이고, 도 3은 도 2에 도시된 서브 픽셀의

보다 구체적인 회로 구성도이다.

- [0028] 도 2에 도시된 바와 같이, 서브 픽셀(SP)에는 제1스위칭 트랜지스터(S1), 구동 트랜지스터(DR), 제어 트랜지스터(MT), 제2스위칭 트랜지스터(S2), 제3스위칭 트랜지스터(S3), 스토리지 커패시터(Cst), 유기 발광다이오드(OLED) 및 샘플링부(SMP)가 포함된다.
- [0029] 제1스위칭 트랜지스터(S1)는 스캔라인(SL2)을 통해 공급된 스캔신호에 응답하여 데이터라인(DL1)을 통해 공급된 데이터신호가 스토리지 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭하는 역할을 한다.
- [0030] 구동 트랜지스터(DR)는 스토리지 커패시터(Cst)에 저장된 데이터전압에 따라 구동전류를 발생하도록 구동하는 역할을 한다.
- [0031] 제어 트랜지스터(MT)는 제어라인(EM)을 통해 공급된 제어신호에 응답하여 구동 트랜지스터(DR)로부터 발생한 구동전류가 유기 발광다이오드(OLED)에 전달되도록 스위칭하는 역할을 한다.
- [0032] 제2스위칭 트랜지스터(S2)는 프리 스캔라인(SL1)을 통해 공급된 프리 스캔신호에 응답하여 제1스위칭 트랜지스터(S1)와 스토리지 커패시터(Cst)가 연결된 제1노드(DH)가 제1전원단(ELVDD)을 통해 공급된 제1전원전압으로 초기화되도록 스위칭하는 역할을 한다.
- [0033] 제3스위칭 트랜지스터(S3)는 제어라인(EM)을 통해 공급된 제어신호에 응답하여 레퍼런스라인(REF)을 통해 공급된 레퍼런스 전압이 제1노드(DH)에 전달되도록 스위칭하는 역할을 한다.
- [0034] 스토리지 커패시터(Cst)는 데이터라인(DL1)을 통해 공급된 데이터신호를 데이터전압으로 저장하는 역할을 한다.
- [0035] 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)로부터 발생된 구동전류에 따라 발광하는 역할을 한다.
- [0036] 샘플링부(SMP)는 프리 스캔라인(SL1)을 통해 공급된 프리 스캔신호와 스캔라인(SL2)을 통해 공급된 스캔신호에 의해 각각 응답하여 구동 트랜지스터(DR)의 문턱전압을 적어도 두 번의 스캔시간 동안 샘플링하는 역할을 한다. 샘플링부(SMP)는 2 개의 스위칭 트랜지스터를 포함하는 오아(OR) 로직 게이트로 구성된다. 샘플링부(SMP)는 구동 트랜지스터(DR)를 다이오드 커넥션으로 형성하여 구동 트랜지스터(DR)의 문턱전압을 센싱하도록 동작한다.
- [0037] 이하, 서브 픽셀 회로의 연결관계 및 샘플링부(SMP)에 대해 더욱 자세히 설명한다.
- [0038] 도 3에 도시된 바와 같이, 제1스위칭 트랜지스터(S1)는 스캔라인(SL1)에 게이트 전극이 연결되고 데이터라인(DL1)에 제1전극이 연결되고 제1노드(DH)에 제2전극이 연결된다. 스토리지 커패시터(Sst)는 제1노드(DH)에 일단이 연결되고 구동 트랜지스터(DR)의 게이트 전극에 타단이 연결된다. 구동 트랜지스터(DR)는 스토리지 커패시터(Cst)의 타단에 게이트 전극이 연결되고 제1전원단(ELVDD)에 제1전극이 연결되고 제어 트랜지스터(MT)의 제1전극에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 제어 트랜지스터(EM)의 제2전극에 애노드 전극이 연결되고 제2전원전압이 공급되는 제2전원단(ELVSS)에 캐소드 전극이 연결된다. 제어 트랜지스터(MT)는 제어라인(EM)에 게이트 전극이 연결되고 구동 트랜지스터(DR)의 제2전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드 전극에 제2전극이 연결된다. 제2스위칭 트랜지스터(S2)는 프리 스캔라인(SL1)에 게이트 전극이 연결되고 제1노드(DH)에 제1전극이 연결되고 제1전원단(ELVDD)에 제2전극이 연결된다. 제3스위칭 트랜지스터(S3)는 제어라인(EM)에 게이트 전극이 연결되고 레퍼런스라인(REF)에 제1전극이 연결되고 제1노드(DH)에 제2전극이 연결된다.
- [0039] 샘플링부(SMP)에는 제1샘플링 트랜지스터(M1)와 제2샘플링 트랜지스터(M2)가 포함된다. 제1샘플링 트랜지스터(M1)는 프리 스캔라인(SL1)에 게이트 전극이 연결되고 구동 트랜지스터(DR)의 게이트 전극에 제1전극이 연결되고 구동 트랜지스터(DR)의 제2전극에 제2전극이 연결된다. 제2샘플링 트랜지스터(M2)는 스캔라인(SL2)에 게이트 전극이 연결되고 구동 트랜지스터(DR)의 게이트 전극에 제1전극이 연결되고 구동 트랜지스터(DR)의 제2전극에 제2전극이 연결된다. 여기서, 프리 스캔라인(SL1)은 전단에 위치하는 서브 픽셀에 제N-1번째 스캔신호를 공급하는 제N-1번째 스캔라인으로 설정될 수 있으나 이에 한정되지 않는다.
- [0040] 제1샘플링 트랜지스터(M1)는 프리 스캔라인(SL1)을 통해 공급된 프리 스캔신호에 응답하여 구동 트랜지스터(DR)의 문턱전압을 제1 스캔시간 동안 샘플링하는 역할을 한다. 제2샘플링 트랜지스터(M2)는 스캔라인(SL2)을 통해 공급된 스캔신호에 응답하여 구동 트랜지스터(DR)의 문턱전압을 제2 스캔시간 동안 샘플링하는 역할을 한다.
- [0041] 이하, 앞서 설명한 서브 픽셀의 구동방법에 대해 설명한다.
- [0042] 도 4는 본 발명의 일 실시예에 따른 서브 픽셀의 구동 파형도이고, 도 5는 구동 트랜지스터의 문턱전압 시프트

에 따른 비교예와 실시예 간의 성능을 비교 설명하기 위한 시뮬레이션 그래프이다.

- [0043] 도 1 내지 도 4에 도시된 바와 같이, 본 발명의 일 실시예에 따른 서브 픽셀의 구동방법은 초기화 단계(1), 제1 샘플링 단계(2), 제2 샘플링 단계(3) 및 발광 단계(4)로 진행된다.
- [0044] 초기화 단계(1)는 프리 스캔신호(prescan)와 제어신호(em)를 제1로직 신호 상태인 로직 로우 신호(0)로 하고 스캔신호(scan)를 제2로직 신호 상태인 로직 하이 신호(1)로 하여 제1노드(DH)를 제1전원전압으로 초기화시키는 단계이다. 이에 따라, 제1 샘플링 트랜지스터(M1) 및 제2스위칭 트랜지스터(S2)는 온(on) 되고 레퍼런스전압과 제1전원전압이 제1노드(DH)에 차징되므로 제1노드(DH)는 제1전원단(ELVDD)으로 공급되는 제1전원전압(ELVDD)으로 초기화된다.
- [0045] 제1 샘플링 단계(2)는 프리 스캔신호(prescan)를 제1로직 신호 상태인 로직 로우 신호(0)로 하고 스캔신호(scan)와 제어신호(em)를 제2로직 신호 상태인 로직 하이 신호(1)로 하여 구동 트랜지스터(DR)의 문턱전압에 대한 제1 샘플링을 하는 단계이다. 이에 따라, 제3스위칭 트랜지스터(S3) 및 제어 트랜지스터(MT)는 오프(off) 되고 제1 샘플링 트랜지스터(M1)는 온(on) 되므로 제1 샘플링 트랜지스터(M1)는 구동 트랜지스터(DR)의 문턱전압을 제1 스캔 시간동안 샘플링하게 된다.
- [0046] 제2 샘플링 단계(3)는 프리 스캔신호(prescan)와 제어신호(em)를 제2로직 신호 상태인 로직 하이 신호(1)로 하고 스캔신호(scan)를 제1로직 신호 상태인 로직 로우 신호(0)로 하여 스토리지 커패시터(Cst)에 데이터전압을 저장함과 아울러 문턱전압에 대한 제2 샘플링을 하는 단계이다. 이에 따라, 제1 샘플링 트랜지스터(M1) 및 제2 스위칭 트랜지스터(S2)는 오프(off) 되고 제1스위칭 트랜지스터(S1) 및 제2 샘플링 트랜지스터(M2)가 온(on) 되므로 제2 샘플링 트랜지스터(M2)는 구동 트랜지스터(DR)의 문턱전압을 제2 스캔 시간동안 샘플링하게 된다.
- [0047] 발광 단계(4)는 프리 스캔신호(prescan)와 스캔신호(scan)를 제2로직 신호 상태인 로직 하이 신호(1)로 하고 제어신호(em)를 제1로직 신호 상태인 로직 로우 신호(0)로 하여 유기 발광다이오드(OLED)를 발광시키는 단계이다. 이에 따라, 제1스위칭 트랜지스터(S1) 및 제2 샘플링 트랜지스터(M2)는 오프(off) 되고 제어 트랜지스터(MT)가 온(on) 되므로 구동 트랜지스터(DR)에 의해 발생된 구동전류에 의해 유기 발광다이오드(OLED)는 발광을 하게 된다.
- [0048] 위의 설명에 따르면, 제1노드(DH)가 제1전원전압(ELVDD)에 의해 초기화 되는 시간 및 제1 샘플링이 이루어지는 시간은 제2 샘플링이 이루어지는 시간에 대응된다.
- [0049] 도 5에 도시된 바와 같이, 구동 트랜지스터의 문턱전압 시프트(Delta\_Vth)가  $\pm 0.5$ 일 때 비교예의 구조는 대략 5% 에러(error)를 나타낸 반면 실시예의 구조는 대략 4% 에러(error)를 나타내었다. 또한, 네거티브 시프트의 경우 비교예의 구조는 대략 5% 에러(error)를 나타낸 반면 실시예의 구조는 대략 1.5% 에러(error)로 비교예 대비 3배 정도 좋은 성능을 나타내었다.
- [0050] 실시예에 따른 서브 픽셀 회로는 7T1C 구조로 1개의 구동 트랜지스터(DR)와 6개의 스위칭 트랜지스터(S1, S2, S3, MT, M1, M2)로 구성된다. 실시예에 따른 서브 픽셀 회로는 구동 트랜지스터(DR)의 문턱전압(Vth)을 샘플링(sampling) 하기 위한 제1 및 제2 샘플링 트랜지스터(M1, M2)를 병렬로 연결하여 현재 단의 스캔신호(scan)와 전단의 스캔신호(prescan)가 온(on)되어 있는 기간 동안 구동 트랜지스터(DR)의 문턱전압을 더블 샘플링(Double Sampling)한다는 것이다. 여기서, 전단의 스캔신호(prescan)가 온(on) 되어 있는 기간에는 데이터 홀드 노드(data hold node)인 제1노드(DH)를 제1전원단(ELVDD)의 제1전원전압인 높은 전압으로 초기화한다. 그리고 현재 단의 스캔신호(scan)가 온(on) 될 때는 데이터신호를 스토리지 커패시터(Cst)에 저장하면서 샘플링한다. 여기서, 스토리지 커패시터(Cst)에 저장되는 데이터전압은 제1전원전압 보다 낮은 전압이기 때문에 더블 샘플링 구간에서 구동 트랜지스터(DR)의 게이트 노드(DT\_G, DR gate node)를 낮추게 된다.
- [0051] 즉, 실시예의 구조는 유기 발광다이오드(OLED)의 연결단에 가상 오아 로직 게이트(pseudo OR logic gate)를 구성하여 문턱전압 더블 샘플링(Vth Double Sampling)을 할 수 있도록 동작한다. 그러므로, 실시예의 구조는 비교예의 구조에 비해 문턱전압 샘플링을 1H(Horizontal) 시간에서 2H 시간으로 가져감으로써 고속 구동 시 샘플링 시간 마진(sampling timing margin) 부족으로 인한 문턱전압 센싱 에러(Vth sensing error)를 감소시키고 정확도(accuracy) 높일 수 있게 된다. 또한, 실시예의 구조는 위와 같은 구조 및 구동 방식을 적용함에 따라 60Hz, 120Hz, 240Hz로 구동 주파수가 빨라짐에 따라 부족해지는 샘플링 시간 마진을 확보할 수 있어 고속 구동에 유리하다.
- [0052] 한편, 실시예에서는 서브 픽셀의 회로 구성을 P-type의 트랜지스터를 일레로 설명하였으나, 이는 N-type이나 CMOS type의 트랜지스터를 적용하여 구현할 수도 있다. 이와 더불어, 실시예에서는 구동 파형도에서 보듯이 오



아 로직 게이트를 사용하기 위한 별도의 신호(signal)라인의 추가 없이 전단의 스캔라인을 사용하여 구현이 가능하므로 추가적인 신호 생성용 구동부와 신호라인이 불요하므로 비용을 절감할 수 있게 된다.

[0053] 이상 본 발명의 실시예는 오아 로직 게이트를 사용하여 동일 구동 주파수 조건하에서 2배의 시간으로 구동 트랜지스터의 문턱전압을 샘플링하여 문턱전압 센싱 정확도를 향상시키고 고속구동하에서 문턱전압 센싱 시간 마진을 확보하여 소자의 변화 및 전원 전압 강하에 의한 휘도 편차를 개선할 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 효과가 있다. 또한, 본 발명의 실시예는 샘플링부에 포함된 트랜지스터가 전단의 스캔라인을 사용함으로써 종래의 OLED 구조(다이오드 연결을 통한 문턱전압 센싱 방식)와의 호환성이 매우 우수하며, P-type 뿐만 아니라 N-type이나 CMOS-type에서도 구현할 수 있는 유기전계발광표시장치를 제공하는 효과가 있다.

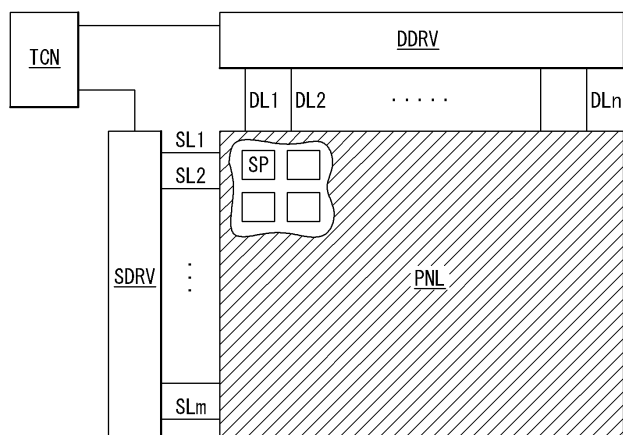
[0054] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**부호의 설명**

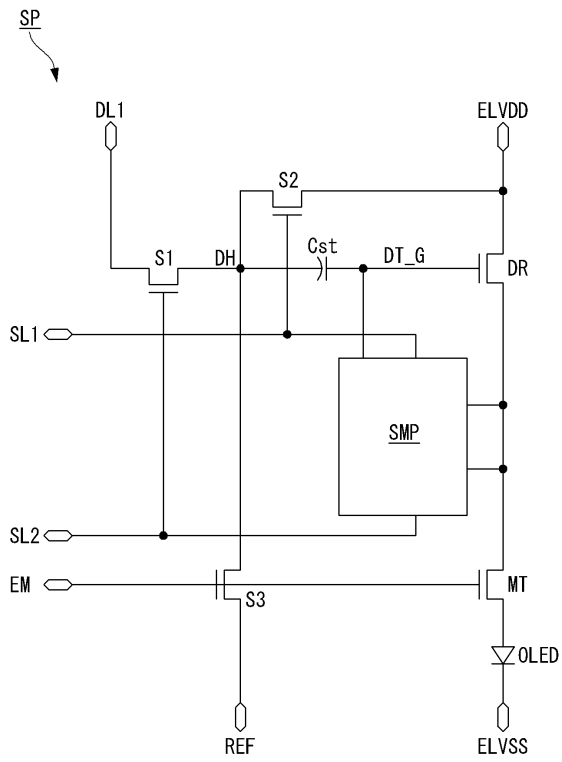
- [0055] TCN: 타이밍제어부
- SDRV: 스캔구동부
- S1: 제1스위칭 트랜지스터
- MT: 제어 트랜지스터
- S3: 제3스위칭 트랜지스터
- OLED: 유기 발광다이오드
- M1: 제1 샘플링 트랜지스터
- DDRV: 데이터구동부
- PNL: 표시패널
- DR: 구동 트랜지스터
- S2: 제2스위칭 트랜지스터
- Cst: 스토리지 커패시터
- SMP: 샘플링부
- M2: 제2 샘플링 트랜지스터

**도면**

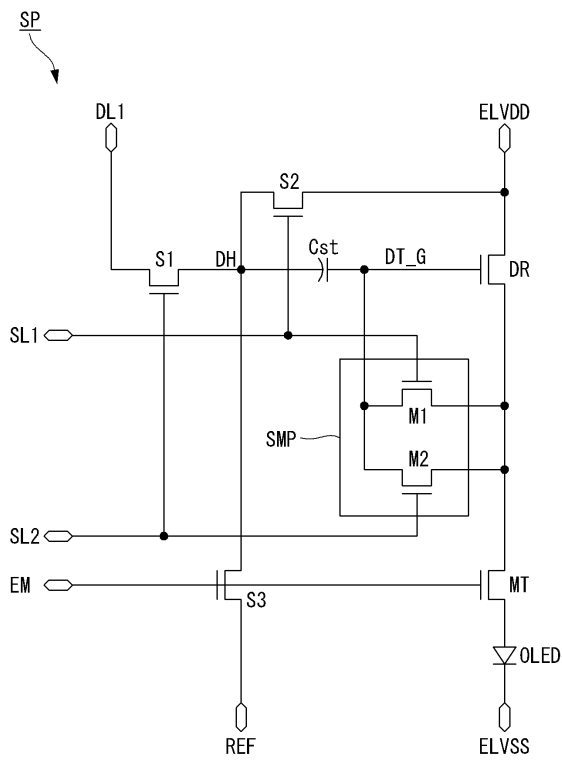
**도면1**



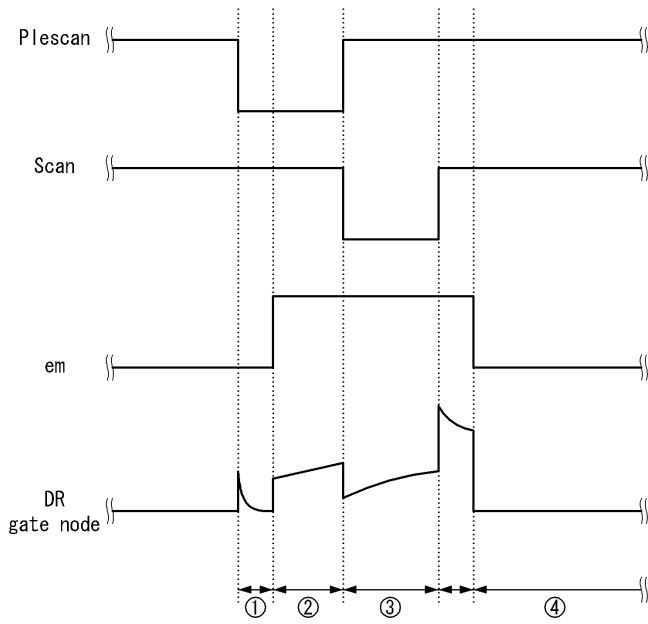
도면2



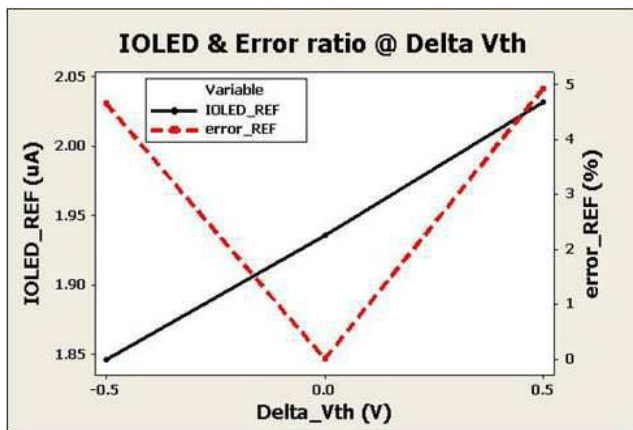
도면3



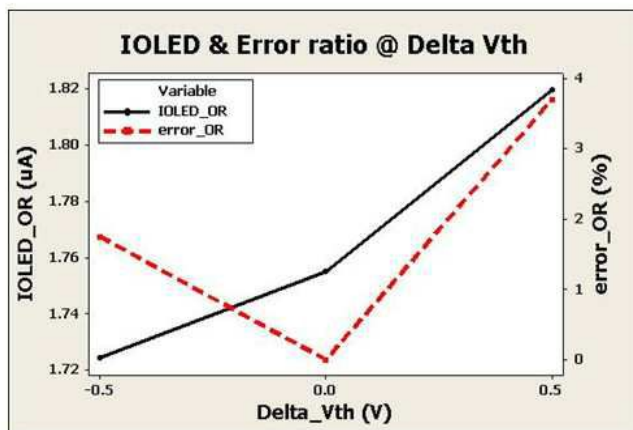
도면4



도면5



비교예



실시예

专利名称(译)	标题：有机电致发光显示装置及其驱动方法		
公开(公告)号	<a href="#">KR1020120037663A</a>	公开(公告)日	2012-04-20
申请号	KR1020100099261	申请日	2010-10-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE HYUN HAENG 이현행 YOON JOONG SUN 윤중선		
发明人	이현행 윤중선		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3266 G09G3/3233 H05B33/0896 G09G2320/0233 G09G2300/043 G09G2310/0202 G09G2310/0294 H05B45/60		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

目的：提供一种有机电致发光显示装置及其驱动方法，通过在高速操作中确保阈值电压感测时间裕度来改善由于电源电压降引起的亮度偏差和装置的变化。组成：第一次切换晶体管（S1）将数据信号存储在存储电容器中。驱动晶体管（DR）使用数据电压产生驱动电流。控制晶体管（MT）将驱动电流提供给有机发光二极管。第二开关晶体管（S2）用第一电源电压初始化第一节点。第三开关晶体管（S3）将参考电压提供给第一节点。通过采样部分（SMP）对驱动晶体管的阈值电压进行两次或更多扫描时间的采样。COPYRIGHT KIPO 2012

