



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0072783
(43) 공개일자 2009년07월02일

(51) Int. Cl.

H05B 33/26 (2006.01) *H01L 51/50* (2006.01)

(21) 출원번호 10-2007-0141002

(22) 출원일자 2007년12월28일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

이사회

서울 강북구 수유4동 288-11번지 유림주택 201호

이회동

울산 중구 학산동 7-24번지

(74) 대리인

특허법인으로알

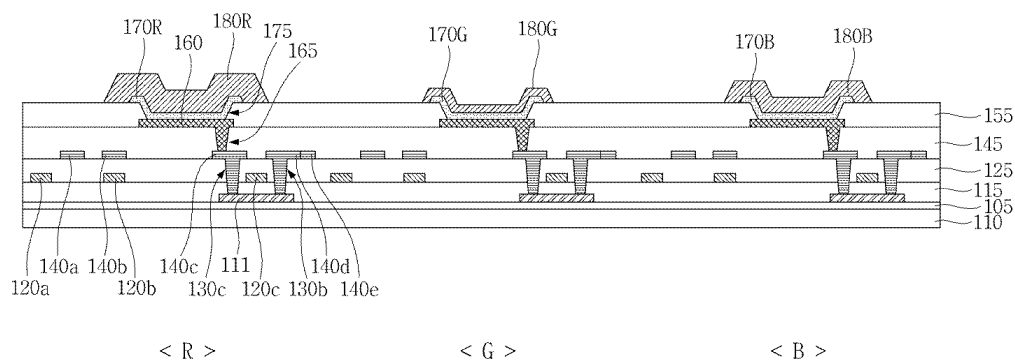
전체 청구항 수 : 총 12 항

(54) 유기전계발광표시장치

(57) 요약

본 발명의 일 실시예에 따른 유기전계발광표시장치는 다수의 서브픽셀을 포함하는 제 1 기관, 제 1 기관 상에 위치하는 다수의 박막트랜지스터, 제 1 기관 상에 위치하며 다수의 박막트랜지스터와 각각 연결되는 다수의 캐소드 전극, 다수의 캐소드 전극 상에 각각 위치하는 제 1 발광층, 제 2 발광층 및 제 3 발광층, 제 1 발광층 내지 제 3 발광층 상에 각각 위치하는 다수의 애노드 전극, 제 1 발광층 상의 제 1 애노드 전극, 제 2 발광층 상의 제 2 애노드 전극 및 제 3 발광층 상의 제 3 애노드 전극의 두께는 서로 다를 수 있다.

대표도



특허청구의 범위

청구항 1

다수의 서브픽셀을 포함하는 제 1 기관;

상기 제 1 기관 상에 위치하는 다수의 박막트랜지스터;

상기 제 1 기관 상에 위치하며, 상기 다수의 박막트랜지스터와 각각 연결되는 다수의 캐소드 전극;

상기 다수의 캐소드 전극 상에 각각 위치하는 제 1 발광층, 제 2 발광층 및 제 3 발광층;

상기 제 1 발광층 내지 제 3 발광층 상에 각각 위치하는 다수의 애노드 전극;

을 포함하며, 상기 제 1 발광층 상의 제 1 애노드 전극, 상기 제 2 발광층 상의 제 2 애노드 전극 및 상기 제 3 발광층 상의 제 3 애노드 전극의 두께는 서로 다른 유기전계발광표시장치.

청구항 2

제 1 항에 있어서,

상기 제 1 발광층 내지 제 3 발광층은 적색, 녹색 및 청색 중 어느 하나의 색을 발광하며, 상기 제 1 발광층 내지 제 3 발광층이 발광하는 색은 서로 다른 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제 2 항에 있어서,

상기 제 1 발광층은 적색, 상기 제 2 발광층은 청색, 상기 제 3 발광층은 녹색을 발광하며, 상기 다수의 애노드 전극의 두께는 제 1 애노드 전극>제 3 애노드 전극>제 2 애노드 전극의 순서인 것을 특징으로 하는 유기전계발광표시장치

청구항 4

제 1 항에 있어서,

상기 애노드 전극은 ITO 또는 IZO 중 어느 하나로 이루어지는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제 3 항에 있어서,

상기 제 1 애노드 전극의 두께는 250 내지 300nm이고, 상기 제 2 애노드 전극의 두께는 150 내지 200nm이며, 상기 제 3 애노드 전극의 두께는 200 내지 250nm인 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

다수의 서브픽셀을 포함하는 제 1 기관;

상기 제 1 기관 상에 위치하는 다수의 박막트랜지스터;

상기 제 1 기관 상에 위치하며, 상기 다수의 박막트랜지스터와 각각 연결되는 캐소드 전극;

상기 캐소드 전극 상에 위치하는 발광층;

상기 발광층 상에 위치하는 다수의 애노드 전극;

상기 다수의 애노드 전극과 각각 대응되어 위치하는 제 1 내지 제 3 컬러필터를 포함하는 제 2 기관;

을 포함하며, 상기 제 1 컬러필터와 대응되는 제 1 애노드 전극, 상기 제 2 컬러필터와 대응되는 제 2 애노드 전극 및 상기 제 3 컬러필터와 대응되는 제 3 애노드 전극의 두께는 서로 다른 유기전계발광표시장치.

청구항 7

제 6 항에 있어서,

상기 발광층은 백색 발광하는 것을 특징으로 하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

제 6 항에 있어서,

상기 제 1 컬러필터 내지 제 3 컬러필터는 적색, 녹색, 청색 중 어느 하나의 색을 가지며, 상기 제 1 컬러필터 내지 제 3 컬러필터가 가지는 색은 서로 다른 것을 특징으로 하는 유기전계발광표시장치.

청구항 9

제 8 항에 있어서,

상기 다수의 애노드 전극의 두께는 제 1 애노드 전극>제 3 애노드 전극>제 2 애노드 전극의 순서인 것을 특징으로 하는 유기전계발광표시장치

청구항 10

제 6 항에 있어서,

상기 애노드 전극은 ITO 또는 IZO 중 어느 하나로 이루어지는 것을 특징으로 하는 유기전계발광표시장치.

청구항 11

제 9 항에 있어서,

상기 제 1 애노드 전극의 두께는 250 내지 300nm이고, 상기 제 2 애노드 전극의 두께는 150 내지 200nm이며, 상기 제 3 애노드 전극의 두께는 200 내지 250nm인 것을 특징으로 하는 유기전계발광표시장치.

청구항 12

제 6 항에 있어서,

상기 제 2 기판은 백색으로 이루어진 제 4 컬러필터를 더 포함하는 유기전계발광표시장치.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 디스플레이에 관한 것으로, 보다 상세하게는 유기전계발광표시장치에 관한 것이다.

배경 기술

- <2> 일반적으로, 정보통신기술의 발달로, 다양화된 정보화 사회의 요구에 따라, 전자 디스플레이의 수요가 증가되고 있고, 요구되는 디스플레이 또한 다양해지고 있다.
- <3> 이와 같이 다양화된 정보화 사회의 요구를 만족시키기 위하여, 전자 디스플레이소자는 고정세화, 대형화, 저가격화, 고성능화, 박형화, 소형화 등의 특성을 가질 것이 요구되고 있으며, 이를 위해, 기존의 음극선관(Cathode Ray Tube: CRT) 이외에 새로운 평판 디스플레이(Flat Panel Display: FPD) 소자가 개발되고 있다.
- <4> 특히, 통신 및 컴퓨터에 관련된 반도체와 디스플레이 등의 소재 개발이 각 분야의 기술 진보에 주요한 관건이 되고 있으며, 현재 사용되고 있는 여러 디스플레이 소자들 중에서 천연색 표시 소자로서의 응용면에서 주목 받고 있는 하나가 유기전계발광표시장치이다.
- <5> 유기전계발광표시장치는 넓은 시야각, 고속응답성, 고콘트라스트 등의 뛰어난 특징을 갖고 있으므로 그래픽 디스플레이의 픽셀, 텔레비전 영상 디스플레이나 표면광원의 픽셀로서 사용될 수 있으며, 얇고 가벼우며 색감이 좋기 때문에 차세대 평면 디스플레이에 적합한 소자이다.
- <6> 유기전계발광표시장치는 발광구조에 따라 기판으로부터 애노드전극/발광층/캐소드전극 순으로 증착되는 일반적

인(general) 구조와 캐소드전극/발광층/애노드전극 순으로 증착되는 인버티드(inverted) 구조로 나뉠 수 있다.

- <7> 일반적인 구조는 빛이 나가는 방향에 따라 전면발광(top-emission) 방식과 배면발광(bottom-emission) 방식으로 나뉠 수 있고, 인버티드 구조는 투명한 애노드 전극이 최상부에 있으므로 전면발광 방식으로 대부분 제작될 수 있다.
- <8> 일반적인 구조하에서 전면발광 방식은 애노드 전극과 애노드 전극의 하부에 형성되는 반사전극(혹은 반사층)의 두께조절로 인한 마이크로캐비티(micro-cavity) 효과를 이용하여 소자의 색재현율을 높이고 효율을 개선할 수 있지만, 인버티드 구조 하에서의 전면발광 방식은 별도로 캐소드 전극 상에 반사층을 구비할 필요가 없으므로, 마이크로 캐비티 효과를 얻기 어렵다.
- <9> 따라서, 본 발명에서는 인버티드 구조의 전면발광 방식을 가진 유기전계발광표시장치에서 기존 소자의 구조를 변형하여 광효율 및 색재현율을 높이는 방법을 소개하고자 한다.

발명의 내용

해결 하고자하는 과제

- <10> 본 발명이 해결하고자 하는 과제는 애노드 전극의 두께를 조절하여 광효율 및 색재현율을 향상시킬 수 있는 유기전계발광표시장치를 제공함에 있다.
- <11> 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

- <12> 본 발명의 일 실시예에 따른 유기전계발광표시장치는 다수의 서브픽셀을 포함하는 제 1 기판, 제 1 기판 상에 위치하는 다수의 박막트랜지스터, 제 1 기판 상에 위치하며 다수의 박막트랜지스터와 각각 연결되는 다수의 캐소드 전극, 다수의 캐소드 전극 상에 각각 위치하는 제 1 발광층, 제 2 발광층 및 제 3 발광층, 제 1 발광층 내지 제 3 발광층 상에 각각 위치하는 다수의 애노드 전극, 제 1 발광층 상의 제 1 애노드 전극, 제 2 발광층 상의 제 2 애노드 전극 및 제 3 발광층 상의 제 3 애노드 전극의 두께는 서로 다를 수 있다.
- <13> 또한, 제 1 발광층 내지 제 3 발광층은 적색, 녹색 및 청색 중 어느 하나의 색을 발광하며, 제 1 발광층 내지 제 3 발광층이 발광하는 색은 서로 다를 수 있다.
- <14> 또한, 제 1 발광층은 적색, 제 2 발광층은 청색, 제 3 발광층은 녹색을 발광하며, 다수의 애노드 전극의 두께는 제 1 애노드 전극>제 3 애노드 전극>제 2 애노드 전극의 순서일 수 있다.
- <15> 또한, 애노드 전극은 ITO 또는 IZO 중 어느 하나로 이루어질 수 있다.
- <16> 또한, 제 1 애노드 전극의 두께는 250 내지 300nm이고, 제 2 애노드 전극의 두께는 150 내지 200nm이며, 제 3 애노드 전극의 두께는 200 내지 250nm일 수 있다.
- <17> 본 발명의 다른 일 실시예에 따른 유기전계발광표시장치는 다수의 서브픽셀을 포함하는 제 1 기판, 제 1 기판 상에 위치하는 다수의 박막트랜지스터, 제 1 기판 상에 위치하며 다수의 박막트랜지스터와 각각 연결되는 캐소드 전극, 캐소드 전극 상에 위치하는 발광층, 발광층 상에 위치하는 다수의 애노드 전극, 다수의 애노드 전극과 각각 대응되어 위치하는 제 1 내지 제 3 컬러필터를 포함하는 제 2 기판을 포함하며, 제 1 컬러필터와 대응되는 제 1 애노드 전극, 제 2 컬러필터와 대응되는 제 2 애노드 전극 및 제 3 컬러필터와 대응되는 제 3 애노드 전극의 두께는 서로 다를 수 있다.
- <18> 또한, 발광층은 백색 발광할 수 있다.
- <19> 또한, 제 1 컬러필터 내지 제 3 컬러필터는 적색, 녹색, 청색 중 어느 하나의 색을 가지며, 제 1 컬러필터 내지 제 3 컬러필터가 가지는 색은 서로 다를 수 있다.
- <20> 또한, 다수의 애노드 전극의 두께는 제 1 애노드 전극>제 3 애노드 전극>제 2 애노드 전극의 순서일 수 있다.
- <21> 또한, 애노드 전극은 ITO 또는 IZO 중 어느 하나로 이루어질 수 있다.
- <22> 또한, 제 1 애노드 전극의 두께는 250 내지 300nm이고, 제 2 애노드 전극의 두께는 150 내지 200nm이며, 제 3

애노드 전극의 두께는 200 내지 250nm일 수 있다.

<23> 또한, 제 2 기판은 백색으로 이루어진 제 4 컬러필터를 더 포함할 수 있다.

효 과

<24> 본 발명의 일 실시예에 따른 유기전계발광표시장치는 광효율 및 색재현율을 개선시킬 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

<25> 후술하는 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다. 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.

<26> 이하, 첨부된 도면을 참조하여 본 발명의 일 실시예에 따른 유기전계발광표시장치에 대하여 상세히 설명한다.

<27> 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 블록도이고, 도 2a내지 도 2b는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 서브픽셀 회로의 일 예이다.

<28> 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 표시패널(100), 스캔 구동부(200), 데이터 구동부(300) 및 제어부(400)를 포함한다.

<29> 표시패널(100)은 복수의 신호라인($S_1 \sim S_n$, $D_1 \sim D_m$), 복수의 전원라인(미도시) 및 이들에 연결되어 매트릭스 형태로 배열된 복수의 서브픽셀(PX)을 포함한다.

<30> 복수의 신호라인($S_1 \sim S_n$, $D_1 \sim D_m$)은 스캔신호를 전달하는 복수의 스캔라인($S_1 \sim S_n$) 및 데이터 신호를 전달하는 데이터 라인($D_1 \sim D_m$)을 포함하며, 각 전원라인(미도시)은 제 1 전원 전압(VDD)등을 각 서브픽셀(PX)에 전달할 수 있다.

<31> 여기서, 복수의 신호라인은 스캔라인($S_1 \sim S_n$) 및 데이터 라인($D_1 \sim D_m$)만을 포함하는 것으로 도시하고 설명하였지만, 이에 한정되는 것은 아니며, 구동방식에 따라 소거신호를 전달하는 소거라인(미도시)을 더 포함할 수도 있다.

<32> 그러나, 소거 신호가 사용되는 경우에도 소거 라인이 생략되는 것이 가능하다. 이러한 경우에는 소거 신호를 다른 라인으로 공급할 수 있다. 예를 들면, 도시하지는 않았지만, 표시 패널(100)에는 제 1전원 전압(VDD)을 공급하는 전원 라인이 더 포함되는 경우에, 소거 신호는 전원 라인을 통해 공급될 수도 있다.

<33> 도 2a를 참조하면, 서브픽셀(PX)은 스캔라인(S_n)으로부터 스캔 신호에 의하여 데이터 신호를 전달하는 스위칭 박막 트랜지스터(T1), 데이터 신호를 저장하는 커패시터(Cst), 커패시터(Cst)에 저장된 데이터 신호와 제 1전원 전압(VDD)의 차이에 해당하는 구동 전류를 생성하는 구동 박막 트랜지스터(T2) 및 구동전류에 해당하는 빛을 발광하는 발광 다이오드(OLED)를 포함할 수 있다.

<34> 그리고, 서브픽셀은, 도 2b에 도시한 바와 같이, 스캔라인(S_n)으로부터 스캔 신호에 의하여 데이터 신호를 전달하는 스위칭 박막 트랜지스터(T1), 데이터 신호를 저장하는 커패시터(Cst), 커패시터(Cst)에 저장된 데이터 신호와 제 1전원전압의 차이에 해당하는 구동 전류를 생성하는 구동 박막 트랜지스터(T2), 구동전류에 해당하는 빛을 발광하는 발광 다이오드(OLED) 및 소거 라인(E_n)으로부터의 소거 신호에 따라 커패시터에 저장된 데이터 신호를 소거하는 소거용 스위칭 박막 트랜지스터(T3)를 포함할 수 있다.

<35> 도 2b에 도시한 픽셀 회로는 하나의 프레임을 복수개의 서브필드로 나누어 계조를 표현하는 디지털 구동 방식에 의하여 유기전계발광표시장치를 구동할 경우, 어드레스 시간보다 발광 시간이 작은 서브필드에 소거 신호를 공급함으로써 발광 시간을 조절할 수 있다. 따라서, 유기전계발광표시장치의 최소 휘도를 낮출 수 있는 장점이 있다.

<36> 다시 도 1을 참조하면, 스캔 구동부(200)는 표시패널(100)의 스캔라인($S_1 \sim S_n$)에 연결되어, 제1박막트랜지스터(T1)를 턴온시킬 수 있는 스캔신호를 스캔라인($S_1 \sim S_n$)에 각각 인가한다.

<37> 데이터 구동부(300)는 표시패널(100)의 데이터 라인($D_1 \sim D_m$)에 연결되어 출력 영상 신호(DAT)를 나타내는 데이터 신호를 데이터 라인($D_1 \sim D_m$)에 인가한다. 이러한, 데이터 구동부(300)는 데이터 라인($D_1 \sim D_m$)에 연결되는 적어도

하나의 데이터 구동 집적회로(integrated circuit, IC)를 포함할 수 있다.

- <38> 데이터 구동 IC는 차례로 연결되어 있는 쉬프트 레지스터(shift register), 래치(latch), 디지털-아날로그 변환부(DA-converter) 및 출력 버퍼(output buffer)를 포함할 수 있다.
- <39> 쉬프트 레지스터는 수평동기시작신호(STH)(또는 시프트 클럭신호)가 들어오면 데이터 클럭신호(HCLK)에 따라 출력 영상 신호(DAT)를 래치에 전달할 수 있다. 데이터 구동부(300)가 복수의 데이터 구동 IC를 포함하는 경우, 한 구동 IC의 시프트 레지스터는 시프트 클럭신호를 다음 구동 IC의 시프트 레지스터로 내보낼 수 있다.
- <40> 래치는 출력 영상 신호(DAT)를 기억하며, 기억하고 있는 출력 영상 신호(DAT)를 로드 신호(LOAD)에 따라 해당 계조 전압을 선택하여 출력 버퍼로 내보낼 수 있다.
- <41> 디지털-아날로그 변환부는 출력 영상 신호(DAT)에 따라 해당 계조 전압을 선택하여 출력 버퍼로 내보낼 수 있다.
- <42> 출력 버퍼는 디지털-아날로그 변환부로부터의 출력 전압을 데이터 신호로서 데이터 라인(D₁~D_m)으로 출력하며, 이를 1 수평 주기(1H) 동안 유지한다.
- <43> 제어부(400)는 스캔 구동부(200) 및 데이터 구동부(300)의 동작을 제어한다. 또한, 제어부(400)는 입력 영상 신호(R, G, B)를 감마변환하여 출력 영상 신호(DAT)를 생성하는 신호변환부(450)을 포함할 수 있다.
- <44> 즉, 제어부(400)는 스캔 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 스캔 제어 신호(CONT1)를 스캔 구동부(200)로 출력하고, 데이터 제어 신호(CONT2)와 처리한 출력 영상 신호(DAT)를 데이터 구동부(300)로 출력한다.
- <45> 또한, 제어부(400)는 외부의 그래픽 컨트롤러(미도시)로부터의 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 여기서, 입력 제어 신호의 예로는 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등이 있다.
- <46> 이러한 구동장치(200, 300, 400) 각각은 적어도 하나의 집적 회로 칩의 형태로 표시패널(100) 위에 직접 장착되거나, 가요성 인쇄회로 필름(Flexible Printed Circuit Film)(미도시) 위에 장착되어 TCP(tape carrier package)의 형태로 표시패널(100)에 부착되거나, 별도의 인쇄회로기판(Printed Circuit Board)(미도시) 위에 장착될 수도 있다.
- <47> 이와는 달리, 이들 구동장치(200, 300, 400)가 복수의 신호라인(S₁~S_n, D₁~D_m) 또는 박막 트랜지스터(T1, T2, T3) 등과 함께 표시패널(100)에 집적될 수도 있다.
- <48> 또한, 구동장치(200, 300, 400)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로소자가 단일 칩 외부에 있을 수 있다.
- <49> 도 3은 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 화소 구조를 도시한 평면도이다.
- <50> 도 3을 참조하면, 일 방향으로 배열된 스캔 라인(120a), 상기 스캔 라인(120a)과 수직하게 배열된 데이터 라인(140a) 및 상기 데이터 라인(140a)과 평행하게 배열된 전원 라인(140e)에 의해 정의되는 화소 영역 및 상기 화소 영역 외의 비화소 영역을 포함하는 기판(110)이 위치한다.
- <51> 상기 화소 영역에는 스캔 라인(120a) 및 데이터 라인(140a)과 연결된 스위칭 박막 트랜지스터(T1)와, 상기 스위칭 박막 트랜지스터(T1) 및 전원 라인(140e)과 연결된 커패시터(Cst)와, 상기 커패시터(Cst) 및 전원 라인(140e)과 연결된 구동 박막 트랜지스터(T2)가 위치한다.
- <52> 상기 커패시터(Cst)는 커패시터 하부전극(120b) 및 커패시터 상부전극(140b)을 포함할 수 있다.
- <53> 상기 화소영역에는 상기 구동 박막 트랜지스터(T2)와 전기적으로 연결된 제 1 전극(160)과, 상기 제 1 전극(160) 상에 발광층(미도시) 및 제 2 전극(미도시)을 포함하는 발광다이오드가 위치한다.
- <54> 상기 화소 영역은 스캔 라인(120a), 데이터 라인(140a) 및 전원 라인(140e)을 포함할 수 있다.
- <55> 도 4 내지 도 5는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단면도이다. 도 4는 도 1의 I-I'에 따른 단면도이다.
- <56> 도 4를 참조하면, 제 1 기판(110) 상에 버퍼층(105)이 위치한다. 상기 버퍼층(105)은 제 1 기판(110)에서 유출

되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막 트랜지스터를 보호하기 위해 형성하는 것으로, 실리콘 산화물(SiO_2), 실리콘 질화물(SiNx) 등을 사용하여 선택적으로 형성할 수 있다.

- <57> 여기서, 상기 제 1 기관(110)은 유리, 플라스틱 또는 금속일 수 있다.
- <58> 상기 버퍼층(105) 상에 반도체층(111)이 위치한다. 상기 반도체층(111)은 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다.
- <59> 또한, 상기 반도체층(111)은 p형 또는 n형의 불순물을 포함하는 소오스 영역 및 드레인 영역을 포함할 수 있으며, 상기 소오스 영역 및 드레인 영역 이외의 채널 영역을 포함할 수 있다.
- <60> 상기 반도체층(111) 상에 게이트 절연막일 수 있는 제 1 절연막(115)이 위치한다. 상기 제 1 절연막(115)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있다.
- <61> 상기 제 1 절연막(115) 상에 상기 반도체층(111)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널 영역과 대응되는 위치에 게이트 전극(120c)이 위치한다. 그리고, 상기 게이트 전극(120c)과 동일층 상에 스캔 라인(120a) 및 커패시터 하부 전극(120b)이 위치한다.
- <62> 상기 게이트 전극(120c)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- <63> 또한, 상기 게이트 전극(120c)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다.
- <64> 예를 들면, 게이트 전극(120c)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- <65> 상기 스캔 라인(120a)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- <66> 또한, 상기 스캔 라인(120a)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다.
- <67> 예를 들면, 스캔 라인(120a)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- <68> 층간 절연막일 수 있는 제 2 절연막(125)은 상기 스캔 라인(120a), 커패시터 하부 전극(120b) 및 게이트 전극(120c)을 포함하는 제 1 기관(110) 상에 위치한다. 상기 제 2 절연막(125)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있다.
- <69> 상기 제 2 절연막(125) 및 제 1 절연막(115) 내에 반도체층(111)의 일부를 노출시키는 콘택홀들(130b, 130c)이 위치한다.
- <70> 상기 제 2 절연막(125) 및 제 1 절연막(115)을 관통하는 콘택홀들(130b, 130c)을 통하여 반도체층(111)과 전기적으로 연결되는 드레인 전극 및 소오스 전극(140c, 140d)이 화소 영역에 위치한다.
- <71> 상기 드레인 전극 및 소오스 전극(140c, 140d)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 드레인 전극 및 소오스 전극(140c, 140d)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- <72> 또한, 상기 드레인 전극 및 소오스 전극(140c, 140d)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- <73> 그리고, 드레인 전극 및 소오스 전극(140c, 140d)과 동일층 상에 데이터 라인(140a), 커패시터 상부 전극(140b) 및 전원 라인(140e)이 위치할 수 있다.
- <74> 상기 화소 영역에 위치하는 데이터 라인(140a), 전원 라인(140e)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 데이터 라인(140a) 및 전원 라인(140e)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- <75> 또한, 상기 데이터 라인(140a) 및 전원 라인(140e)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층,

몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.

- <76> 특히, 상기 데이터 라인(140a) 및 전원 라인(140e)은 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- <77> 제 3 절연막(145)은 상기 데이터 라인(140a), 커패시터 상부 전극(140b), 드레인 및 소오스 전극(140c, 140d)과 전원 라인(140e) 상에 위치한다. 상기 제 3 절연막(145)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물 등을 액상 형태로 코팅한 다음 경화시키는 스핀 코팅(spin coating)법으로 형성하거나 실리콘 산화물 또는 실리콘 질화물 등의 무기물을 SOG(silicate on glass)법으로 형성할 수 있다.
- <78> 이와는 달리, 상기 제 3 절연막(145)은 패시베이션막일 수 있으며, 실리콘 질화막(SiNx), 실리콘 산화막(SiOx) 또는 이들의 다중층일 수 있다.
- <79> 제 3 절연막(145) 내에 드레인 및 소오스 전극(140c, 140d) 중 어느 하나를 노출시키는 비어홀(165)이 위치하며, 제 3 절연막(145) 상에 비어홀(165)을 통하여 드레인 및 소오스 전극(140c, 140d) 중 어느 하나와 전기적으로 연결되는 제 1 전극(160)이 위치한다.
- <80> 제 3 절연막(145) 상에는 제 1 전극(160) 상에 인접하는 제 1 전극들을 절연시키며, 제 1 전극(160)의 일부를 노출시키는 개구부(175)를 포함하는 제 4 절연막(155)이 위치한다. 제 4 절연막(155)은 화소정의막 또는 बैं크층으로 지칭될 수 있다.
- <81> 이하에서는, 제 1 전극(160), 발광층(170R, 170G, 170B), 제 2 전극(180R, 180G, 180B)의 구성에 대하여 도 5를 통해 상세히 설명하기로 한다.
- <82> 도 5를 참조하면, 본 도에 따른 제 1 기관(110)은 제 1 내지 제 3 절연막, 박막트랜지스터 및 스캔라인을 비롯한 각종 라인을 포함한 것이다.
- <83> 제 1 기관 상에는 상술한대로 제 1 전극(160)이 위치할 수 있다. 제 1 전극(160)은 인버티드 구조에서 캐소드 전극이 될 수 있으며, 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다.
- <84> 제 1 전극(160) 상에는 서브픽셀별로 제 1 발광층(170R), 제 2 발광층(170G), 제 3 발광층(170B)이 증착될 수 있다. 본 도면에서는 제 1 발광층(170R) 내지 제 3 발광층(170B)이 적색(R)/녹색(G)/청색(B) 순서로 되었을 때의 조합을 도시하고 있으나, 이 조합에 한정되는 것은 아니다. 즉, 적색/청색/녹색의 조합으로 하나의 픽셀이 형성될 수도 있다. 여기서는 제 1 발광층(170R)이 적색, 제 2 발광층(170G)이 녹색, 제 3 발광층(170B)이 청색인 조합을 일례로 들어 설명하기로 한다.
- <85> 제 1 발광층(170R) 내지 제 3 발광층(170B) 상에는 서브픽셀 별로 제 2 전극(180)이 각각 위치할 수 있다. 제 2 전극(180)은 애노드 전극일 수 있고, ITO, IZO 또는 ZnO 등의 투명한 재질로 이루어질 수 있다.
- <86> 여기서, 제 1 발광층(170R) 내지 제 3 발광층(170B) 상에 증착되는 애노드 전극들은 각각 두께가 다를 수 있다.
- <87> 제 1 발광층(170R) 상에 위치하는 애노드 전극은 제 1 애노드 전극(180R), 제 2 발광층(170G) 상에 위치하는 애노드 전극은 제 2 애노드 전극(180G), 제 3 발광층(170B) 상에 위치하는 애노드 전극은 제 3 애노드 전극(180B)으로 지칭했을 때, 상기 다수의 애노드 전극의 두께는 제 1 애노드 전극(180R)>제 3 애노드 전극(180B)>제 2 애노드 전극(180G)의 순서가 될 수 있다.
- <88> 보다 상세히 설명하면, 제 1 애노드 전극(180R)의 두께는 250 내지 300nm이고, 상기 제 2 애노드 전극(180G)의 두께는 150 내지 200nm이며, 상기 제 3 애노드 전극(180B)의 두께는 200 내지 250nm일 수 있다.
- <89> 본 발명에 따른 구조는 마이크로캐비티(microcavity) 현상을 이용하여 광효율과 색재현율을 높일 수 있는 효과가 있다.
- <90> 디스플레이 장치에 있어서, 마이크로캐비티 현상이란 애노드전극, 발광층, 캐소드 전극으로 이루어진 발광다이오드에서 각 전극 및 발광층의 두께를 적절히 조절하여 빛의 발광스펙트럼을 변화시키는 것을 말한다.
- <91> 통상적으로 마이크로캐비티 현상을 이용하는 유기전계발광표시장치는 제 1 기관으로부터 애노드전극/발광층/캐소드전극 순으로 이루어지는 일반적인(general) 구조의 전면발광 방식에서, 애노드 전극의 하부에 위치하는 반사전극(또는 반사층)의 두께를 조절하는 경우가 대부분이었다.

<92> 인버티드 구조하의 전면발광방식에서는 캐소드 전극 자체가 반사전극의 역할을 하지만, 일반적인 구조의 반사전극과 비교하여 두께가 매우 두껍기 때문에 마이크로 캐비티 현상을 이용할 수 있게 조절할 수 있는 여지가 거의 없다.

<93> 따라서, 각 발광층(170R, 170G, 170B)에 따라 애노드 전극(180R, 180G, 180B)의 두께를 달리하여 마이크로캐비티 현상을 이용할 수 있다. 또한, 인버티드 구조 하에서 애노드 전극의 증착은 최종 공정에 해당하므로 이전 공정의 영향을 받지 않으며, 유기전계발광표시장치 제조공정 중 애노드 전극 증착 이전 공정 상에서 만들어지는 소자들의 제조 여건(재료, 크기 등)이 변하더라도, 그에 맞게 애노드 전극의 두께만 조절하면 되므로 제조공정의 변화나 다른 소자의 영향을 받지 않아 공정의 용이성을 가져올 수 있다.

<94> 또한, 빛이 나가는 애노드 전극(180R, 180G, 180B) 자체의 두께를 조절하므로 기존 반사층을 이용하는 것보다 직접적으로 마이크로 캐비티 효과를 얻을 수 있다.

<95> 따라서, 인버티드 전면발광 방식 하의 유기전계발광표시장치에 있어서, 서브픽셀별로 애노드 전극(180R, 180G, 180B)의 두께를 상술한 수치대로 조절함으로써, 마이크로캐비티 현상을 이용하여 빛의 발광 스펙트럼을 변화시켜 색재현율 및 광효율을 높일 수 있는 효과가 있다.

<96> [표 1]

비교예	적색서브픽셀	녹색서브픽셀	청색서브픽셀	비고
애노드전극(nm)	100	100	100	
색좌표	(0.655,0.331)	(0.240,0.631)	(0.123,0.152)	색재현율 : 73.9%
광효율(cd/A)	8	25	4.9	

<98> [표 2]

실시에	적색서브픽셀	녹색서브픽셀	청색서브픽셀	비고
애노드전극(nm)	280	180	230	
색좌표	(0.690,0.330)	(0.225,0.701)	(0.113,0.145)	색재현율 : 94.8%
광효율(cd/A)	15.5	42	8.5	

<100> 표 1 내지 표 2를 참조하면, 표 1은 일반적인 인버티드 전면발광 구조의 유기전계발광표시장치에 있어서 애노드 전극의 두께가 서브픽셀 별로 일정한 경우를 나타내는 비교예이고, 표 2는 애노드 전극의 두께가 서브픽셀 별로 다른 경우를 나타내고 있다. 여기서 애노드 전극의 재료는 ITO를 사용하였다.

<101> 표에서 알 수 있는바와 같이, 적색, 녹색, 청색 각각의 서브픽셀별로 증착하는 애노드 전극의 두께를 달리함으로써 유기전계발광표시장치의 색재현율을 73.9 %에서 94.8%까지 끌어올릴 수 있었으며, 각 서브픽셀별로 광효율도 현저히 증가한 것을 볼 수 있다.

<102> 도 6 내지 도 8은 본 발명의 다른 실시예들에 따른 유기전계발광표시장치의 단면도이다.

<103> 도 6을 참조하면, 도 6에 따른 유기전계발광표시장치의 제 1 기판(110) 및 제 1 기판(110) 상에 위치하는 각 소자들은 발광층(170W)이 백색발광하는 것을 제외하고도 4 내지 도 5에서 설명한 구성요소와 동일하다. 따라서, 이하에서는 제 2 기판에 대하여 설명하기로 한다.

<104> 백색 발광층(170W)을 가지는 유기전계발광표시장치는, 발광층 증착시 각각의 색마다 마스크를 통해 증착 위치를 얼라인(align)하지 않아도 되므로 공정이 용이하다. 또한, 유기전계발광표시장치가 대면적화될수록 상기 마스크의 정렬이 어렵고 미세한 오류로 디스플레이 장치 자체의 불량률이 나올 수 있으므로, 상술한 문제를 해결할 수 있는 대안이 될 수 있다.

<105> 상술한 구조를 가지는 제 1 기판(110)은 컬러필터를 포함하는 제 2 기판(195)과 합착될 수 있다.

<106> 제 2 기판(195) 상에는 컬러필터(185R, 185G, 185B)가 위치할 수 있다. 컬러필터(185R, 185G, 185B)는 제 1 기판의 각 서브픽셀에 따른 발광층에 대응하여 위치할 수 있다. 컬러필터는 적색(185R)/녹색(185G)/청색(185B)의 순서로 각 서브픽셀마다 순차적으로 위치할 수 있지만, 이에 한정되는 것은 아니다.

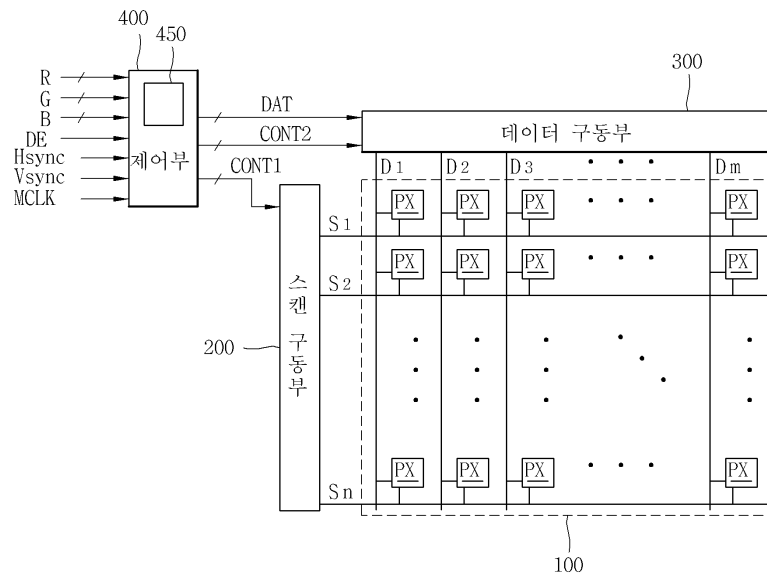
- <107> 즉, 적색(R)/청색(B)/녹색(G)의 순서로 위치할 수도 있고, 적색(R)/ 청색(B)/녹색(G) 다음의 서브픽셀 순서에서 백색 컬러필터(185w)를 추가하거나 백색 컬러필터(185w)를 구성시키지 않음으로써 적색(R)/청색(B)/녹색(G)/백색(W)의 네 개의 서브픽셀 구조를 가질 수도 있는 것이다.
- <108> 본 도에서는 제 1 컬러필터(적색, 185R)/제 2 컬러필터(녹색, 185G)/제 3 컬러필터(청색, 185B)의 순서로 조합된 제 2 기판에 대하여 설명하기로 한다.
- <109> 제 2 기판(195) 상에는, 제 1 기판의 제 4 절연막(155)에 대응되어 블랙 매트릭스(190)가 위치할 수 있다. 쉽게 설명하면, 블랙 매트릭스(190)는 각각의 컬러필터(185R, 185G, 185B) 사이에 위치하며, 크롬(Cr) 단일층, 크롬 옥사이드(CrOx)/크롬(Cr)의 이중층으로 이루어질 수 있으나, 이에 한정되는 것은 아니다.
- <110> 상기 컬러필터(185) 및 상기 블랙매트릭스(190) 상에는 에폭시 계열, 폴리이미드 계열 또는 감광성 아크릴 계열 중 어느 하나의 물질로 이루어지는 코팅층(미도시)이 더 위치하여, 제 2 기판(195)을 평탄화시킬 수 있으며 제 2 기판(195) 상에 위치한 컬러필터(185R, 185G, 185B)를 보호할 수 있다.
- <111> 도 7 내지 도 8을 참조하면, 도 7은 적색(185R), 녹색(185G), 청색 컬러필터(185B)를 가지는 세 개의 서브픽셀 구조를 나타낸 것이며, 도 8은 백색 컬러필터(185W)를 더 포함하는 네 개의 서브픽셀 구조를 나타낸 것이다. 도 8에서 유기전계발광표시장치의 발광층은 백색발광을 하므로 백색 컬러필터(185W)를 제거할 수도 있다.
- <112> 제 1 컬러필터(185R)와 대응되는 애노드 전극은 제 1 애노드 전극(180R), 제 2 컬러필터(185G)와 대응되는 애노드 전극은 제 2 애노드 전극(180G), 제 3 컬러필터(185B)와 대응되는 애노드 전극은 제 3 애노드 전극(180B)으로 지칭될 수 있다.
- <113> 여기서, 상기 다수의 애노드 전극의 두께는 제 1 애노드 전극(180R)>제 3 애노드 전극(180B)>제 2 애노드 전극(180G)의 순서가 될 수 있다.
- <114> 보다 상세히 설명하면, 제 1 애노드 전극(180R)>의 두께는 250 내지 300nm이고, 상기 제 2 애노드 전극(180G)의 두께는 150 내지 200nm이며, 상기 제 3 애노드 전극(180B)의 두께는 200 내지 250nm일 수 있다.
- <115> 본 발명의 다른 일 실시예에 따른 유기전계발광표시장치는 서브픽셀별로 애노드 전극(180R, 180G, 180B)의 두께를 달리하여 마이크로캐비티 현상을 이용할 수 있다. 또한, 인버티드 구조 하에서 애노드 전극의 증착은 최종 공정에 해당하므로 이전 공정의 영향을 받지 않으며, 유기전계발광표시장치 제조공정 중 애노드 전극 증착 이전 공정 상에서 만들어지는 소자들의 제조 여건(재료, 크기 등)이 변하더라도, 그에 맞게 애노드 전극의 두께만 조절하면 되므로 제조공정의 변화나 다른 소자의 영향을 받지 않아 공정의 용이성을 가져올 수 있다.
- <116> 또한, 빛이 나가는 애노드 전극(180R, 180G, 180B) 자체의 두께를 조절하므로 기존 반사층을 이용하는 것보다 직접적으로 마이크로 캐비티 효과를 이용할 수 있다.
- <117> 인버티드 전면발광 방식 하의 유기전계발광표시장치에 있어서, 서브픽셀별로 애노드 전극(180R, 180G, 180B)의 두께를 상술한 수치대로 조절함으로써, 마이크로캐비티 현상을 이용하여 빛의 발광 스펙트럼을 변화시켜 색재현율 및 광효율을 높일 수 있는 효과가 있다.
- <118> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 하고, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

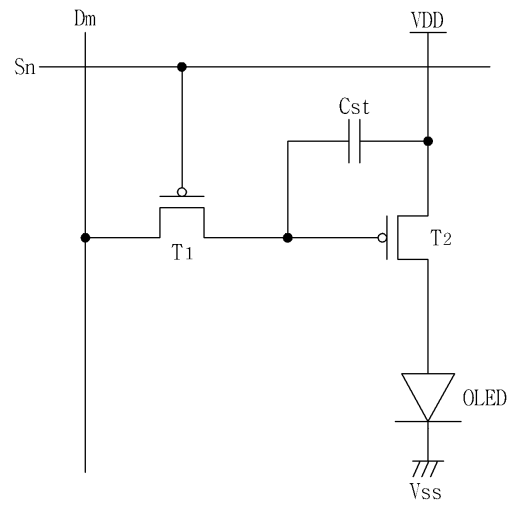
- <119> 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 블록도이다.
- <120> 도 2a내지 도 2b는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 서브픽셀 회로의 일 예이다.
- <121> 도 3은 본 발명의 일 실시예에 따른 유기전계발광표시장치를 나타낸 평면도이다.
- <122> 도 4 내지 도 5는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단면도이다.
- <123> 도 6 내지 도 8은 본 발명의 다른 실시예들에 따른 유기전계발광표시장치의 단면도이다.

도면

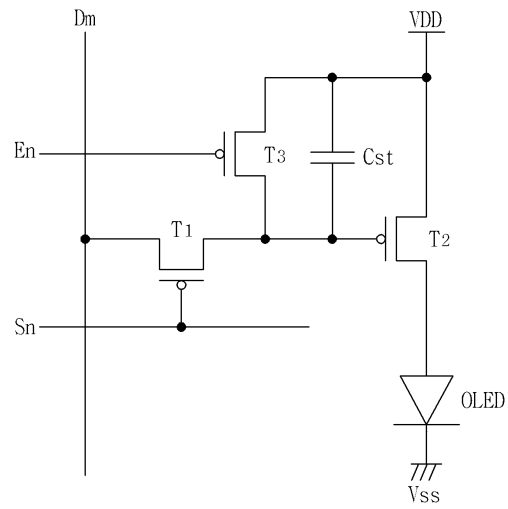
도면1



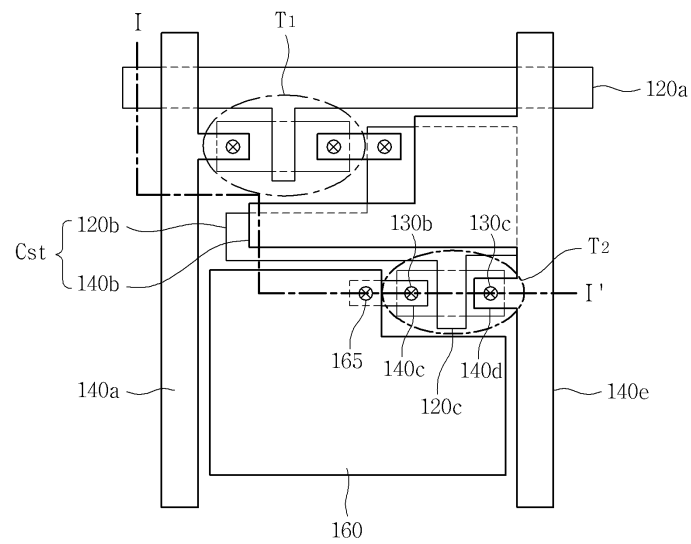
도면2a



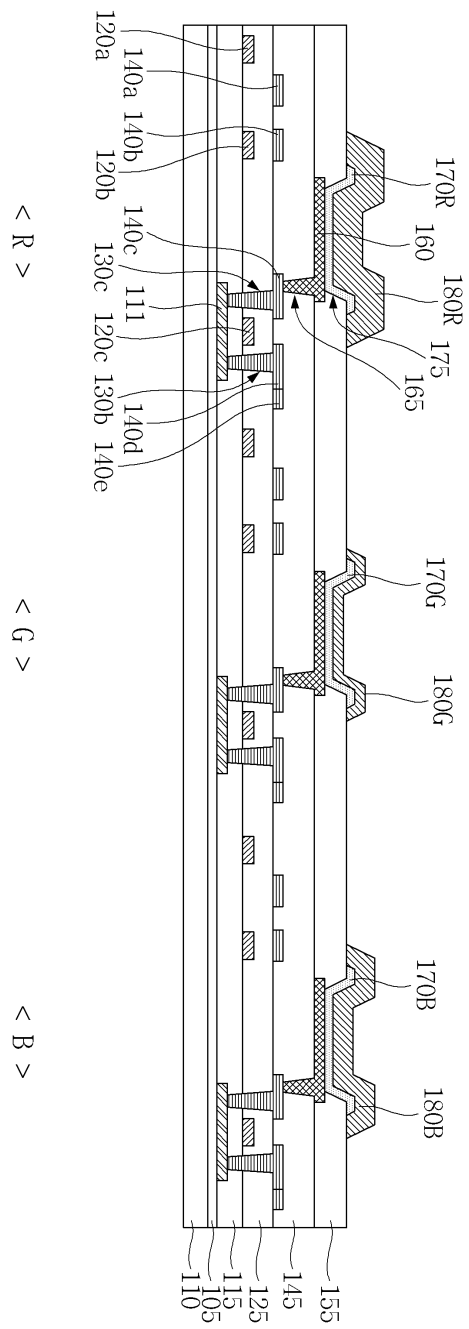
도면2b



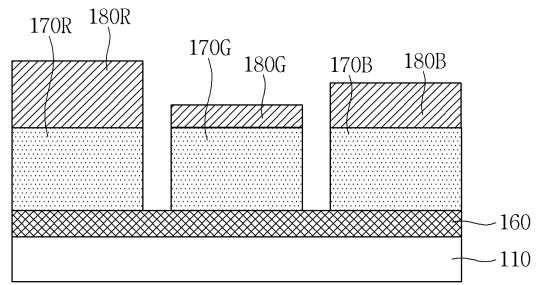
도면3



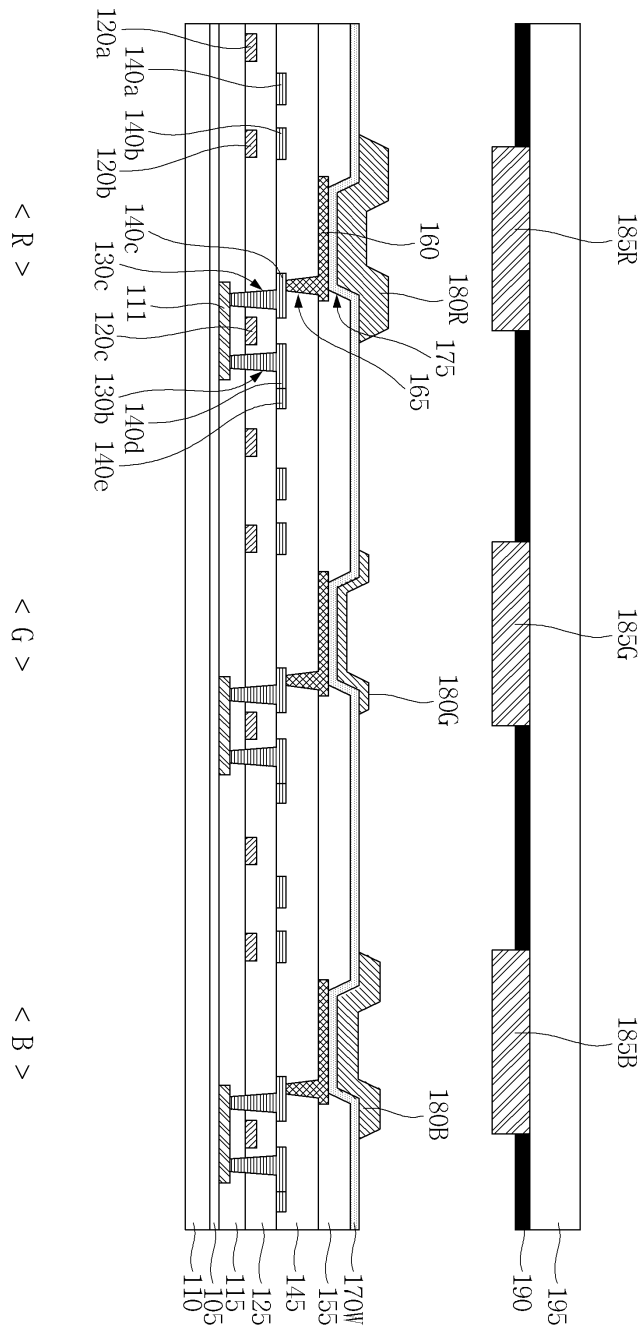
도면4



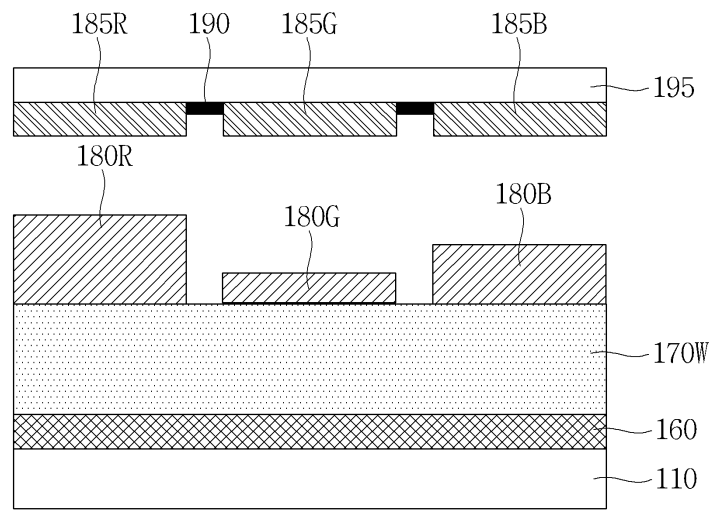
도면5



도면6



도면7



도면8

