



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0061766
(43) 공개일자 2008년07월03일

(51) Int. Cl.

H05B 33/22 (2006.01) H05B 33/26 (2006.01)

(21) 출원번호 10-2006-0136838

(22) 출원일자 2006년12월28일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

이현구

서울 강서구 화곡1동 914-3번지 일성스카이빌 509호

(74) 대리인

특허법인로알

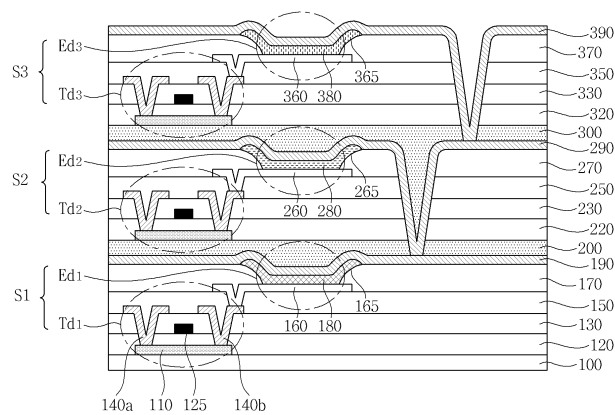
전체 청구항 수 : 총 10 항

(54) 유기전계발광표시장치 및 그 제조방법

(57) 요약

본 발명은, 기판 및 기판 상에 위치하며 애노드, 유기발광층 및 캐소드를 포함하는 유기발광다이오드를 구비한 서브픽셀들을 포함하는 단위픽셀을 포함하고, 유기발광다이오드들은 절연층을 사이에 두고 적층 구조로 형성된 유기전계발광표시장치를 제공한다.

대표도 - 도2



특허청구의 범위

청구항 1

기관; 및

상기 기관 상에 위치하며 제1전극, 유기발광층 및 제2전극을 포함하는 유기발광다이오드를 구비한 서브픽셀들을 포함하는 단위픽셀을 포함하고,

상기 유기발광다이오드들은 절연층을 사이에 두고 적층 구조로 형성된 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 유기발광다이오드들의 제2전극들은 서로 전기적으로 연결된 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 서브픽셀은 상기 유기발광다이오드의 제1전극과 연결되며 적어도 구동 트랜지스터를 포함하는 구동부를 더 포함하는 유기전계발광표시장치.

청구항 4

제3항에 있어서,

상기 구동부는 상기 구동 트랜지스터와 연결된 커패시터 및 스위칭 트랜지스터를 포함하는 유기전계발광표시장치.

청구항 5

제 3 항 또는 제 4 항에 있어서,

상기 구동부들은 적층 구조로 형성된 유기전계발광표시장치.

청구항 6

제 3 항 또는 제 4 항에 있어서,

상기 구동부들은 동일 평면 상에 위치하는 유기전계발광표시장치.

청구항 7

제4항에 있어서,

상기 스위칭 트랜지스터들은 하나의 스캔 라인에 공통 연결되어 각각의 데이터 라인으로부터의 데이터 신호를 각 구동 트랜지스터에 전달하는 유기전계발광표시장치.

청구항 8

제1항에 있어서,

상기 단위 픽셀의 제1전극들은 투명도전막을 포함하며, 상기 단위 픽셀의 최상부에 위치하는 제2전극은 마스네슘(Mg), 은(Ag), 알루미늄(Al), 칼슘(Ca) 또는 이들의 합금으로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 반사 전극인 유기전계발광표시장치.

청구항 9

제1항에 있어서,

상기 단위 픽셀의 제1전극들은 투명도전막을 포함하며, 상기 단위픽셀의 제2전극들은 마그네슘(Mg), 은(Ag), 알루미늄(Al), 칼슘(Ca) 또는 이들의 합금으로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 반투과 전극이

며,

상기 제1전극들 중 상기 단위 픽셀의 최하부에 위치하는 제1전극은 투명도전막의 하부에 위치하는 반사금속막을 더 포함하는 유기전계발광표시장치.

청구항 10

제1항에 있어서,

상기 제1전극과 제2전극 사이에 정공주입층, 정공수송층, 전자주입층 및 전자수송층으로 이루어진 균에서 선택된 어느 하나 이상이 더 형성된 유기전계발광표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은 유기전계발광표시장치 및 그 제조방법에 관한 것이다.
- <15> 평판표시장치(Flat Panel Display) 중에서 유기전계발광표시장치(Organic Light Emitting Display)는 유기화합물을 전기적으로 여기시켜 발광하게 하는 자발광형 표시장치이다. 유기전계발광표시장치는 액정표시장치에서 사용되는 백라이트가 필요하지 않아 경량박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있다. 또한, 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(ConTdst)비 등의 특성을 나타낸다.
- <16> 유기전계발광표시장치는 애노드와 캐소드 사이에 유기발광층을 포함하고 있어 애노드로부터 공급받는 정공과 캐소드로부터 받은 전자가 유기발광층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고 다시 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하게 된다.
- <17> 여기서, 유기발광층으로부터 발생된 광이 방출되는 방향에 따라 배면발광형(bottom-emission type)과 전면발광형(top-emission type)으로 나눌 수 있는데, 화소 구동회로가 내장된 유기전계발광표시장치가 배면발광형인 경우는 화소 구동회로가 기판을 차지하는 넓은 면적으로 인하여 개구율에 심각한 제약을 받을 수 밖에 없다. 따라서, 개구율 향상을 위해 상부발광형 유기전계발광표시장치의 개념이 도입되게 되었다.
- <18> 일반적으로 유기전계발광표시장치는 스캔 라인, 데이터 라인 및 전원 라인들을 포함하는 신호선들에 의해 한정되는 영역 상에 위치하며, 스위칭 트랜지스터, 구동 트랜지스터, 커패시터 및 발광다이오드를 포함하는 적색, 녹색 및 청색 서브픽셀들을 포함한다. 그리고, 단위 픽셀은 적어도 적색, 녹색 및 청색 서브픽셀을 포함하며, 적색, 녹색 및 청색을 혼색하여 색상을 구현하게 된다.
- <19> 여기서, 각 서브 픽셀은 동일 평면 상에 동일한 공정을 거쳐 형성될 수 있는데, 휘도 및 콘트라스트를 포함한 화면의 품질을 향상시키기 위하여, 단위 픽셀의 구조 및 구동 방법은 여러 가지로 구현될 수 있다.

발명이 이루고자 하는 기술적 과제

- <20> 따라서, 본 발명은 화면의 휘도 및 해상도를 향상시킬 수 있는 유기전계발광표시장치 및 그 제조방법을 제공하는 것에 그 목적이 있다.

발명의 구성 및 작용

- <21> 상기 목적을 달성하기 위하여, 본 발명은, 기판 및 기판 상에 위치하며 애노드, 유기발광층 및 캐소드를 포함하는 유기발광다이오드를 구비한 서브픽셀들을 포함하는 단위픽셀을 포함하고, 유기발광다이오드들은 절연층을 사이에 두고 적층 구조로 형성된 유기전계발광표시장치를 제공한다.
- <22> 이하, 첨부한 도면을 참조하여 본 발명의 일 실시예를 상세하게 설명하도록 한다.
- <23> 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단위 픽셀을 도시한 회로도이다.

- <24> 도 1을 참조하면, 스캔 라인(Sn), 데이터 라인(Dm1, Dm2, Dm3) 및 전원 라인(VSS, VDD)들을 포함하는 신호선들에 의해 한정되는 영역 내에 단위 픽셀이 위치한다.
- <25> 단위 픽셀 내에는 각각 스위칭 트랜지스터(Ts1, Ts2, Ts3), 구동 트랜지스터(Td1, Td2, Td3), 커패시터(Cst1, Cst2, Cst3) 및 발광 다이오드(Ed1, Ed2, Ed3)를 포함하는 서브픽셀들(S1, S2, S3)이 위치한다. 여기서, 서브픽셀들(S1, S2, S3)은 적색, 녹색 또는 청색을 발광하는 서브픽셀들(S1, S2, S3)일 수 있다.
- <26> 스위칭 트랜지스터들(Ts1, Ts2, Ts3)은 동일한 스캔 라인(Sn)에 게이트 전극이 공통 연결되어 있으며, 각각의 데이터 라인들(Dm1, Dm2, Dm3)에 각 제1전극들이 연결되어 있다. 그리고 각각의 스위칭 트랜지스터(Ts1, Ts2, Ts3)의 제2전극은 각각의 커패시터(Cst1, Cst2, Cst3)의 제1전극 및 각각의 구동 트랜지스터(Td1, Td2, Td3)의 게이트 전극에 연결되어 있다.
- <27> 그리고, 구동 트랜지스터(Td1, Td2, Td3)의 제1전극과 커패시터의 제2전극(Cst1, Cst2, Cst3)은 전원전압라인(VDD)에 공통 연결되고, 구동 트랜지스터(Td1, Td2, Td3)의 제2전극은 발광 다이오드(Ed1, Ed2, Ed3)의 애노드에 연결된다. 발광 다이오드(Ed1, Ed2, Ed3)의 캐소드는 기준전압라인에 연결되며, 발광 다이오드들의 캐소드들은 기준전압라인(VSS)에 공통 연결된다.
- <28> 따라서, 스캔 라인(Sn)으로부터 스캔 신호가 인가되면, 각 스위칭 트랜지스터들(Ts1, Ts2, Ts3)은 모두 턴-온되어 각 데이터 라인들(Dm1, Dm2, Dm3)로부터의 데이터 신호를 각 구동 트랜지스터(Td1, Td2, Td3) 및 커패시터(Cst1, Cst2, Cst3)에 전달한다.
- <29> 데이터 신호를 받은 커패시터들(Cst1, Cst2, Cst3)은 데이터 신호를 저장하고 구동 트랜지스터들(Td1, Td2, Td3)은 데이터 신호를 인가받아 그에 해당하는 구동 전류들을 발생시킨다.
- <30> 구동 트랜지스터들(Td1, Td2, Td3)에서 발생된 구동 전류들은 각 발광 다이오드(Ed1, Ed2, Ed3)로 전달되고, 발광 다이오드들(Ed1, Ed2, Ed3)은 각 구동 전류에 해당하는 발광 동작을 수행한다.
- <31> 여기서 도시하지는 않았지만, 서브픽셀들(S1, S2, S3)은 적층 구조로 형성될 수 있으며, 이하에서는 도 2를 참조하여, 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단면 구조를 상세히 설명하도록 한다.
- <32> 도 2는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 구조를 도시한 단면도이다. 여기서는 도 1의 구동 트랜지스터 및 발광 다이오드만을 도시하였다.
- <33> 도 2를 참조하면, 기판(100)상에 제1구동트랜지스터(Td1) 및 제1발광다이오드(Ed1)을 포함하는 제1서브픽셀(S1) 위치하며, 제1서브픽셀(S1) 상에 제2구동트랜지스터(Td2) 및 제2발광다이오드(Ed2)을 포함하는 제2서브픽셀(S2) 위치하고, 제2서브픽셀(S2) 상에는 제3구동트랜지스터(Td3) 및 제3발광다이오드(Ed3)을 포함하는 제3서브픽셀(S3)이 위치하여, 하나의 단위 픽셀을 이룬다.
- <34> 단위 픽셀(P)의 구조를 상세히 설명하면, 기판(100) 상에 제1구동트랜지스터(Td1)가 위치한다. 제1구동트랜지스터(Td1)의 구조를 상세히 설명하면, 기판(100) 상에 제1반도체층(110)이 위치한다. 제1반도체층(110) 상에 제1게이트절연층(120)이 위치하며, 제1반도체층(110)의 일정 영역과 대응하는 제1게이트절연층(120) 상에 제1게이트전극(125)이 위치한다.
- <35> 제1게이트전극(125)을 포함한 기판 상에 제1층간절연층(130)이 위치한다. 그리고, 제1층간절연층(130) 상에 제1게이트절연층(120) 및 제1층간절연층(130)을 관통하여 각각 제1반도체층(110)의 일정 영역과 전기적으로 연결되는 제1소오스 전극(140a) 및 제1드레인 전극(140b)이 위치한다.
- <36> 여기서, 제1구동트랜지스터(Td1)의 구조를 탑-게이트(top-gate) 구조로 설명하였지만, 본 발명은 이에 한정되지 않으며, 바텀-게이트(bottom-gate) 구조로 형성하는 것도 가능하다.
- <37> 제1구동트랜지스터(Td1)를 포함한 기판(100) 상에 제1패시베이션층(150)이 위치한다. 제1패시베이션층(150)은 평탄화 및 하부 소자의 보호를 위한 절연층일 수 있다.
- <38> 제1패시베이션층(150) 상에 제1패시베이션층(150)을 관통하여 제1드레인 전극(140b)과 전기적으로 연결되며, 제1애노드(160), 제1유기발광층(180) 및 제2캐소드(190)를 포함하는 제1발광다이오드(Ed1)가 위치한다.
- <39> 제1발광다이오드(Ed1)의 구조를 자세히 설명하면, 상기 제1구동트랜지스터(Td1)의 제1드레인 전극(140b)과 전기적으로 연결되는 제1애노드(160)가 위치하며, 제1애노드(160)를 포함한 제1패시베이션층(150) 상에는 제1애노드(160)의 일부를 노출시키는 제1개구부(165)를 포함하는 제1뱅크층(170)이 위치한다. 그리고, 제1개구부(165) 내

에는 제1유기발광층(180)이 위치하며, 제1유기발광층(180) 상에 제1캐소드(190)가 위치한다.

- <40> 그리고, 제1캐소드(190)를 포함한 기관(100) 상에는 제1서브픽셀(S1)과 제2서브픽셀(S2)를 절연시키는 제1소자절연층(200)이 위치한다.
- <41> 제1소자절연층(200) 상에는 제1구동트랜지스터와 동일한 구조를 갖는 제2구동트랜지스터(Td2)가 위치할 수 있다.
- <42> 그리고, 제2구동트랜지스터(Td2) 상에는 제2패시베이션층(250)이 위치할 수 있으며, 제2패시베이션층(250) 상에는 제2패시베이션층(250)을 관통하여 제2드레인 전극(245b)과 연결되는 제2애노드(260), 제2애노드(260) 상에 위치하는 제2유기발광층(280) 및 제2유기발광층(280) 상에 위치하는 제2캐소드(290)를 포함하는 제2발광다이오드(Ed2)가 위치한다.
- <43> 여기서, 제2캐소드(290)는 제1소자절연층(200), 제2게이트절연층(220), 제2층간절연층(230), 제2패시베이션층(250) 및 제2뱅크층(270)을 관통하여, 제1캐소드(190)와 전기적으로 연결될 수 있다.
- <44> 제2캐소드(290) 상에는 제2서브픽셀(S2)과 제3서브픽셀(S3)를 절연시키는 제2소자절연층(300)이 위치한다.
- <45> 그리고, 제2소자절연층(300) 상에는 상술한 제1구동트랜지스터(Td1)와 동일한 구조를 포함하는 제3구동트랜지스터(Td3)가 위치하며, 제3구동트랜지스터(Td3) 상에는 제3패시베이션층(350)을 관통하여 제3트랜지스터(Td3)의 제3드레인 전극(340b)과 연결되는 제3발광다이오드(Ed3)가 위치한다.
- <46> 여기서, 제3발광다이오드(Ed3)의 제3캐소드(390)는 제2소자절연층(300), 제3게이트절연층(320), 제3층간절연층(330), 제3패시베이션층(350) 및 제3뱅크층(370)을 관통하여, 제2캐소드(290)와 전기적으로 연결될 수 있다.
- <47> 상술한 구조를 갖는 본 발명의 일 실시예에 따른 유기전계발광표시장치는 서브픽셀들을 동일 평면 상에 형성하지 않고, 적층 구조로 형성하였기 때문에, 서브픽셀들이 형성될 수 있는 면적이 넓어진다. 따라서, 개구율이 향상되므로, 휘도 및 해상도가 향상된다. 또한, 서브픽셀들이 적층되어 있으므로, 적색, 녹색 및 청색의 혼색이 보다 용이하여 화면의 품질을 향상시킬 수 있는 효과가 있다.
- <48> 이하에서는 도 3a 내지 도 3h를 참조하여, 상기와 같은 구조를 갖는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기로 한다.
- <49> 도 3a 내지 도 3g는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 공정별 단면도이다.
- <50> 도 3a를 참조하면, 유리, 플라스틱 또는 금속으로 이루어진 기관(100) 상에 비정질 실리콘층을 적층한다. 그런 다음, ELA(Excimer Laser Annealing), SLS(Sequential Lateral Solidification), MIC(Metal Induced Crystallization), MILC(Metal Induced Lateral Crystallization)법 등을 사용하여 결정화한 다음, 이를 패터닝하여, 제1반도체층(110)을 형성한다.
- <51> 제1반도체층(110)을 포함한 기관(100) 상에 제1게이트절연층(120)을 형성한다. 제1게이트절연층(120)은 실리콘 산화막, 실리콘 질화막 또는 이들의 이중층으로 형성할 수 있다.
- <52> 이어서, 반도체층(110)을 포함한 제1절연층(120) 상에 게이트 전극용 금속층을 적층한 다음, 이를 패터닝함으로써, 제1반도체층(110)의 소정 영역과 대응되도록 제1게이트 전극(125)을 형성한다.
- <53> 제1게이트 전극(125)은 알루미늄(Al), 알루미늄 합금(Al alloy), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy) 및 텅스텐으로 이루어진 군에서 선택되는 하나로 형성할 수 있다.
- <54> 다음으로, 제1게이트 전극(125)을 마스크로 이용해서, 제1반도체층(110)에 불순물 이온을 주입하여 소오스/드레인 영역 및 채널 영역을 정의한다. 불순물 이온은 p형 또는 n형 불순물일 수 있으며, p형 불순물로는 붕소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In)으로 이루어진 군에서 선택할 수 있다. n형 불순물 이온은 인(P), 비소(As), 안티몬(Sb) 및 비스무스(Bi)로 이루어진 군에서 선택할 수 있다.
- <55> 제1게이트 전극(125)을 포함한 제1게이트절연층(120) 상에 제1층간절연층(130)을 적층한다. 그런 다음, 제1게이트절연층 및 제1층간절연층(120,130)의 일부를 식각하여 제1반도체층(110)의 일부 영역들을 노출시키는 제1콘택홀들(135a,135b)을 형성한다.
- <56> 도 3b를 참조하면, 제1콘택홀들(135a,135b)을 포함하는 기관 상에 배선 저항 및 일함수가 낮은 마그네슘(Mg), 은(Ag), 알루미늄(Al), 칼슘(Ca) 또는 이들의 합금 등을 사용하여 금속층을 적층한다. 그런 다음, 이를 패터닝

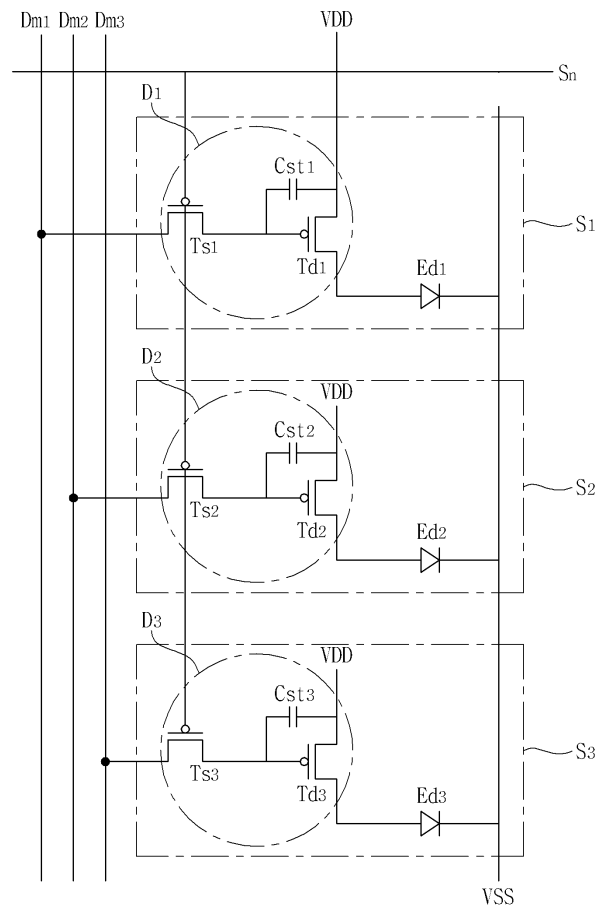
하여, 제1콘택홀들(135a, 135b)을 통하여 제1반도체층(110)의 일정 영역들과 연결되는 제1소오스 전극 및 제1드레인 전극(140a, 140b)을 형성한다.

- <57> 이로써, 탑-게이트 구조의 제1구동트랜지스터(Td1)의 제조가 완성된다. 본 발명의 일 실시예에서는 제1구동트랜지스터를 탑-게이트 구조로 형성하였지만, 이에 국한되지 않으며, 바텀-게이트 구조로 형성할 수도 있다. 그리고, 바텀-게이트 구조로 형성시, 제1반도체층(110)은 비정질 실리콘으로 형성할 수 있으며, 제1반도체층(110) 상에 오믹 콘택층을 더 포함하도록 형성할 수도 있다.
- <58> 도 3c를 참조하면, 제1소오스 전극 및 제1드레인 전극(140a, 140b)을 포함하는 제1층간절연층(130) 상에 제1패시베이션층(150)을 형성한다. 여기서, 제1패시베이션층(150)은 하부 소자의 보호 또는 평탄화를 위한 절연층일 수 있으며, 폴리이미드(polyimide), 폴리아크릴(polyacryl) 및 벤조사이클로부텐(benzocyclobutene)계 수지 등을 사용하여 형성할 수 있다.
- <59> 다음으로, 제1패시베이션층(150)의 일부를 식각하여 제1드레인 전극(140b)의 일부를 노출시키는 제1비어홀(155)을 형성한다. 그리고, 제1비어홀(155)을 포함한 제1패시베이션층(150) 상에 도전층을 적층하고 이를 식각하여, 제1비어홀(155)을 통하여 제1드레인 전극(140b)과 전기적으로 연결되는 제1애노드(160)를 형성한다.
- <60> 제1애노드(160)는 전면발광형(top-emission type)인 경우, 반사금속막 및 투명도전막을 포함할 수 있다. 여기서, 반사금속막은 알루미늄, 은, 알루미늄 합금, 은 합금과 같은 반사율이 높은 금속으로 이루어질 수 있으며, 투명도전막은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ICO(Indium Cerium Oxide) 또는 ZnO(Zinc Oxide) 등을 포함할 수 있다.
- <61> 그리고, 배면발광형(bottom-emission)인 경우 투명도전막으로 형성될 수 있다.
- <62> 제1애노드(160)가 형성된 기판(100) 상에 제1뱅크층(170)을 형성한다. 제1뱅크층(170)은 폴리이미드(polyimide), 폴리아크릴(polyacryl) 및 벤조사이클로부텐(benzocyclobutene)계 수지로 형성할 수 있다.
- <63> 그런 다음, 제1뱅크층(170)이 형성된 기판(100)을 노광하여, 제1애노드(160)의 일부를 노출시키는 제1개구부(165)를 형성한 다음, 제1개구부(165) 내에 제1유기발광층(180)을 형성한다. 도시하지는 않았지만, 제1애노드(160)와 제1유기발광층(180) 사이에는 정공주입층, 정공수송층이 개재될 수 있으며, 유기발광층(180) 상에는 전자수송층 및 전자주입층이 위치할 수 있다.
- <64> 제1유기발광층(180)을 포함한 기판 상에 제1캐소드(190)를 형성한다. 여기서 제1캐소드(190)는 마그네슘, 은, 알루미늄 또는 이들의 합금을 사용하여 얇은 반투과전극으로 형성할 수 있다. 이로써, 제1구동트랜지스터(Td1) 및 제1발광다이오드(Ed1)를 포함하는 제1서브픽셀(S1)의 제조가 완성된다.
- <65> 도 3d를 참조하면, 제1캐소드(190) 상에 제1소자절연막(200)을 형성하고, 상기의 공정을 반복하여, 제2구동트랜지스터(Td2)를 형성한다.
- <66> 도 3e를 참조하면, 제2구동트랜지스터(Td2)와 연결되도록 제2패시베이션층(250) 상에 제2애노드(260)을 형성하고, 제2애노드(260) 상에 제2뱅크층(270)을 형성한다.
- <67> 여기서, 제2뱅크층(270)을 형성한 다음, 포토리소그래피 공정을 수행하여, 제2뱅크층(270)의 일부를 식각하여 제2애노드(260)의 일부를 노출시키는 제2개구부(265)를 형성한다. 그리고, 이와 동시에, 제2뱅크층(260), 제2패시베이션층(250), 제2층간절연층(230), 제2게이트절연층(220) 및 제1소자절연막(200)을 식각하여 제1캐소드(190)의 일부를 노출시키는 제1연결홀(275)을 형성할 수 있다.
- <68> 본 발명의 일 실시예에서는 제1연결홀(285)을 제2개구부(265)를 형성함과 동시에 형성하는 것으로 설명하였지만, 제1콘택홀들(235a, 235b)의 형성시, 제2게이트절연막(220) 및 제2층간절연막(230)을 식각하고, 제2개구부(265) 형성시 제2패시베이션층(250)과 제2뱅크층(270)을 식각함으로써, 제1연결홀(285)을 형성할 수도 있다.
- <69> 도 3f를 참조하면, 제2개구부(265) 내에 제2유기발광층(280)을 형성하고, 제1연결홀(285) 및 제2유기발광층(280)을 포함한 기판 상에 제2캐소드(290)를 형성한다. 제2캐소드(290)는 제1연결홀(285)을 통하여 제1캐소드(190)와 전기적으로 연결된다. 그런 다음, 제2캐소드(290) 상에 제2소자절연막(300)을 형성한다.
- <70> 도 3g를 참조하면, 상술한 공정들을 반복하여 제2소자절연막(300) 상에 제3구동트랜지스터(Td3) 및 제3발광다이오드(Ed3)를 포함하는 제3서브픽셀(S3)을 형성한다. 여기서, 본 발명의 일 실시예에 따른 유기전계발광표시장치가 배면 발광형일 경우, 제3캐소드(390)는 마그네슘, 은, 알루미늄 또는 이들의 합금을 사용하여 반사 전극으로

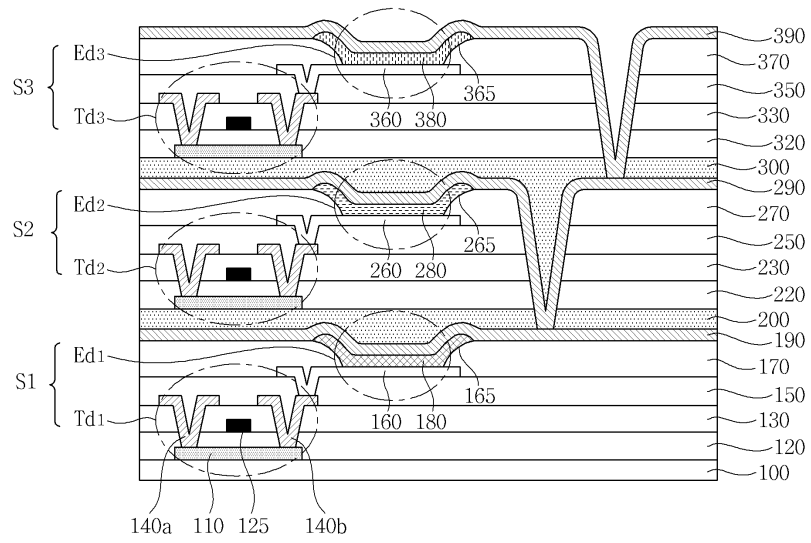
- | | | |
|------|-----------------------|----------------------|
| <9> | 150,260,350: 패시베이션층 | 160,260,360: 제1전극 |
| <10> | 165,265,365: 개구부 | 170,270,370: 뱅크층 |
| <11> | 180,280,380: 유기발광층 | 190,290,390: 제2전극 |
| <12> | 200,300: 소자절연막 | |
| <13> | Td1,Td2,Td3: 구동 트랜지스터 | Ed1,Ed2,Ed3: 발광 다이오드 |

도면

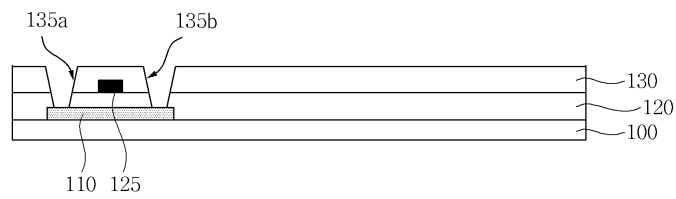
도면1



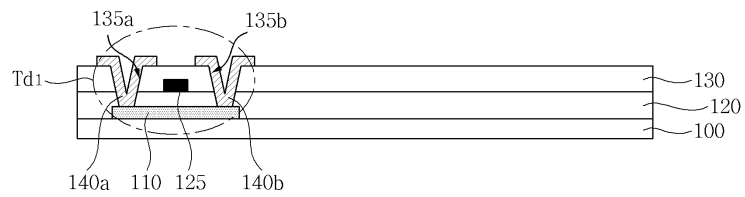
도면2



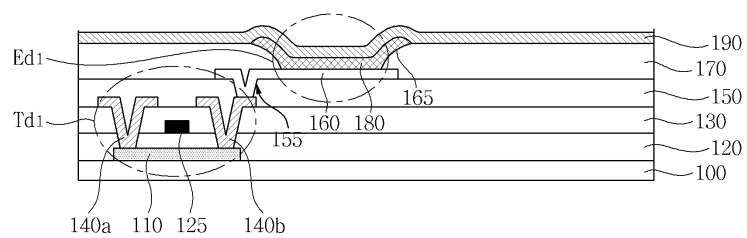
도면3a



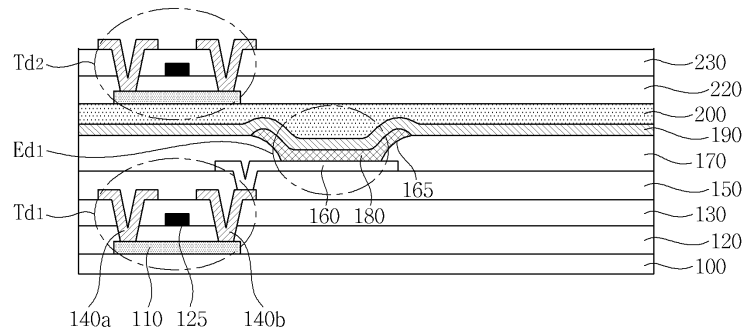
도면3b



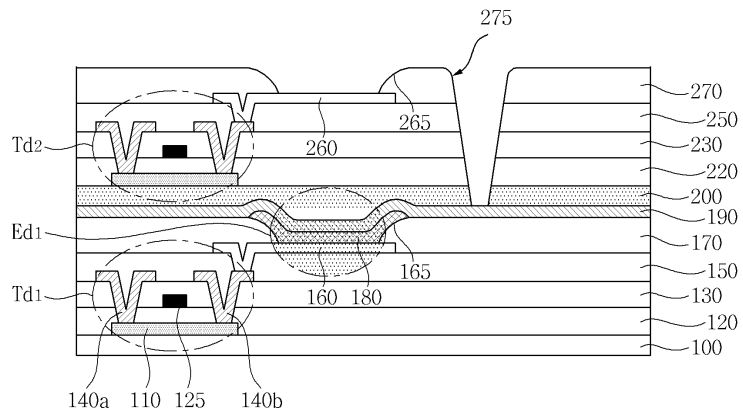
도면3c



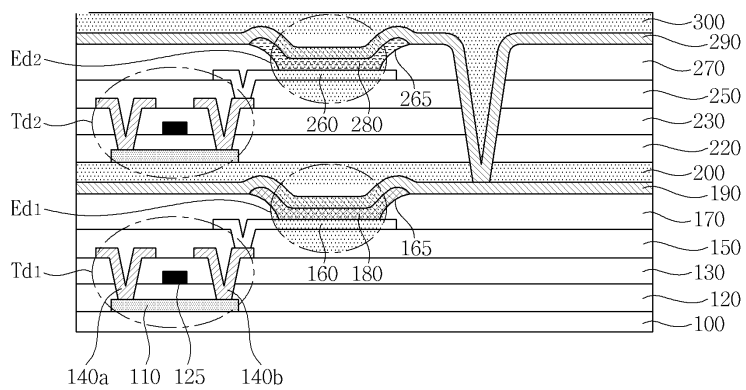
도면3d



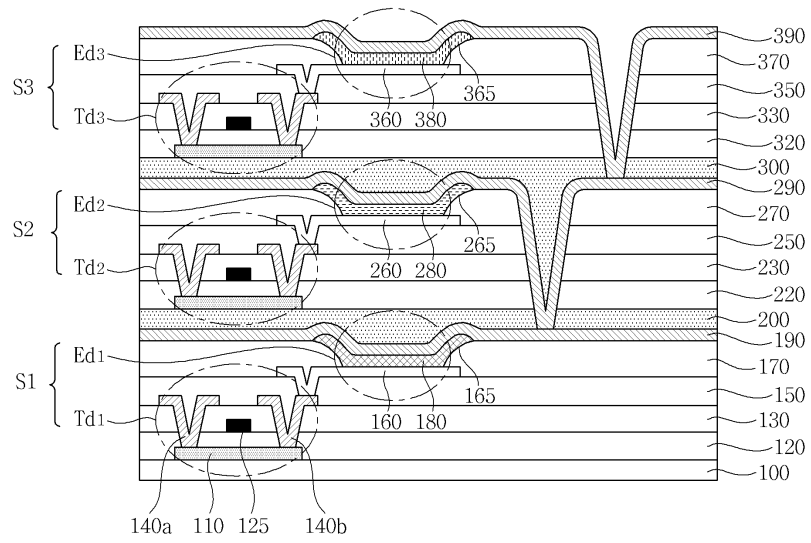
도면3e



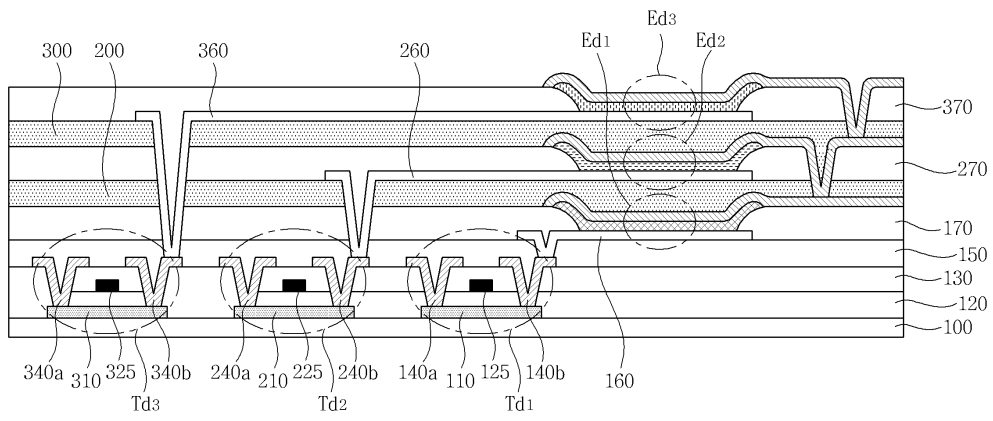
도면3f



도면3g



도면4



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020080061766A	公开(公告)日	2008-07-03
申请号	KR1020060136838	申请日	2006-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE HYUN KOO		
发明人	LEE, HYUN KOO		
IPC分类号	H05B33/22 H05B33/26		
CPC分类号	H01L27/3209 H01L27/3244 H01L51/56		
外部链接	Espacenet		

摘要(译)

本发明提供一种有机电致发光显示装置，其包括单元像素，所述单元像素包括配备有机发光二极管的子像素，并且其中有机发光二极管在所述间隔中放置所述绝缘层并且形成成为包括所述基板的层叠结构和阳极，以及有机发光层和阴极，它位于基板的表面上。

