



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0118451
(43) 공개일자 2007년12월17일

(51) Int. Cl.

G09G 3/30 (2006.01) H05B 33/26 (2006.01)

(21) 출원번호 10-2006-0052616

(22) 출원일자 2006년06월12일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김철세

대구 달서구 도원동 강산타운아파트 409동 205호

(74) 대리인

특허법인로알

전체 청구항 수 : 총 12 항

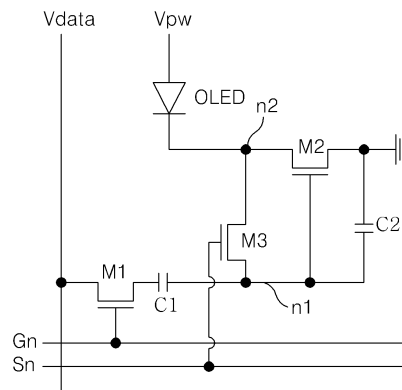
(54) 유기발광다이오드 표시소자

(57) 요약

본 발명은 박막트랜지스터의 문턱전압을 보상하여 구동의 신뢰성을 확보하도록 한 유기발광다이오드 표시소자에 관한 것이다.

이 유기발광다이오드 표시소자는 제1 기간 동안 고전위 전압으로 유지되고, 상기 제1 기간에 이어지는 제2 기간과 상기 제2 기간에 이어지는 제3 기간 동안 저전위 전압으로 유지되는 교류 구동전압을 발생하는 교류 구동전압원; 제1 스캔펄스가 공급되는 다수의 제1 스캔라인; 상기 제1 스캔펄스의 펄스폭보다 작은 펄스폭의 제2 스캔펄스가 공급되는 다수의 제2 스캔라인; 상기 스캔라인들과 교차하고 상기 제1 및 제2 기간 동안 기저전압과 0V 중 어느 하나의 리셋전압이 공급된 후에 상기 제3 기간 동안 데이터전압이 공급되는 다수의 데이터라인; 상기 제1 스캔펄스에 응답하여 상기 제1 내지 제3 기간 동안 턴-온되어 제1 노드와 상기 데이터라인 사이에 전류패스를 형성하는 제1 스위치소자; 상기 교류 구동전압원과 제2 노드 사이에 형성된 유기발광다이오드소자; 상기 제1 노드의 전압에 응답하여 상기 유기발광다이오드소자와 기저전압원 사이에서 흐르는 전류를 조정하는 제2 스위치소자; 상기 제2 스캔펄스에 응답하여 상기 제1 및 제2 기간 동안 턴-온되어 상기 제1 노드와 상기 제2 노드 사이의 전류패스를 형성하는 제3 스위치소자; 및 상기 제1 스위치소자와 상기 제1 노드 사이에 형성된 제1 커패시터를 구비한다.

대표도 - 도6



특허청구의 범위

청구항 1

제1 기간 동안 고전위 전압으로 유지되고, 상기 제1 기간에 이어지는 제2 기간과 상기 제2 기간에 이어지는 제3 기간 동안 저전위 전압으로 유지되는 교류 구동전압을 발생하는 교류 구동전압원;

제1 스캔펄스가 공급되는 다수의 제1 스캔라인;

상기 제1 스캔펄스의 펄스폭보다 작은 펄스폭의 제2 스캔펄스가 공급되는 다수의 제2 스캔라인;

상기 스캔라인들과 교차하고 상기 제1 및 제2 기간 동안 기저전압과 0V 중 어느 하나의 리셋전압이 공급된 후에 상기 제3 기간 동안 데이터전압이 공급되는 다수의 데이터라인;

상기 제1 스캔펄스에 응답하여 상기 제1 내지 제3 기간 동안 턴-온되어 제1 노드와 상기 데이터라인 사이에 전류패스를 형성하는 제1 스위치소자;

상기 교류 구동전압원과 제2 노드 사이에 형성된 유기발광다이오드소자;

상기 제1 노드의 전압에 응답하여 상기 유기발광다이오드소자와 기저전압원 사이에서 흐르는 전류를 조정하는 제2 스위치소자;

상기 제2 스캔펄스에 응답하여 상기 제1 및 제2 기간 동안 턴-온되어 상기 제1 노드와 상기 제2 노드 사이의 전류패스를 형성하는 제3 스위치소자; 및

상기 제1 스위치소자와 상기 제1 노드 사이에 형성된 제1 커패시터를 구비하는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 2

제 1 항에 있어서,

상기 제1 스캔펄스는 상기 제1 내지 제3 기간 동안 상기 스위치소자들의 턴-온이 가능한 고전위 스캔전압으로 발생되고;

상기 제2 스캔펄스는 상기 제1 및 제2 기간 동안 상기 고전위 스캔전압으로 발생되며;

상기 데이터라인을 통해 공급되는 데이터신호는 상기 제1 및 제2 기간 동안 기저전압과 0V 중 어느 하나로 발생되고 상기 제3 기간 동안 비디오 데이터에 대응하는 데이터 전압으로 발생하는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 3

제 2 항에 있어서,

상기 제1 및 제2 기간은 대략 1/2 수평기간이고;

상기 제1 내지 제3 기간은 대략 1 수평기간인 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 4

제 1 항에 있어서,

상기 제2 스위치소자와 상기 기저전압원 사이의 노드에 제1 전극이 접속되고, 상기 제1 노드에 제2 전극이 접속된 제2 커패시터를 더 구비하는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 5

제 1 항에 있어서,

상기 제1 스위치소자는 상기 제1 스캔라인에 접속된 게이트전극, 상기 데이터라인에 접속된 드레인전극, 및 상기 제1 커패시터의 제1 전극에 접속된 소스전극을 구비하고;

상기 제2 스위치소자는 상기 제1 노드에 접속된 게이트전극, 상기 제2 노드에 접속된 드레인전극, 및 상기 기

저전압원에 접속된 소스전극을 구비하며;

상기 제3 스위치소자는 상기 제2 스캔라인에 접속된 게이트전극, 상기 제1 노드에 접속된 드레인전극, 및 상기 제2 노드에 접속된 소스전극을 구비하는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 6

제 5 항에 있어서,

상기 스위치소자들은 비정질 실리콘 또는 폴리 실리콘을 주성분으로 하는 반도체층을 가지며, N 타입 MOS-FET인 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 7

제1 기간 이전에 고전위 전압으로 유지되고, 상기 제1 기간과 그 이후에 이어지는 제2 기간, 및 상기 제2 기간에 이어지는 제3 기간 동안 저전위 전압으로 유지되며, 상기 제3 기간 동안 고전위 전압으로 유지되는 교류 구동전압을 발생하는 교류 구동전압원;

상기 제1 내지 제3 기간 동안 고전위 스캔전압의 제1 스캔펄스가 공급되는 다수의 제1 스캔라인;

상기 제1 기간 동안 상기 고전위 스캔전압의 제2 스캔펄스가 공급되는 다수의 제2 스캔라인;

상기 제1 및 제2 기간 동안 상기 고전위 스캔전압의 제3 스캔펄스가 공급되는 다수의 제3 스캔라인;

상기 스캔라인들과 교차하고 상기 제1 및 제2 기간 동안 기저전압과 0V 중 어느 하나의 리셋전압이 공급된 후에 상기 제3 기간 동안 데이터전압이 공급되는 다수의 데이터라인;

상기 제1 스캔펄스에 응답하여 상기 제1 내지 제3 기간 동안 턴-온되어 제1 노드와 상기 데이터라인 사이에 전류패스를 형성하는 제1 스위치소자;

상기 교류 구동전압원과 제2 노드 사이에 형성된 유기발광다이오드소자;

상기 제1 노드의 전압에 응답하여 상기 유기발광다이오드소자와 기저전압원 사이에서 흐르는 전류를 조정하는 제2 스위치소자;

상기 제3 스캔펄스에 응답하여 상기 제1 및 제2 기간 동안 턴-온되어 상기 제1 노드와 상기 제2 노드 사이의 전류패스를 형성하는 제3 스위치소자;

상기 제2 스캔펄스에 응답하여 상기 제1 기간 동안 턴-온되어 상기 제1 스캔라인과 상기 제2 노드 사이의 전류패스를 형성하는 제4 스위치소자; 및

상기 제1 스위치소자와 상기 제1 노드 사이에 형성된 제1 커패시터를 구비하는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 8

제 7 항에 있어서,

상기 제1 및 제2 기간은 대략 1/2 수평기간이고;

상기 제1 내지 제3 기간은 대략 1 수평기간인 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 9

제 7 항에 있어서,

상기 제2 스위치소자와 상기 기저전압원 사이의 노드에 제1 전극이 접속되고, 상기 제1 노드에 제2 전극이 접속된 제2 커패시터를 더 구비하는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 10

제 7 항에 있어서,

상기 제1 스위치소자는 상기 제1 스캔라인에 접속된 게이트전극, 상기 데이터라인에 접속된 드레인전극, 및 상기 제1 커패시터의 제1 전극에 접속된 소스전극을 구비하고;

상기 제2 스위치소자는 상기 제1 노드에 접속된 게이트전극, 상기 제2 노드에 접속된 드레인전극, 및 상기 기저전압원에 접속된 소스전극을 구비하고;

상기 제3 스위치소자는 상기 제3 스캔라인에 접속된 게이트전극, 상기 제1 노드에 접속된 드레인전극, 및 상기 제2 노드에 접속된 소스전극을 구비하며,

상기 제4 스위치소자는 상기 제2 스캔라인에 접속된 게이트전극, 상기 제1 스캔라인에 접속된 드레인전극, 및 상기 제2 노드에 접속된 소스전극을 구비하는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 11

제 7 항에 있어서,

상기 제1 스위치소자는 상기 제1 스캔라인에 접속된 게이트전극, 상기 데이터라인에 접속된 드레인전극, 및 상기 제1 커패시터의 제1 전극에 접속된 소스전극을 구비하고;

상기 제2 스위치소자는 상기 제1 노드에 접속된 게이트전극, 상기 제2 노드에 접속된 드레인전극, 및 상기 기저전압원에 접속된 소스전극을 구비하고;

상기 제3 스위치소자는 상기 제3 스캔라인에 접속된 게이트전극, 상기 제1 노드에 접속된 드레인전극, 및 상기 제2 노드에 접속된 소스전극을 구비하며,

상기 제4 스위치소자는 상기 제2 스캔라인에 접속된 게이트전극 및 드레인전극, 상기 제2 노드에 접속된 소스전극을 구비하는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 12

제 10 항 또는 제 11 항에 있어서,

상기 스위치소자들은 비정질 실리콘 또는 폴리 실리콘을 주성분으로 하는 반도체층을 가지며, N 타입 MOS-FET인 것을 특징으로 하는 유기발광다이오드 표시소자.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <19> 본 발명은 유기발광다이오드 표시소자에 관한 것으로 특히, 박막트랜지스터의 문턱전압을 보상하여 구동의 신뢰성을 확보하도록 한 유기발광다이오드 표시소자에 관한 것이다.
- <20> 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판 표시장치는 액정 표시장치(Liquid Crystal Display : 이하 "LCD"라 한다), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 한다) 및 전계발광소자(Electroluminescence Device) 등이 있다.
- <21> 이들 중에 PDP는 구조와 제조공정이 단순하기 때문에 경박단소하면서도 대화면화에 가장 유리한 표시장치로 주목받고 있지만 발광효율과 휘도가 낮고 소비전력이 큰 단점이 있다. 스위칭 소자로 박막 트랜지스터(Thin Film Transistor : 이하 "TFT"라 한다)가 적용된 액티브 매트릭스 LCD는 반도체공정을 이용하기 때문에 대화면화에 어려움이 있지만 노트북 컴퓨터의 표시소자로 주로 이용되면서 수요가 늘고 있다. 이에 비하여, 전계 발광소자는 발광층의 재료에 따라 무기 전계발광소자와 유기발광다이오드소자로 대별되며 스스로 발광하는 자 발광소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.
- <22> 유기발광다이오드소자는 도 1과 같이 유리기관 상에 투명도전성물질로 이루어진 애노드전극을 형성하고, 유기 화합물층 및 도전성 금속으로 된 캐소드전극이 적층된다.
- <23> 유기 화합물층은 정공주입층(Hole Injection layer), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection

layer)을 포함한다.

- <24> 애노드전극과 캐소드전극에 구동전압이 인가되면 정공주입층 내의 정공과 전자주입층 내의 전자는 각각 발광층 쪽으로 진행하여 발광층을 여기시키고, 그 결과 발광층이 가시광을 발산하게 한다. 이렇게 발광층으로부터 발생하는 가시광으로 화상 또는 영상을 표시하게 된다.
- <25> 이와 같은 유기발광다이오드소자는 패시브 매트릭스(passive matrix) 방식 또는, 스위칭소자로써 TFT를 이용하는 액티브 매트릭스(active matrix) 방식의 표시소자로 응용되고 있다. 패시브 매트릭스 방식은 애노드전극과 캐소드전극을 직교하여 그 전극들에 인가되는 전류에 따라 발광셀을 선택하는데 비하여, 액티브 매트릭스 방식은 능동소자인 TFT를 선택적으로 턴-온시켜 발광셀을 선택하고 스토리지 커패시터(Storage Capacitor)에 유지되는 전압으로 발광셀의 발광을 유지한다.
- <26> 도 2는 액티브 매트릭스 방식의 유기발광다이오드 표시소자에 있어서 하나의 화소를 등가적으로 나타내는 회로도이다.
- <27> 도 2를 참조하면, 액티브 매트릭스 방식의 유기발광다이오드 표시소자는 유기발광다이오드소자(OLED), 서로 교차하는 데이터라인(DL) 및 게이트라인(GL), 스위치 TFT(SW_TFT), 구동 TFT(DRV_TFT), 및 스토리지 커패시터(Cst)를 구비한다.
- <28> 스위치 TFT(SW_TFT)는 게이트라인(GL)으로부터의 게이트하이전압(또는 스캔전압)에 응답하여 턴-온됨으로써 자신의 소스단자와 드레인단자 사이의 전류패스를 도통시키고, 게이트라인(GL) 상의 전압이 자신의 문턱전압(Threshold Voltage : V_{th}) 이하인 게이트로우전압일 때 오프 상태를 유지하게 된다. 이 스위치 TFT(SW_TFT)의 온타임기간 동안 데이터라인(DL)으로부터의 데이터전압은 스위치 TFT(SW_TFT)의 소스단자와 드레인단자를 경유하여 구동 TFT(DRV_TFT)의 게이트단자에 인가된다. 이와 반대로, 스위치 TFT(SW_TFT)의 오프타임 기간 동안 스위치 TFT(SW_TFT)의 소스단자와 드레인단자 사이의 전류패스가 개방되어 데이터전압(VDL)이 구동 TFT(DRV_TFT)에 인가되지 않는다.
- <29> 구동 TFT(DRV_TFT)는 자신의 게이트단자에 공급되는 데이터전압에 따라 소스단자와 드레인단자간의 전류양을 조절하여 데이터전압에 대응하는 밝기로 유기발광다이오드소자(OLED)를 발광시킨다.
- <30> 스토리지 커패시터(Cst)는 데이터전압과 저전위공통전압(VSS) 사이의 차전압을 저장하여 구동 TFT(DRV_TFT)의 게이트단자에 인가되는 전압을 한 프레임기간동안 일정하게 유지시킨다.
- <31> 유기발광다이오드소자(OLED)는 도 1과 같은 구조로 구현되고 구동 TFT(DRV_TFT)의 드레인단자에 접속된 캐소드단자와 고전위 구동전압(VDD)이 공급되는 캐소드단자를 포함한다. 이 유기발광다이오드소자(OLED)는 구동 TFT(DRV_TFT)로부터의 전류에 의해 발광한다.
- <32> 그런데 액티브 매트릭스 방식의 유기발광다이오드 표시소자는 구동 TFT(DRV_TFT)의 문턱전압 변동으로 인하여 화질이 열화되는 문제점이 있다. 특히, TFT들의 반도체층이 비정질 실리콘(amorphous silicon)으로 이루어지면 구동시간이 경과할수록 동일 극성의 게이트전압이 반복적으로 인가되면서 누적 스트레스로 인한 문턱치 전압 변동이 심해지는 문제점이 있다. 이러한 비정질 실리콘 타입의 TFT는 폴리 실리콘 타입의 TFT들보다 문턱치 전압 변동의 영향을 더 크게 받는다.
- <33> 도 3은 비정질 실리콘 타입의 TFT에서 누적 스트레스로 인한 문턱치 전압의 변동 예를 나타낸다.
- <34> 도 3을 참조하면, n 채널 TFT인 비정질 실리콘 타입의 TFT는 게이트전극에 정극성 전압으로 게이트전압이 장시간 인가되면 문턱전압이 화살표 방향으로 이동하게 되고, 그 결과 동일한 게이트전압에서 초기 상태에 비하여 시간이 갈수록 유기발광다이오드소자(OLED)에 흐르는 전류가 작게 된다.
- <35> 한편, 이러한 TFT의 문턱전압을 보상하기 위한 방법들이 제안되고 있다. 이러한 보상방법들 중에서, 전류 보상은 구동 TFT와 게이트전극이 공통으로 접속된 TFT의 문턱전압과 구동 TFT의 문턱전압이 동일해야만 정확한 문턱전압 보상이 이루어지지만, 실제로 대부분의 패널에서 TFT들 간에 문턱전압이 완전히 동일하지 않으므로 정확한 보상이 이루어지기가 어렵다. 또한, 전류 보상은 전류가 낮을수록 스토리지 커패시터를 충전시키는 데 필요한 시간이 늘어나므로 고해상도 패널에 적용하기가 어려운 문제점이 있다. 또한, 유기발광다이오드소자(OLED)의 빛으로 포토 TFT에 흐르는 전류를 제어함으로써 구동 TFT의 문턱전압을 보상하는 방법이 있으나 이 방법은 포토 TFT의 반도체층 열화로 인하여 시간이 갈수록 구동 TFT의 온 타임이 증가하고 유기발광다이오드소자(OLED)의 발광량 조절이 어려울 뿐만 아니라, 사용 온도 증가시에 포토 TFT의 전류가 빛이 작아도 많이 흐르고 온도 변화에 따라 유기발광다이오드소자(OLED)의 휘도가 민감하게 변하며 R, G, B 별로 다르게

포토 TFT를 설계하여야 하고 색왜곡이 초래되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<36> 따라서, 본 발명의 목적은 상기한 종래 기술의 문제점을 해결하고자 안출된 발명으로써 TFT의 문턱전압을 보상하여 구동의 신뢰성을 확보하도록 한 유기발광다이오드 표시소자를 제공하는데 있다.

발명의 구성 및 작용

- <37> 상기 목적을 달성하기 위하여, 본 발명의 제1 실시예에 따른 유기발광다이오드 표시소자는 제1 기간 동안 고전위 전압으로 유지되고, 상기 제1 기간에 이어지는 제2 기간과 상기 제2 기간에 이어지는 제3 기간 동안 저전위 전압으로 유지되는 교류 구동전압을 발생하는 교류 구동전압원; 제1 스캔펄스가 공급되는 다수의 제1 스캔라인; 상기 제1 스캔펄스의 펄스폭보다 작은 펄스폭의 제2 스캔펄스가 공급되는 다수의 제2 스캔라인; 상기 스캔라인들과 교차하고 상기 제1 및 제2 기간 동안 기저전압과 0V 중 어느 하나의 리셋전압이 공급된 후에 상기 제3 기간 동안 데이터전압이 공급되는 다수의 데이터라인; 상기 제1 스캔펄스에 응답하여 상기 제1 내지 제3 기간 동안 턴-온되어 제1 노드와 상기 데이터라인 사이에 전류패스를 형성하는 제1 스위치소자; 상기 교류 구동전압원과 제2 노드 사이에 형성된 유기발광다이오드소자; 상기 제1 노드의 전압에 응답하여 상기 유기발광다이오드소자와 기저전압원 사이에서 흐르는 전류를 조정하는 제2 스위치소자; 상기 제2 스캔펄스에 응답하여 상기 제1 및 제2 기간 동안 턴-온되어 상기 제1 노드와 상기 제2 노드 사이의 전류패스를 형성하는 제3 스위치소자; 및 상기 제1 스위치소자와 상기 제1 노드 사이에 형성된 제1 커패시터를 구비한다.
- <38> 상기 제1 스캔펄스는 상기 제1 내지 제3 기간 동안 상기 스위치소자들의 턴-온이 가능한 고전위 스캔전압으로 발생된다.
- <39> 상기 제2 스캔펄스는 상기 제1 및 제2 기간 동안 상기 고전위 스캔전압으로 발생된다.
- <40> 상기 데이터라인을 통해 공급되는 데이터신호는 상기 제1 및 제2 기간 동안 기저전압과 0V 중 어느 하나로 발생되고 상기 제3 기간 동안 비디오 데이터에 대응하는 데이터 전압으로 발생된다.
- <41> 상기 제1 및 제2 기간은 대략 1/2 수평기간이고, 상기 제1 내지 제3 기간은 대략 1 수평기간이다.
- <42> 상기 유기발광다이오드 표시소자는 상기 제2 스위치소자와 상기 기저전압원 사이의 노드에 제1 전극이 접속되고, 상기 제1 노드에 제2 전극이 접속된 제2 커패시터를 더 구비한다.
- <43> 본 발명의 제2 실시예에 따른 유기발광다이오드 표시소자는 제1 기간 이전에 고전위 전압으로 유지되고, 상기 제1 기간과 그 이후에 이어지는 제2 기간, 및 상기 제2 기간에 이어지는 제3 기간 동안 저전위 전압으로 유지되며, 상기 제3 기간 동안 고전위 전압으로 유지되는 교류 구동전압을 발생하는 교류 구동전압원; 상기 제1 내지 제3 기간 동안 고전위 스캔전압의 제1 스캔펄스가 공급되는 다수의 제1 스캔라인; 상기 제1 기간 동안 상기 고전위 스캔전압의 제2 스캔펄스가 공급되는 다수의 제2 스캔라인; 상기 제1 및 제2 기간 동안 상기 고전위 스캔전압의 제3 스캔펄스가 공급되는 다수의 제3 스캔라인; 상기 스캔라인들과 교차하고 상기 제1 및 제2 기간 동안 기저전압과 0V 중 어느 하나의 리셋전압이 공급된 후에 상기 제3 기간 동안 데이터전압이 공급되는 다수의 데이터라인; 상기 제1 스캔펄스에 응답하여 상기 제1 내지 제3 기간 동안 턴-온되어 제1 노드와 상기 데이터라인 사이에 전류패스를 형성하는 제1 스위치소자; 상기 교류 구동전압원과 제2 노드 사이에 형성된 유기발광다이오드소자; 상기 제1 노드의 전압에 응답하여 상기 유기발광다이오드소자와 기저전압원 사이에서 흐르는 전류를 조정하는 제2 스위치소자; 상기 제3 스캔펄스에 응답하여 상기 제1 및 제2 기간 동안 턴-온되어 상기 제1 노드와 상기 제2 노드 사이의 전류패스를 형성하는 제3 스위치소자; 상기 제2 스캔펄스에 응답하여 상기 제1 기간 동안 턴-온되어 상기 제1 스캔라인과 상기 제2 노드 사이의 전류패스를 형성하는 제4 스위치소자; 및 상기 제1 스위치소자와 상기 제1 노드 사이에 형성된 제1 커패시터를 구비한다.
- <44> 상기 스위치소자들은 비정질 실리콘 또는 폴리 실리콘을 주성분으로 하는 반도체층을 가진다.
- <45> 이하, 도 4 내지 도 12를 참조하여 본 발명의 바람직한 실시예들에 대하여 설명하기로 한다.
- <46> 도 4 및 도 5를 참조하면, 본 발명의 제1 실시예에 따른 유기발광다이오드 표시소자는 $m \times n$ 개의 화소들(45)이 형성되는 표시패널(40)과, m 개의 데이터라인들(D1 내지 Dm)에 데이터전압을 공급하기 위한 데이터 구동부(42)와, n 개의 제1 스캔라인(G1 내지 Gn)에 제1 스캔펄스를 순차적으로 공급하고 n 개의 제2 스캔라인(S1 내지 Sn)에 상기 제1 스캔펄스보다 펄스폭이 작은 제2 펄스폭의 제2 스캔펄스를 순차적으로 공급하기 위한 스캔 구동부(43)와, 교류 구동전압(V_{pw})을 발생하는 교류 구동전압원(44), 상기 구동부들(42, 43)과 교류 구동전압

원을 제어하기 위한 타이밍 콘트롤러(41)를 구비한다.

- <47> 표시패널(40)에서, 스캔라인들(G1 내지 Gn, S1 내지 Sn)과 데이터라인들(D1 내지 Dm)의 교차로 정의된 화소 영역들에 화소들(45)이 형성된다. 이러한 표시패널(40)에는 스캔라인들(G1 내지 Gn, S1 내지 Sn) 및 데이터라인들(D1 내지 Dm)과 함께, 교류 구동전압(Vpw)을 각 화소들(45)에 공급하기 위한 구동전압 공급배선이 형성된다.
- <48> 데이터 구동부(42)는 타이밍 콘트롤러(41)로부터의 디지털 비디오 데이터(RGB)를 아날로그 감마보상전압으로 변환한다. 그리고 데이터 구동부(42)는 타이밍 콘트롤러(41)로부터의 제어신호(DDC)에 응답하여 아날로그 감마보상전압을 데이터전압(Vdata)으로써 데이터라인들(D1 내지 Dm)에 공급한다.
- <49> 스캔 구동부(43)는 타이밍 콘트롤러(41)로부터의 제어신호(SDC)에 응답하여 도 5와 같이 1 수평기간(1H) 만큼의 펄스폭을 가지는 고전위 스캔전압의 제1 스캔펄스(Gn)를 제1 스캔라인들(G1 내지 Gn)에 순차적으로 공급함과 동시에, 1/2 수평기간 만큼의 펄스폭을 가지는 고전위 스캔전압의 제2 스캔펄스(Sn)를 제2 스캔라인들(S1 내지 Sn)에 순차적으로 공급한다. 제1 스캔펄스(Gn)와 제2 스캔펄스(Sn)는 쌍을 이루어 한 표시하고자 하는 한 수평라인에 포함된 화소들(45)의 구동 TFT의 문턱전압을 샘플링하는 기간을 지시한 후에, 데이터전압을 샘플링하는 기간을 지시한다. 이를 위하여, 제1 스캔펄스(Gn)와 제2 스캔펄스(Sn)는 동시에 고전위 스캔전압으로 발생된 후, 제1 및 제2 스캔펄스(Sn) 각각이 1 수평기간과 1/2 수평기간 뒤에 저전위 비스캔전압으로 반전된다. 즉, 제2 스캔펄스(Sn)의 폴링에지가 제1 스캔펄스(Gn)의 폴링에지보다 대략 1/2 수평기간 정도 앞선다.
- <50> 교류 구동전압원(44)은 고전위 구동전압(VDD)과 기저전압(GND) 사이에서 스위칭하는 교류 구동전압(Vpw)을 발생한다. 교류 구동전압(Vpw)은 표시패널(40) 상에 형성된 구동전압 공급배선을 통해 각 화소들(45)에 공급된다. 이 교류 구동전압원(44)은 타이밍 콘트롤러(41)의 제어 하에 도 5와 같이 제1 및 제2 스캔펄스(Gn, Sn) 모두가 고전위 스캔전압을 유지하는 구간 사이에서 교류 구동전압(Vpw)을 고전위 구동전압(VDD)으로부터 기저전압으로 반전시키고 제1 스캔펄스(Gn)의 폴링에지에 동기시켜 교류 구동전압(Vpw)을 다시 고전위 구동전압(VDD)으로 반전시킨다.
- <51> 타이밍 콘트롤러(41)는 디지털 비디오 데이터(RGB)를 데이터 구동부(42)에 공급하고 수직/수평 동기신호와 클럭신호 등을 이용하여 스캔 구동부(43), 데이터 구동부(42) 및 교류 구동전압원(44)의 동작 타이밍을 제어하기 위한 제어신호(DDC, GDC, VDC)를 발생한다.
- <52> 화소들(45) 각각은 도 6 및 도 7과 같이 유기발광다이오드소자(OLED), 3 개의 TFT(Tsw, Ts, Td), 및 2 개 또는 1 개의 스토리지 커패시터(C1, C2)를 포함한다.
- <53> 도 6은 본 발명에 따른 유기발광다이오드 표시소자에서 화소들(45)의 제1 실시예를 나타낸다.
- <54> 도 5 및 도 6을 참조하면, 본 발명의 화소(45)는 교류 구동전압원(44)과 제2 노드(n2) 사이에 접속된 유기발광다이오드소자(OLED), 기저전압원(GND)과 제1 노드(n1) 사이에 접속된 제2 커패시터(C2), 제1 스캔펄스(Gn)에 응답하여 데이터전압(Vdata)을 제1 노드(n1)에 공급하는 제1 TFT(M1), 제1 TFT(M1)와 제1 노드(n1) 사이에 접속된 제1 커패시터(C1), 제1 노드(n1)의 전압에 따라 유기발광다이오드소자(OLED)에 흐르는 전류를 제어하는 제3 TFT(M3), 및 제2 스캔펄스(Sn)에 응답하여 제1 노드(n1)와 제2 노드(n2) 사이의 전류패스를 형성하는 제2 TFT(M2)를 구비한다. TFT들(M1, M2, M3)은 n 채널 TFT로 형성되고, 비정질 또는 폴리 실리콘의 반도체층을 포함한다.
- <55> 제1 및 제2 커패시터(C1, C2)는 TFT들(M1, M2, M3)에 의해 형성되는 전류패스에 따라 제2 TFT(M2)의 문턱전압을 저장한 후에 데이터전압을 저장한 다음, 데이터전압에 문턱전압이 더해진 전압을 제2 TFT(M2)의 게이트전극에 공급한다.
- <56> 제1 TFT(M1)는 스위치 TFT로써, 제1 스캔라인(G1 내지 Gn)으로부터 공급되는 스캔펄스(Gn)에 응답하여 제1 커패시터(C1)를 초기화한 후, 데이터전압(Vdata)을 제1 커패시터(C1)에 공급한다. 이 제1 TFT(M1)의 게이트전극은 제1 스캔라인(G1 내지 Gn)에 접속되고, 드레인전극은 데이터라인(D1 내지 Dm)에 접속된다. 그리고 제1 TFT(M1)의 소스전극은 제1 커패시터(C1)의 제1 전극에 접속된다.
- <57> 제2 TFT(M2)는 구동 TFT로써, 제1 및 제2 커패시터(C1, C2)로부터 공급되는 전압에 따라 유기발광다이오드소자(OLED)에 흐르는 전류를 조절한다. 이 제2 TFT(M2)의 문턱전압은 제3 TFT(M3)와 제1 및 제2 커패시터(C1, C2)에 의해 샘플링된다. 제2 TFT(M2)의 게이트전극은 제1 노드(n1)에 접속되고, 드레인전극은 제2 노드(n2)

에 접속된다. 그리고 제2 TFT(M2)의 소스전극은 기저전압원(GND)에 접속된다.

<58> 제3 TFT(M3)는 제2 스캔펄스(Sn)에 응답하여 제1 및 제2 노드(n1, n2) 사이에 전류패스를 형성하여 제2 TFT(M2)의 문턱전압을 검출하는 스위치소자이다. 이 제3 TFT(M3)의 게이트전극은 제2 스캔라인(S1 내지 Sn)에 접속되고, 드레인전극은 제1 노드(n1)에 접속된다. 그리고 제3 TFT(M3)의 소스전극은 제2 노드(n2)에 접속된다.

<59> n 번째 수평라인에 포함된 임의의 화소(45)를 가정하여 화소(45)의 동작을 설명하기로 한다.

<60> t1 기간의 시작점에서 제1 및 제2 스캔펄스(Gn, Sn)는 고전위 스캔전압으로 변하고, t1 기간 동안 데이터라인들(D1 내지 Dm)에는 기저전압(GND) 또는 0V의 전압이 공급되고, 교류 구동전압은 고전위 구동전압(VDD)으로 유지된다. 이 t1 기간 동안, 제1 스캔펄스(SCn)의 고전위 스캔전압과 제1 선택펄스(S1n)의 고전위 스캔전압에 의해 제1 및 제4 TFT(M1, M4)가 턴온된다. 이 때, 제1 TFT(M1)의 소스전극에 접속된 제1 커패시터(C1)의 제1 전극은 데이터라인(D1 내지 Dm) 상의 0V 또는 기저전압(GND)으로 리셋된다. 이와 동시에, 제1 노드(n1)에는 제4 TFT(M4)를 통해 고전위 구동전압(VDD)으로 공급되고 그 결과, 제2 및 제3 TFT(M2, M3)가 턴-온되고 캐패시터들(C1, C2)에 고전위 구동전압(VDD)이 충전된다.

<61> t1 기간에 이어서, t2 기간의 시작점에서 교류 구동전압(Vpw)은 0V 또는 기저전압(GND)으로 변하고, t2 기간 동안 제1 및 제2 스캔펄스(Gn, Sn)는 고전위 스캔전압으로 유지되고, 데이터라인(D1 내지 Dm)은 0V 또는 기저전압(GND)으로 유지된다. 이 t2 기간 동안, 제1 및 제2 커패시터(C1, C2)에 저장된 전하는 제3 TFT(M3)와 제2 TFT(M2)를 경유하여 기저전압원(GND)으로 방전되고 제1 및 제2 커패시터(C1, C2)의 전압이 제2 TFT(M2)의 문턱전압과 같아질 때 제2 TFT(Td)는 턴-오프된다. t2 기간의 종료시점에 제2 스캔펄스(Sn)는 저전위 비스캔전압으로 변하고 그 결과 제3 TFT(M3)는 턴-오프되고 제1 및 제2 커패시터(C1, C2)에 제2 TFT(M2)의 문턱전압이 저장된다. 제1 스캔펄스(Gn)는 t1 기간의 시작시점부터 t3 기간의 종료시점까지 즉, 1 수평기간(1H) 동안 고전위 스캔전압을 유지한다.

<62> t3 기간 동안, 교류 구동전압(Vpw)은 0V 또는 기저전압(GND)을 유지하고 제1 스캔펄스(Gn)는 고전위 스캔전압으로 제2 스캔펄스(Sn)는 저전위 비스캔전압으로 각각 유지된다. 그리고 t3 기간 동안 데이터라인(D1 내지 Dn)에는 데이터전압이 공급된다. 따라서, 제1 TFT(M1)를 통해 데이터전압이 제1 커패시터(C1)에 공급되고, 제1 노드(n1) 즉, 제2 TFT(M2)의 게이트전극에는 제1 및 제2 커패시터(C1, C2)에 저장된 문턱전압이 더해진 데이터전압(Vdata)이 공급된다. 결국, t3 기간 동안 구동 TFT인 제2 TFT(M2)의 게이트전극에는 제2 TFT(M2)의 문턱전압이 보상된 데이터전압(Vdata)이 공급된다. 제2 TFT(M2)의 문턱전압이 이동하더라도 t2 기간 동안 제1 및 제2 커패시터(C1, C2)에 이동된 문턱전압이 저장되므로 t3 기간 동안 이동된 문턱전압이 보상된다.

<63> 마지막으로, t3 기간의 종료시점에 제1 스캔펄스(Gn)는 저전위 비스캔전압으로 변하고 교류 구동전압(Vpw)는 고전위 구동전압(VDD)으로 변하고 그 결과, t3 기간 이후에 유기발광다이오드소자(OLED)에 전류가 흘러 빛이 발광된다.

<64> 도 7은 본 발명에 따른 유기발광다이오드 표시소자에서 화소들(45)의 제2 실시예를 나타낸다.

<65> 도 5 및 도 7을 참조하면, 본 발명의 화소(45)는 교류 구동전압원(44)과 제2 노드(n2) 사이에 접속된 유기발광다이오드소자(OLED), 제2 스캔펄스(Sn)에 응답하여 제1 노드(n1)와 제2 노드(n2) 사이의 전류패스를 형성하는 제2 TFT(M2), 제1 노드(n1)의 전압에 따라 유기발광다이오드소자(OLED)에 흐르는 전류를 제어하는 제3 TFT(M3), 및 제1 스캔펄스(Gn)에 응답하여 데이터전압(Vdata)을 제1 노드(n1)에 공급하는 제1 TFT(M1), 제1 TFT(M1)와 제1 노드(n1) 사이에 접속된 제1 커패시터(C1)를 구비한다. TFT들(M1, M2, M3)는 n 채널 TFT로 형성되고, 비정질 또는 폴리 실리콘의 반도체층을 포함한다. 이 실시예의 화소는 전술한 실시예에 비하여 한 개의 커패시터 즉, 제2 커패시터(C2)를 줄일 수 있다.

<66> 유기발광다이오드소자(OLED), 제1 커패시터(C1), TFT들(M1, M2, M3)의 접속관계는 실질적으로 동일하므로 그에 대한 상세한 설명을 생략하기로 한다.

<67> n 번째 수평라인에 포함된 임의의 화소(45)를 가정하여 도 7에 도시된 화소(45)의 동작을 설명하기로 한다.

<68> t1 기간의 시작점에서 제1 및 제2 스캔펄스(Gn, Sn)는 고전위 스캔전압으로 변하고, t1 기간 동안 데이터라인들(D1 내지 Dm)에는 기저전압(GND) 또는 0V의 전압이 공급되고, 교류 구동전압은 고전위 구동전압(VDD)으로 유지된다. 이 t1 기간 동안, 제1 및 제2 스캔펄스(Gn, Sn)의 고전위 스캔전압에 의해 제1 및 제3 TFT(M1, M3)가 턴온된다. 그러면, 제1 TFT(M1)의 소스전극에 접속된 제1 커패시터(C1)의 제1 전극은 데이터라인(D1 내지 Dm) 상의 0V 또는 기저전압(GND)으로 0으로 리셋되고 제1 노드(n1)에 접속된 제1 커패시터(C1)의 제2 전

극은 제3 TFT(M3)를 통해 공급되는 교류 구동전압(Vpw)의 고전위 구동전압(VDD)을 충전한다. 이와 동시에, 교류 구동전압(Vpw)의 고전위 구동전압(VDD)은 제3 TFT(M3)를 통해 제1 노드(n1)에 공급되어 제2 TFT(M2)의 게이트전압을 상승시켜 제2 TFT(M2)를 턴-온시킨다.

- <69> t1 기간에 이어서, t2 기간의 시작점에서 교류 구동전압(Vpw)은 0V 또는 기저전압(GND)으로 변하고, t2 기간 동안 제1 및 제2 스캔펄스(Gn, Sn)는 고전위 스캔전압으로 유지되고, 데이터라인(D1 내지 Dm)은 0V 또는 기저전압(GND)으로 유지된다. 이 t2 기간 동안, 제1 커패시터(C1)에 저장된 전하는 제3 TFT(M3)와 제2 TFT(M2)를 경유하여 기저전압원(GND)으로 방전되고 제1 커패시터(C1)의 전압이 제2 TFT(M2)의 문턱전압과 같아질 때 제2 TFT(Td)는 턴-오프된다. t2 기간의 종료시점에 제2 스캔펄스(Sn)는 저전위 비스캔전압으로 변하고 그 결과 제3 TFT(M3)는 턴-오프되고 제1 커패시터(C1)에 제2 TFT(M2)의 문턱전압이 저장된다.
- <70> t3 기간 동안, 교류 구동전압(Vpw)은 0V 또는 기저전압(GND)을 유지하고 제1 스캔펄스(Gn)는 고전위 스캔전압으로 제2 스캔펄스(Gn, Sn)는 저전위 비스캔전압으로 각각 유지된다. 그리고 t3 기간 동안 데이터라인(D1 내지 Dn)에는 데이터전압이 공급된다. 따라서, 제1 TFT(M1)를 통해 데이터전압이 제1 커패시터(C1)에 공급되고, 제1 노드(n1) 즉, 제2 TFT(M2)의 게이트전극에는 제1 커패시터(C1)에 저장된 문턱전압이 더해진 데이터전압이 공급된다.
- <71> 마지막으로, t3 기간의 종료시점에 제1 스캔펄스(Gn)는 저전위 비스캔전압으로 변하고 교류 구동전압(Vpw)는 고전위 구동전압(VDD)으로 변하고 그 결과, t3 기간 이후에 유기발광다이오드소자(OLED)에 전류가 흘러 빛이 발광된다.
- <72> 도 8 및 도 9는 본 발명의 제2 실시예에 따른 유기발광다이오드 표시소자를 나타낸다.
- <73> 도 8 및 도 9를 참조하면, 본 발명의 제2 실시예에 따른 유기발광다이오드 표시소자는 $m \times n$ 개의 화소들(85)이 형성되는 표시패널(80)과, m 개의 데이터라인들(D1 내지 Dm)에 데이터전압을 공급하기 위한 데이터 구동부(82)와, n 개의 제1 스캔라인(G1 내지 Gn)에 대략 1 수평기간의 제1 스캔펄스를 순차적으로 공급하고 n 개의 제2 스캔라인(SA1 내지 SAn)에 상기 제1 스캔펄스보다 펄스폭이 작은 제2 펄스폭의 제2 스캔펄스를 순차적으로 공급하며 n 개의 제3 스캔라인(SB1 내지 SBn)에 상기 제1 스캔펄스보다 펄스폭이 작고 상기 제2 스캔펄스보다 펄스폭이 큰 제3 스캔펄스를 순차적으로 공급하기 위한 스캔 구동부(83)와, 교류 구동전압(Vpw)을 발생하는 교류 구동전압원(84), 상기 구동부들(82, 83)과 교류 구동전압원을 제어하기 위한 타이밍 콘트롤러(81)를 구비한다.
- <74> 표시패널(80)에서, 스캔라인들(G1 내지 Gn, SA1 내지 SAn, SB1 내지 SBn)과 데이터라인들(D1 내지 Dm)의 교차로 정의된 화소 영역들에 화소들(85)이 형성된다. 이러한 표시패널(80)에는 스캔라인들(G1 내지 Gn, SA1 내지 SAn, SB1 내지 SBn) 및 데이터라인들(D1 내지 Dm)과 함께, 교류 구동전압(Vpw)을 각 화소들(85)에 공급하기 위한 구동전압 공급배선이 형성된다.
- <75> 데이터 구동부(82)는 타이밍 콘트롤러(81)로부터의 디지털 비디오 데이터(RGB)를 아날로그 감마보상전압으로 변환한다. 그리고 데이터 구동부(82)는 타이밍 콘트롤러(81)로부터의 제어신호(DDC)에 응답하여 아날로그 감마보상전압을 데이터전압(Vdata)으로써 데이터라인들(D1 내지 Dm)에 공급한다.
- <76> 스캔 구동부(83)는 타이밍 콘트롤러(81)로부터의 제어신호(SDC)에 응답하여 도 9와 같이 제1 스캔펄스(Gn)를 제1 스캔라인들(G1 내지 Gn)에 순차적으로 공급함과 동시에, 제2 스캔펄스(Sn)를 제2 스캔라인들(SA1 내지 SAn)에, 그리고 제3 스캔펄스(SBn)를 제3 스캔라인들(SB1 내지 SBn)에 순차적으로 공급한다. 제1 스캔펄스(Gn), 제2 스캔펄스(SAn), 및 제3 스캔펄스(SBn)는 동시에 고전위 스캔전압으로 발생된 후, 제2 스캔펄스(SAn), 제3 스캔펄스(SBn) 및 제1 스캔펄스(Gn)의 순으로 저전위 비스캔전압으로 변한다. 즉, 제3 스캔펄스(SBn)의 폴링에지는 제1 스캔펄스(Gn)의 폴링에지보다 앞서는 반면, 제2 스캔펄스(SAn)의 폴링에지보다 늦다.
- <77> 교류 구동전압원(84)은 고전위 구동전압(VDD)과 기저전압(GND) 사이에서 스위칭하는 교류 구동전압(Vpw)을 발생한다. 교류 구동전압(Vpw)은 표시패널(80) 상에 형성된 구동전압 공급배선을 통해 각 화소들(85)에 공급된다. 이 교류 구동전압원(84)은 타이밍 콘트롤러(81)의 제어 하에 도 9와 같이 스캔펄스들(Gn, SAn, SBn)의 라이징 에지와 동기되어 기저전압(GND)으로 변하고 제1 스캔펄스(Gn)의 폴링에지에 동기되어 고전위 구동전압(VDD)으로 변한다.
- <78> 타이밍 콘트롤러(81)는 디지털 비디오 데이터(RGB)를 데이터 구동부(82)에 공급하고 수직/수평 동기신호와 클럭신호 등을 이용하여 스캔 구동부(83), 데이터 구동부(82) 및 교류 구동전압원(84)의 동작 타이밍을 제어하기 위한 제어신호(DDC, GDC, VDC)를 발생한다.

- <79> 화소들(85) 각각은 도 10, 도 11 또는 도 12와 유기발광다이오드소자(OLED), 4 개의 TFT(Tsw, Ts, Td), 및 2 개 또는 1 개의 스토리지 커패시터(C1, C2)를 포함한다.
- <80> 도 10은 도 8에 도시된 화소들(85)의 제1 실시예를 나타낸다.
- <81> 도 9 및 도 10을 참조하면, 본 발명의 화소(85)는 교류 구동전압원(84)과 제2 노드(n2) 사이에 접속된 유기발광다이오드소자(OLED), 기저전압원(GND)과 제1 노드(n1) 사이에 접속된 제2 커패시터(C2), 제1 스캔펄스(Gn)에 응답하여 데이터전압(Vdata)을 제1 노드(n1)에 공급하는 제1 TFT(M1), 제1 TFT(M1)와 제1 노드(n1) 사이에 접속된 제1 커패시터(C1), 제1 노드(n1)의 전압에 따라 유기발광다이오드소자(OLED)에 흐르는 전류를 제어하는 제2 TFT(M2), 제3 스캔펄스(SBn)에 응답하여 제1 노드(n1)와 제2 노드(n2) 사이의 전류패스를 형성하는 제3 TFT(M3), 및 제2 스캔펄스(SAn)에 응답하여 제1 스캔라인(G1 내지 Gn)과 제2 노드(n2) 사이의 전류패스를 형성하는 제4 TFT(M4)를 구비한다. TFT들(M1, M2, M3, M4)는 n 채널 TFT로 형성되고, 비정질 또는 폴리 실리콘의 반도체층을 포함한다.
- <82> 제1 및 제2 커패시터(C1, C2)는 TFT들(M1, M2, M3, M4)에 의해 형성되는 전류패스에 따라 제2 TFT(M2)의 문턱전압을 저장한 후에 데이터전압을 저장한 다음, 데이터전압에 문턱전압이 더해진 전압을 제2 TFT(M2)의 게이트전극에 공급한다.
- <83> 제1 TFT(M1)는 스위치 TFT로써, 제1 스캔라인(G1 내지 Gn)으로부터 공급되는 제1 스캔펄스(Gn)에 응답하여 제1 커패시터(C1)를 초기화한 후, 데이터전압(Vdata)을 제1 커패시터(C1)에 공급한다. 이 제1 TFT(M1)의 게이트전극은 제1 스캔라인(G1 내지 Gn)에 접속되고, 드레인전극은 데이터라인(D1 내지 Dm)에 접속된다. 그리고 제1 TFT(M1)의 소스전극은 제1 커패시터(C1)의 제1 전극에 접속된다.
- <84> 제2 TFT(M2)는 구동 TFT로써, 제1 및 제2 커패시터(C1, C2)로부터 공급되는 전압에 따라 유기발광다이오드소자(OLED)에 흐르는 전류를 조절한다. 이 제2 TFT(M2)의 문턱전압은 제3 및 제4 TFT(M3, M4)와 제1 및 제2 커패시터(C1, C2)에 의해 샘플링된다. 제2 TFT(M2)의 게이트전극은 제1 노드(n1)에 접속되고, 드레인전극은 제2 노드(n2)에 접속된다. 그리고 제2 TFT(M2)의 소스전극은 기저전압원(GND)에 접속된다.
- <85> 제3 TFT(M3)는 제3 스캔펄스(SBn)에 응답하여 제1 및 제2 노드(n1, n2) 사이에 전류패스를 형성하여 제2 TFT(M2)의 문턱전압을 검출하는 스위치소자이다. 이 제3 TFT(M3)의 게이트전극은 제3 스캔라인(SB1 내지 SBn)에 접속되고, 드레인전극은 제1 노드(n1)에 접속된다. 그리고 제3 TFT(M3)의 소스전극은 제2 노드(n2)에 접속된다.
- <86> 제4 TFT(M4)는 제2 스캔펄스(SAn)에 응답하여 제1 스캔라인(G1 내지 Gn)과 제2 노드(n2) 사이에 전류패스를 형성하여 제2 커패시터(C2)를 충전시킨 후에, 제2 TFT(M2)의 문턱전압이 검출될 때 턴-오프되는 스위치소자이다. 이 제4 TFT(M4)의 게이트전극은 제2 스캔라인(SA1 내지 SAn)에 접속되고, 드레인전극은 제1 스캔라인(G1 내지 Gn)에 접속된다. 그리고 제4 TFT(M4)의 소스전극은 제2 노드(n2)에 접속된다.
- <87> n 번째 수평라인에 포함된 임의의 화소(85)를 가정하여 그 화소(85)의 동작을 설명하기로 한다.
- <88> t1 기간의 시작점에서 교류 구동전압(Vpw)은 기저전압(GND)으로 변하고 제1 내지 제3 스캔펄스(Gn, SAn, SBn)는 고전위 스캔전압으로 변한다. t1 기간 동안 데이터라인들(D1 내지 Dm)에는 기저전압(GND) 또는 0V의 전압이 공급된다. 이 t1 기간 동안, 스캔펄스들(Gn, SAn, SBn)의 고전위 스캔전압에 의해 제1, 제3 및 제4 TFT(M1, M3)가 턴온된다. 그러면, 제1 커패시터(C1)의 제1 전극에 충전되었던 전압은 데이터라인(D1 내지 Dm) 상의 0V 또는 기저전압(GND)으로 방전되어 리셋되고, 제1 커패시터(C2)의 제2 전극과 제2 커패시터(C2)는 제4 TFT(M4), 제3 TFT(M3) 및 제1 노드(n1)를 경유하여 공급되는 제1 스캔펄스(Gn)의 고전위 스캔전압을 충전하고, 제2 TFT(M2)는 제1 노드(n1)D의 전압으로 게이트전압이 상승하여 턴-온된다. 이 t1 기간 동안, 교류 구동전압(Vpw)이 저전위 전압으로 발생되므로 유기발광다이오드소자(OLED)의 양단에는 유기발광다이오드소자(OLED)의 문턱전압 이하의 전압차가 인가되고 그 결과, 유기발광다이오드소자(OLED)에는 전류가 흐르지 않는다. 다시 말하여, t1 기간 동안 유기발광다이오드소자에서 빛이 발생되지 않으므로 원치 않는 블랙 휘도의 증가가 없다.
- <89> t1 기간에 이어서, t2 기간의 시작점에서 제2 스캔펄스(SAn)의 전압은 저전위 비스캔전압으로 변하고, t2 기간 동안 제1 및 제3 스캔펄스(Gn, SBn)는 고전위 스캔전압을 유지하고 교류 구동전압(Vpw)은 저전위 전압으로 유지된다. 그리고 t2 기간 동안 데이터라인(D1 내지 Dm)은 0V 또는 기저전압(GND)으로 유지된다. 이 t2 기간 동안, 제4 TFT(M3)는 턴-오프되어 제1 스캔라인(Gn)과 제2 노드(n2) 사이의 전류패스가 차단된다. 이 t2 기간 동안 제1 및 제2 커패시터(C1, C2)에 저장된 전하는 제3 TFT(M3)와 제2 TFT(M2)를 경유하여 기저전압원

(GND)으로 방전되고 제1 및 제2 커패시터(C1, C2)의 전압이 제2 TFT(M2)의 문턱전압과 같아질 때 제2 TFT(M2)는 턴-오프된다. t2 기간의 종료시점에 제3 스캔펄스(SBn)는 저전위 비스캔전압으로 변하고 그 결과, 제3 TFT(M3)는 턴-오프되고 제1 및 제2 커패시터(C1, C2)에 제2 TFT(M2)의 문턱전압이 저장된다.

<90> t3 기간의 시작점에 교류 구동전압(Vpw)은 고전위 전압으로 변한다. t3 기간 동안 제1 스캔펄스(Gn)는 하이 논리전압으로 유지되고, 제2 및 제3 스캔펄스(SAn, SBn)는 로우논리전압으로 유지된다. 그리고 t3 기간 동안 데이터라인(D1 내지 Dn)에는 디지털 비디오 데이터에 대응하는 아날로그 데이터전압이 공급된다. 이 t3 기간 동안, 제3 TFT(M3)가 턴-오프되어 제1 및 제2 커패시터(C1, C2)는 제2 TFT(M2)의 문턱전압을 유지하고, 제1 TFT(M1)를 통해 데이터전압이 제1 커패시터(C1)에 공급된다. 이 때, 제1 노드(n1) 즉, 제2 TFT(M2)의 게이트전극에는 제1 및 제2 커패시터(C1, C2)에 저장된 문턱전압이 더해진 데이터전압(Vdata)이 공급된다. 결국, t3 기간 동안 구동 TFT인 제2 TFT(M2)의 게이트전극에는 제2 TFT(M2)의 문턱전압이 보상된 데이터전압(Vdata)이 공급된다. 제2 TFT(M2)의 문턱전압이 이동하더라도 t2 기간 동안 제1 및 제2 커패시터(C1, C2)에 이동된 문턱전압이 저장되므로 t3 기간 동안 이동된 문턱전압이 보상된다.

<91> 마지막으로, t3 기간의 종료시점에 제1 스캔펄스(Gn)는 저전위 비스캔전압으로 변하고 교류 구동전압(Vpw)은 고전위 구동전압(VDD)으로 변한다. 그 결과, t3 기간 이후에 유기발광다이오드소자(OLED)에 전류가 흘러 빛이 발광된다.

<92> 도 11은 도 8에 도시된 화소들(85)의 제2 실시예를 나타낸다.

<93> 도 9 및 도 11을 참조하면, 본 발명의 화소(85)는 제4 TFT(M4) 이외의 다른 구성요소들이 전술한 도 10의 실시예와 실질적으로 동일하고 그 구동 파형과 동작 면에서도 도 10의 실시예와 실질적으로 동일하다.

<94> 제4 TFT(M4)는 게이트전극 및 드레인전극이 제2 스캔라인(SA1 내지 SAn)에 공통으로 접속되어 다이오드로 동작하여 제2 노드(n2)로부터 제2 스캔라인(SA1 내지 SAn) 쪽으로 흐르는 역방향 전류를 차단한다. 이 제4 TFT(M4)의 소스전극은 제2 노드(n2)에 접속된다.

<95> 도 12는 도 8에 도시된 화소들(85)의 제3 실시예를 나타낸다.

<96> 도 9 및 도 11을 참조하면, 본 발명의 화소(85)는 도 10의 실시예에 비하여 제2 커패시터(C2)를 제거한 것과 실질적으로 동일하다. 이 화소(85)의 구동 파형은 도 9와 같고 동작 면에서 도 10의 실시예와 실질적으로 동일하다.

<97> 제2 TFT(M2)의 문턱전압은 t2 기간 동안 제1 커패시터(C1)에 저장되고, t3 기간 동안, 제1 커패시터(C1)에 저장된 문턱전압이 더해진 데이터전압(Vdata)이 제2 TFT(M2)의 게이트전극에 인가된다.

<98> 한편, 전술한 실시예에서 각 스위치소자들이 n 채널 TFT로 구현된 예를 예시하였지만, 상기 스위치소자들은 p 채널 TFT로 선택될 수 있다. 스위치소자들이 P 타입 MOS-FET로 선택되는 경우, 스캔펄스들의 전압이 상기 실시예들과는 반전된 형태로 발생된다.

발명의 효과

<99> 상술한 바와 같이, 본 발명에 따른 유기발광다이오드 표시소자는 3 개 또는 4 개의 스위치소자, 1 개 또는 2 개의 커패시터를 이용하여 TFT의 문턱전압을 보상하여 구동의 신뢰성을 확보할 수 있다.

<100> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

<1> 도 1은 통상의 유기발광다이오드 표시소자의 구조를 개략적으로 나타내는 도면.

<2> 도 2는 통상의 액티브 매트릭스 방식의 유기발광다이오드 표시소자에 있어서 한 화소를 증가적으로 나타내는 회로도.

<3> 도 3은 도 2에 도시된 구동 박막트랜지스터의 문턱치 전압 변동 예를 나타내는 그래프.

<4> 도 4는 본 발명의 제1 실시예에 따른 유기발광다이오드 표시소자를 나타내는 블록도.

<5> 도 5는 도 4에 도시된 구동부들의 출력파형을 보여 주는 파형도.

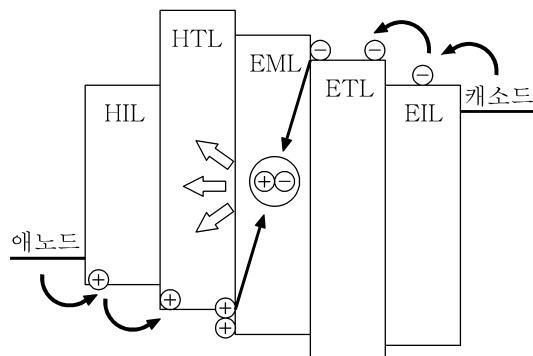
- <6> 도 6은 도 4에 도시된 화소의 제1 실시예를 보여 주는 등가 회로도.
- <7> 도 7은 도 4에 도시된 화소의 제2 실시예를 보여 주는 등가 회로도.
- <8> 도 8은 본 발명의 제2 실시예에 따른 유기발광다이오드 표시소자를 나타내는 블록도.
- <9> 도 9는 도 8에 도시된 구동부들의 출력파형을 보여 주는 파형도.
- <10> 도 10은 도 8에 도시된 화소의 제1 실시예를 보여 주는 등가 회로도.
- <11> 도 11은 도 8에 도시된 화소의 제2 실시예를 보여 주는 등가 회로도.
- <12> 도 12는 도 8에 도시된 화소의 제3 실시예를 보여 주는 등가 회로도.

<13> < 도면의 주요 부분에 대한 부호의 설명 >

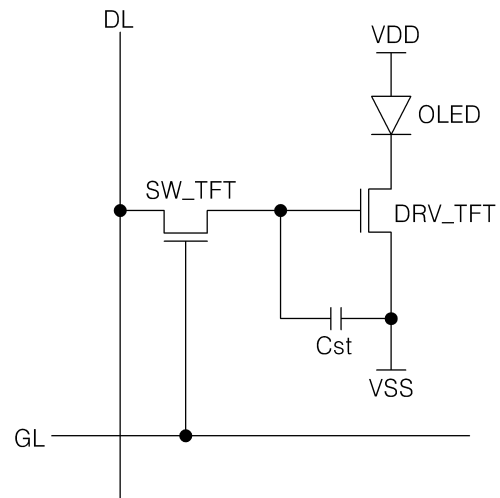
- | | | |
|------|-------------------|--------------------|
| <14> | 40, 80 : 표시패널 | 41, 81 : 타이밍 콘트롤러 |
| <15> | 42, 82 : 데이터 구동부 | 43, 83 : 게이트 구동부 |
| <16> | 44, 84 : 교류 구동전압원 | 44, 84 : 교류 구동전압원 |
| <17> | 45, 85 : 화소 | M1 내지 M6 : 박막트랜지스터 |
| <18> | C1, C2 : 커패시터 | |

도면

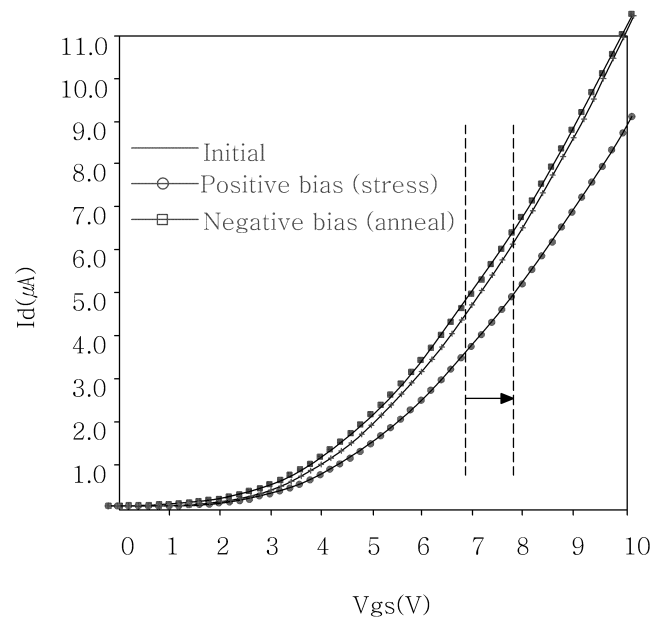
도면1



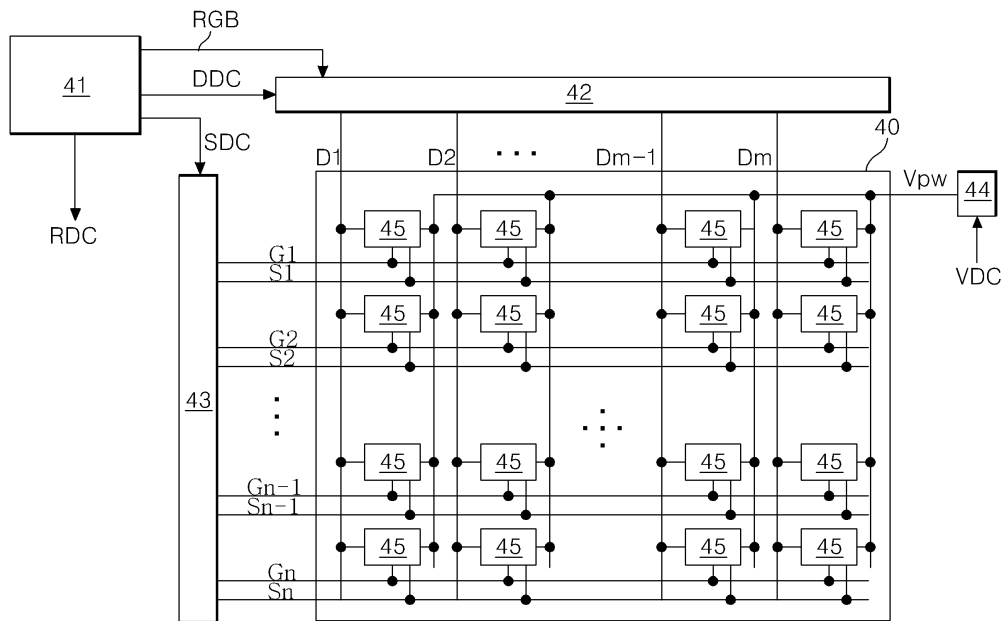
도면2



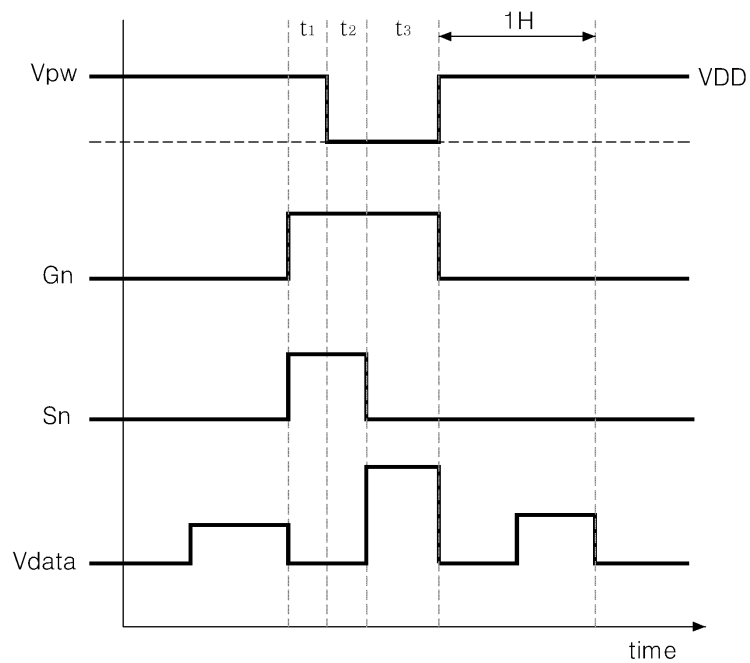
도면3



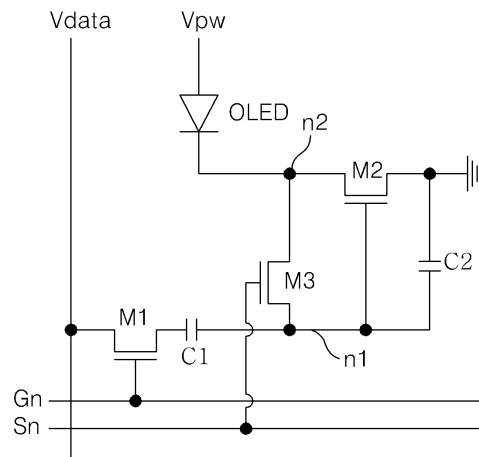
도면4



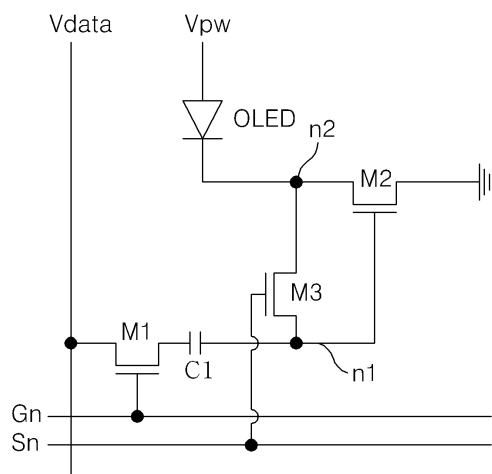
도면5



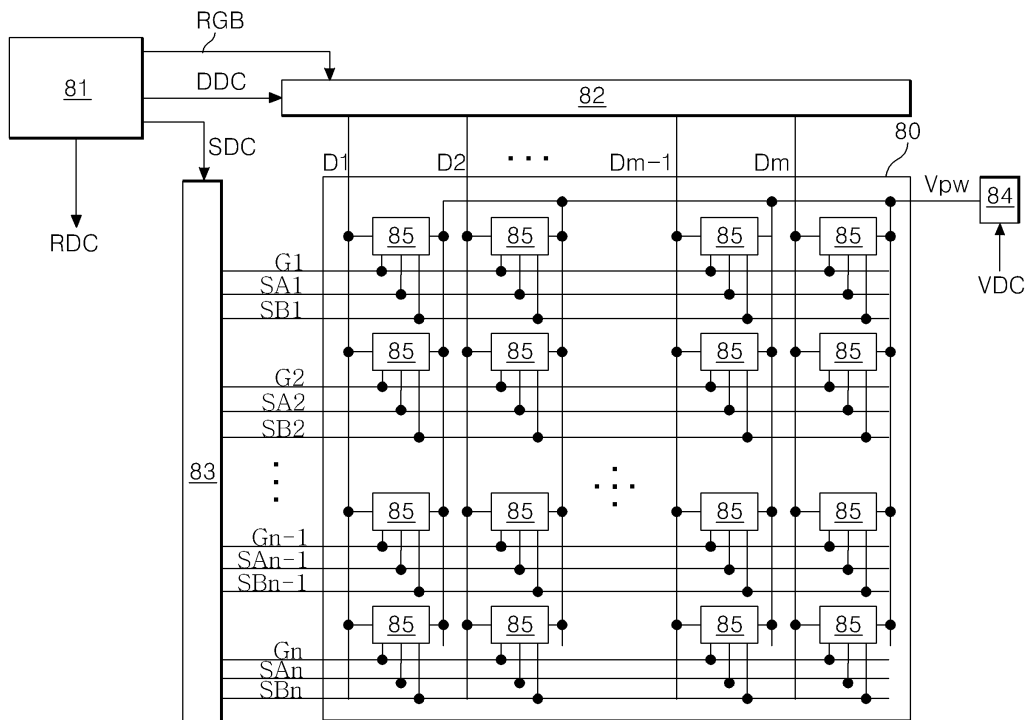
도면6



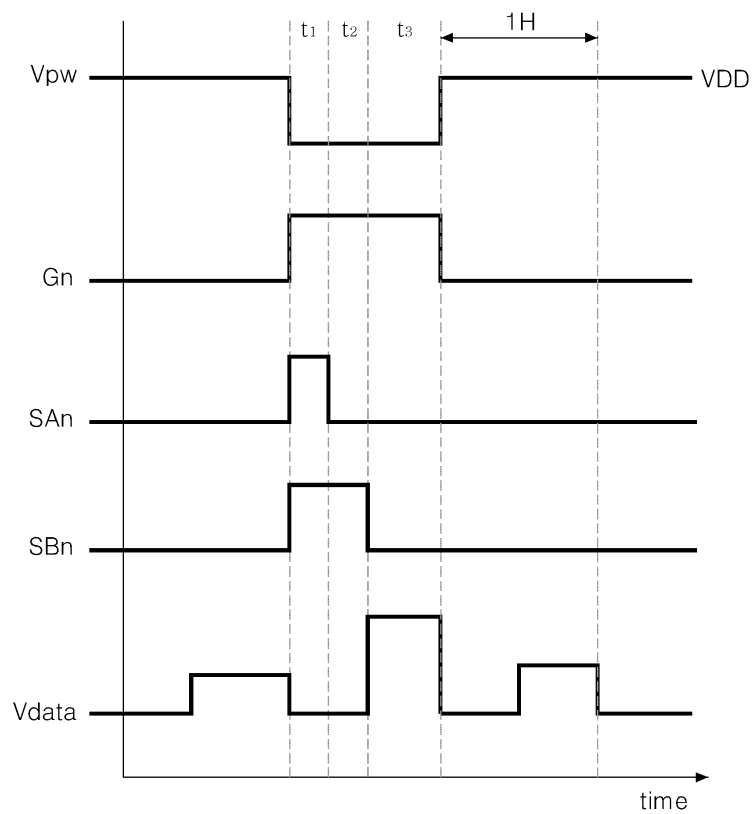
도면7



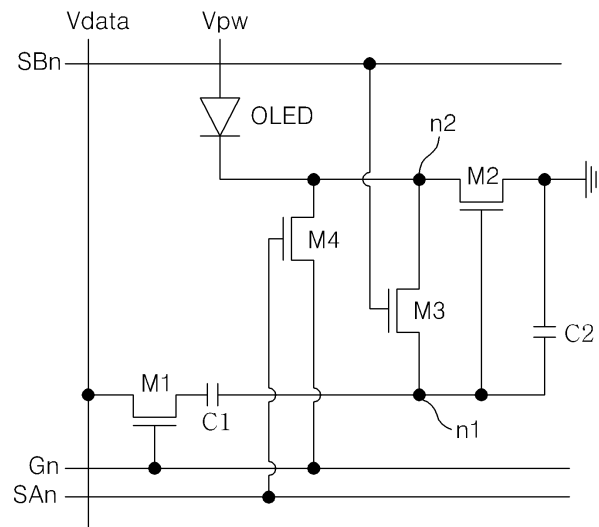
도면8



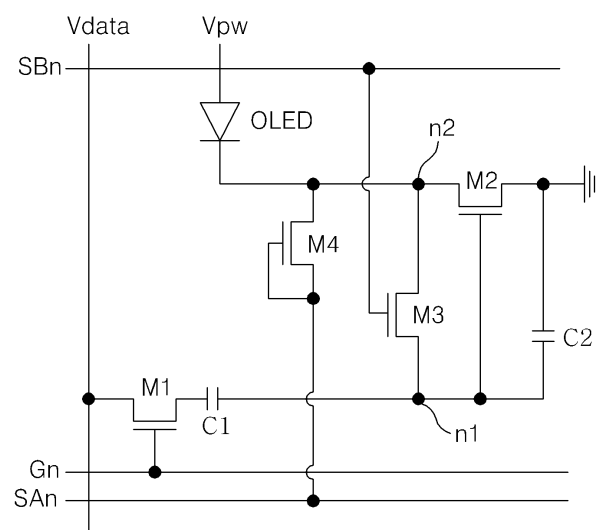
도면9



도면10



도면11



도면12

