

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H05B 33/26 (2006.01)

H05B 33/10 (2006.01)

(11) 공개번호

10-2006-0059722

(43) 공개일자

2006년06월02일

(21) 출원번호 10-2004-0098878

(22) 출원일자 2004년11월29일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575(72) 발명자 오상현
경기도 용인시 기흥읍 공세리 삼성SDI중앙연구소

(74) 대리인 박상수

심사청구 : 있음

(54) 보조 전극 라인을 구비하는 유기전계발광소자 및 그의제조 방법

요약

본 발명은 유기전계발광소자의 보조 전극 라인 형성으로 제 2 전극의 IR 드롭(IR drop)을 방지하고, 상기 보조 전극 라인을 복수개의 패턴 및 트렌치(Trench)를 구비하도록 형성하여 상기 보조 전극 라인과 제 2 전극과의 접촉 면적을 작게 하여 열 저항을 감소시켜 큐어링(Curing) 시 열전달을 최적화함으로써 유기막 내 잔류 가스 성분을 제거하여 아웃가싱(Out-gassing) 현상으로 인한 유기발광층의 열화를 통한 화소 수축 현상을 방지하여 제품의 신뢰성을 향상시키는 유기전계발광소자 및 그의 제조 방법을 제공한다.

대표도

도 2

색인어

유기전계발광소자, 보조 전극 라인, 화소 수축(pixel shrinkage)

명세서

도면의 간단한 설명

도 1은 종래의 능동형 유기전계발광소자의 구조를 나타내는 단면도이다.

도 2는 본 발명의 제 1 실시예에 의한 유기전계발광소자의 구조를 나타내는 단면도이다.

도 3은 유기전계발광소자의 막에 따른 큐어링 후 유기막의 두께를 비교한 그래프이다.

도 4는 본 발명의 재료 및 선폭에 따른 큐어링 후 유기막의 두께를 비교한 그래프이다.

도 5는 본 발명의 제 1 도전성 패턴 물성의 특성치를 나타낸 그래프이다.

도 6은 본 발명의 제 1 도전성 패턴 물성의 온도에 따른 열용량을 나타낸 그래프이다.

도 7은 본 발명의 제 2 실시예에 의한 유기전계발광소자의 구조를 나타내는 단면도이다.

도 8은 본 발명의 제 3 실시예에 의한 유기전계발광소자의 구조를 나타내는 단면도이다.

도 9는 본 발명의 제 4 실시예에 의한 유기전계발광소자의 구조를 나타내는 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

300 : 기판 310 : 반도체층

320 : 게이트 절연막 330 : 게이트

340 : 층간 절연막 341 : 콘택홀

345 : 소오스/드레인 전극 347 : 제 1 도전성 패턴

350 : 절연막 355 : 비아홀

370 : 제 1 전극 371 : 제 2 도전성 패턴

373 : 보조 전극 라인 380 : 유기막층

390 : 제 2 전극

a : 패널 영역 b : 배선 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광소자 및 그의 제조 방법에 관한 것으로, 보다 자세하게는 유기전계발광소자의 보조 전극 라인 형성으로 제 2 전극의 IR 드롭(IR drop)을 방지하고, 상기 보조 전극 라인을 복수개의 패턴 및 트렌치(Trench)를 구비하도록 형성하여 상기 보조 전극 라인과 제 2 전극과의 접촉 면적을 작게 하여 열저항을 감소시켜 큐어링(Curing) 시 열전달을 최적화함으로써 유기막 내 잔류 가스 성분을 제거하여 아웃가싱(Out-gassing) 현상으로 인한 유기발광층의 열화를 통한 화소 수축 현상을 방지하여 제품의 신뢰성을 향상시키는 유기전계발광소자 및 그의 제조 방법에 관한 것이다.

평판표시소자(Flat Panel Display Device) 중에서 유기전계발광소자(Organic Electroluminescence Display Device)는 자발광이며, 시야각이 넓고, 응답 속도가 빠르고, 얇은 두께와 낮은 제작비용 및 높은 콘트라스트(Contrast) 등의 특성을 나타냄으로써 향후 차세대 평판표시소자로 주목받고 있다.

통상적으로, 유기전계발광소자는 애노드 전극과 캐소드 전극 사이에 유기발광층을 포함하고 있어 애노드 전극으로부터 공급받는 홀과 캐소드 전극으로부터 받은 전자가 유기발광층 내에서 결합하여 정공-전자 쌍인 여기자를 형성하고 다시 상기 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하게 된다.

일반적으로 유기전계발광소자는 매트릭스 형태로 배치된 $N \times M$ 개의 화소들을 구동하는 방식에 따라 수동 매트릭스 (Passive matrix) 방식과 능동 매트릭스 (Active matrix) 방식으로 나뉘어진다. 상기 수동 매트릭스 방식은 애노드 전극과 캐소드 전극을 직교하도록 형성하고 라인을 선택하여 구동하며, 반면 능동 매트릭스 방식은 표시 영역이 각 화소마다 박막 트랜지스터와 커패시터를 각 화소 전극에 접속하여 커패시터 용량에 의해 전압을 유지하도록 하는 구동방식이다.

상기 능동 매트릭스 유기전계발광소자는 각 단위화소가 기본적으로 스위칭 트랜지스터, 구동 트랜지스터, 커패시터 및 EL 소자를 구비하며, 상기 구동 트랜지스터 및 커패시터에는 전원공급라인으로부터 공통전원(Vdd)이 제공되며, 상기 전원공급라인은 구동 트랜지스터를 통해 EL소자로 흐르는 전류를 제어하는 역할을 한다. 또한, 보조 전극 라인은 보조 전원공급 라인으로서 제 2 전극에 전원을 공급하여 소오스/드레인간의 전압과 제 2 전극에 전위차를 형성시켜 전류를 흐르게 한다.

도 1은 종래의 능동형 유기전계발광소자 및 그의 제조 방법을 나타내는 단면도이다.

도 1을 참조하면, 종래의 능동형 유기전계발광소자는 패널 영역(a)과 배선 영역(b)을 구비하는 기판(100) 상에 버퍼층(105)이 형성되어 있다. 상기 패널 영역(a)의 버퍼층(105) 상부에는 소오스/드레인 영역들(110c, 110a) 및 채널 영역(110b)을 포함하는 반도체층(110)이 패터닝되어 형성되어 있다.

이어서, 상기 반도체층(110) 상부 전체에 걸쳐 게이트 절연막(120)이 형성되어 있으며, 상기 패널 영역(a)의 게이트 절연막(120) 상에 상기 채널 영역(110b)에 대응되도록 게이트 전극(130)이 형성되어 있다. 상기 게이트 전극(130) 상부의 기판 전면에 걸쳐 층간 절연막(140)이 형성되어 있으며, 상기 패널 영역(a)의 층간 절연막(140) 내에 형성되어 있는 콘택홀(Contact Hole)(141)을 통하여 상기 반도체층(110)의 소오스/드레인 영역(110c, 110a)과 소오스/드레인 전극(145)이 연결되어 있다. 이로써, 상기 반도체층(110), 게이트(130) 및 소오스/드레인 전극(145)으로 이루어진 박막트랜지스터가 형성된다. 이 때, 상기 배선 영역(b)에도 상기 소오스/드레인 전극(145) 물질과 동일한 물질로 이루어진 제 1 도전성 패턴(147)이 형성되어 있으며, 상기 제 1 도전성 패턴(147)은 보조 전극 라인이 된다.

이어서, 상기 소오스/드레인 전극(145) 및 제 1 도전성 패턴(147) 상부의 기판 전면에 걸쳐 패시베이션막 및 평탄화막과 같은 절연막(150)이 형성되어 있고, 상기 배선 영역(b)의 제 1 도전성 패턴(147) 상부에 형성된 절연막(150)은 식각을 통해 제거되어 있다.

상기 패널 영역(a)의 절연막(150) 상부에 상기 소오스/드레인 전극들(145) 중 어느 하나를 노출시키는 비아홀(155)이 형성되어 있으며, 상기 비아홀(155)을 통하여 상기 소오스/드레인 전극(145)과 접하고 절연막(150) 상으로 연장되도록 제 1 전극(170)이 패터닝되어 형성되어 있다.

이어서, 배선 영역(b)을 제외한 제 1 전극(170) 및 절연막(150) 상부에 개구부를 갖는 화소정의막(175)이 더욱 형성되어 있다. 이어서, 상기 패널 영역(a)의 개구부 내에 노출된 제 1 전극(170) 상에 최소한 유기발광층을 포함하는 유기막층(180)이 패터닝되어 형성되어 있으며, 기판 전면에 걸쳐 상기 유기막층(180) 상부에 제 2 전극(190)이 형성되어 있다. 상기 배선 영역(b)의 제 2 전극(190)은 제 1 도전성 패턴(147)을 전기적으로 연결시킨다.

상기 제 1 도전성 패턴(147)은 상기 패널 영역(a)의 소오스/드레인 전극(145) 물질과 동일한 물질로 형성되는데, 종래와 같이 상기 제 1 도전성 패턴(147)의 선폴이 넓은 경우 상기 제 1 도전성 패턴(147)의 재료인 텅스텐몰리브덴(MoW), 몰리브덴(Mo) 및 텅스텐(W) 등이 갖는 초기 물성의 특성인 열용량이 실리콘 질화막(SiNx)보다 높아 그 차에 의해 텅스텐몰리브덴(MoW), 몰리브덴(Mo) 및 텅스텐(W) 등은 실리콘 질화막(SiNx)에 열전달을 잘 시키지 못 한다. 이로 인해 유기막 큐어링 시 영역별로 리플로우(Reflow)가 잘 되지 않고 영역별로 큐어링 효과가 달라져 큐어링 후 영역에 따라 유기막 두께가 달라지고, 또한 유기막 내 잔류 가스 성분으로 인해 유기발광층으로의 아웃개싱 현상으로 유기발광층의 열화를 통한 화소 수축 현상이 발생하는 문제점을 안고 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상기한 종래 기술의 문제점을 해결하기 위한 것으로, 유기전계발광소자의 보조 전극 라인 형성으로 제 2 전극의 IR 드롭(IR drop)을 방지하고, 상기 보조 전극 라인을 복수개의 패턴 및 트렌치를 구비하도록 형성하여 상기 보조 전극 라인과 제 2 전극과의 접촉 면적을 작게 하여 열저항을 감소시켜 큐어링 시 열전달을 최적화함으로써 유기막 내 잔류 가스 성분을 제거하여 아웃개싱 현상으로 인한 유기발광층의 열화를 통한 화소 수축 현상을 방지하여 제품의 신뢰성을 향상시키는 유기전계발광소자 및 그의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

본 발명은 보조 전극 라인을 구비한 유기전계발광소자 및 그의 제조 방법에 관한 것으로, 본 발명은 패널 영역과 배선 영역을 구비하는 기관, 상기 기관 상의 패널 영역에 형성되어 있으며 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터 및 상기 배선 영역에 복수개의 패턴으로 형성되어 있는 제 1 도전성 패턴, 상기 제 1 도전성 패턴 상부에 형성되어 있으며 적어도 제 1 도전성 패턴이 노출되도록 형성되어 있는 절연막, 상기 절연막 내의 비아홀을 통해 상기 소오스/드레인 전극과 접하도록 형성되어 있는 제 1 전극 및 상기 배선 영역의 제 1 도전성 패턴 상에 복수개의 패턴으로 형성되어 있는 제 2 도전성 패턴, 상기 패널 영역의 제 1 전극 상부에 패터닝되어 형성되어 있으며 적어도 유기발광층을 포함하는 유기막층, 및 기관 전면에 걸쳐 상기 유기막층 상부에 형성되어 있는 제 2 전극을 포함하며, 상기 제 1 도전성 패턴과 제 2 도전성 패턴은 제 2 전극과 전기적으로 연결되어 보조 전극 라인을 형성하며, 상기 제 1 도전성 패턴은 소오스/드레인 전극 물질과 동일한 물질이고 상기 제 2 도전성 패턴은 제 1 전극 물질과 동일한 물질이며, 상기 제 1, 2 도전성 패턴은 복수개의 패턴으로 형성되는 것을 특징으로 하는 유기전계발광소자를 제공한다.

본 발명은 패널 영역과 배선 영역을 구비하는 기관, 상기 기관 상의 패널 영역에 형성되어 있으며 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터 및 상기 배선 영역에 형성되어 있으며 트랜치를 구비하는 제 1 도전성 패턴, 상기 제 1 도전성 패턴 상부에 형성되어 있으며 적어도 제 1 도전성 패턴이 노출되도록 형성되어 있는 절연막, 상기 절연막 내의 비아홀을 통해 상기 소오스/드레인 전극과 접하도록 형성되어 있는 제 1 전극, 상기 패널 영역의 제 1 전극 상부에 패터닝되어 형성되어 있으며 적어도 유기발광층을 포함하는 유기막층, 및 기관 전면에 걸쳐 상기 유기막층 상부에 형성되어 있는 제 2 전극을 포함하며, 상기 제 1 도전성 패턴은 제 2 전극과 전기적으로 연결되어 보조 전극 라인을 형성하며, 상기 소오스/드레인 전극 물질과 동일한 물질로서 트랜치를 구비하는 것을 특징으로 하는 유기전계발광소자를 제공한다.

본 발명은 패널 영역과 배선 영역을 구비하는 기관, 상기 기관 상의 패널 영역에 형성되어 있으며 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터 및 상기 배선 영역에 복수개의 패턴으로 형성되는 제 1 도전성 패턴, 상기 제 1 도전성 패턴의 상부가 적어도 노출되도록 형성되어 있는 절연막, 상기 절연막 내의 비아홀을 통해 상기 소오스/드레인 전극과 접하도록 형성되어 있는 제 1 전극 및 상기 배선 영역의 절연막 내에 제 1 도전성 패턴에 접하도록 복수개의 패턴으로 형성되는 제 2 도전성 패턴, 상기 패널 영역의 제 1 전극 상부에 패터닝되어 형성되어 있으며 적어도 유기발광층을 포함하는 유기막층, 및 기관 전면에 걸쳐 상기 유기막층 상부에 형성되어 있는 제 2 전극을 포함하며, 상기 제 1 도전성 패턴과 제 2 도전성 패턴은 제 2 전극과 전기적으로 연결되어 보조 전극 라인을 형성하며, 상기 제 1 도전성 패턴은 게이트 전극 물질과 동일하고 제 2 도전성 패턴은 제 1 전극 물질과 동일하며, 상기 제 1, 2 도전성 패턴은 복수개의 패턴으로 형성되는 것을 특징으로 하는 유기전계발광소자를 제공한다.

또한, 본 발명은 패널 영역과 배선 영역을 구비하는 기관, 상기 기관 상의 상기 패널 영역에 형성되어 있으며 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터 및 상기 배선 영역에 형성되어 있으며 트랜치를 구비하는 제 1 도전성 패턴, 상기 제 1 도전성 패턴 상부에 형성되어 있으며 적어도 제 1 도전성 패턴 상부를 노출시키는 층간 절연막, 상기 소오스/드레인 전극 상부에 형성되며 제 1 도전성 패턴 상부에는 식각을 통해 제거되어 형성되어 있는 절연막, 상기 절연막 내의 비아홀을 통해 상기 소오스/드레인 전극과 접하도록 형성되어 있는 제 1 전극, 상기 제 1 전극 상부에 패터닝되어 형성되어 있으며 적어도 유기발광층을 포함하는 유기막층, 및 기관 전면에 걸쳐 상기 유기막층 상부에 형성되어 있는 제 2 전극을 포함하며, 상기 제 1 도전성 패턴은 제 2 전극과 전기적으로 연결되어 보조 전극 라인을 형성하며, 상기 게이트 전극 물질과 동일한 물질로서 트랜치를 구비하는 것을 특징으로 하는 유기전계발광소자를 제공한다.

이하, 본 발명을 첨부하는 도면을 참조하여 상세히 설명한다.

도 2는 본 발명의 제 1 실시예에 의한 유기전계발광소자의 구조를 나타내는 단면도이다.

도 2를 참조하면, 본 발명의 제 1 실시예에 따른 유기전계발광소자는 패널 영역(a)과 배선 영역(b)을 구비하고 있는 기관(300) 전면에 걸쳐 실리콘 질화막, 실리콘 산화막 및 이들의 이중층으로 된 버퍼층(305)이 형성된다. 상기 버퍼층(305) 상의 패널 영역(a)에 다결정 실리콘 또는 비정질 실리콘으로 막을 형성한 다음 패터닝하여 소오스/드레인 영역들(310c, 310a) 및 채널 영역(310b)를 포함하는 반도체층(310)이 형성된다. 바람직하게 상기 반도체층(310)은 다결정 실리콘으로 형성된다.

이어서, 상기 반도체층(310)을 포함한 기관 상부 전체에 걸쳐 게이트 절연막(320)이 형성된다. 상기 게이트 절연막(320)은 실리콘 질화막, 실리콘 산화막 또는 이들의 이중층으로 형성될 수 있다.

이어서, 상기 패널 영역(a)의 게이트 절연막(320) 상에 게이트 금속 물질을 증착한 다음 패터닝하여 반도체층(310)의 소정 영역에 대응되는 게이트(330)가 형성된다. 상기 게이트(330)는 비정질 실리콘이나 다결정 실리콘으로 형성한 폴리실리콘막으로 형성된다.

이어서, 마스크를 이용하여 n형 또는 p형 불순물 중의 하나를 반도체층(310)으로 이온 주입하여, 상기 반도체층(310)에 소오스/드레인 영역들(310c, 310a) 및 상기 소오스/드레인 영역들(310c, 310a) 사이에 개재된 채널 영역(310b)이 정의된다.

이어서, 상기 게이트(330)를 포함한 기판 상부 전체에 걸쳐 실리콘 산화막, 실리콘 질화막 또는 이들의 이중층으로 된 층간 절연막(340)이 형성되고, 상기 패널 영역(a)의 층간 절연막(340) 내에 상기 소오스/드레인 영역(310c, 310a)을 노출시키는 콘택홀(341)을 형성한다.

이어서, 상기 패널 영역(a)에는 콘택홀(341)을 포함한 층간 절연막(340) 상에 금속 물질을 증착한 다음 패터닝하여 콘택홀(341)을 통해 상기 반도체층(310)의 소오스/드레인 영역(310c, 310a)과 각각 콘택되는 소오스/드레인 전극(345)이 형성되며, 배선 영역(b)에는 상기 금속 물질을 식각하여 요철 구조의 제 1 도전성 패턴(347)이 형성된다. 이 때, 상기 제 1 도전성 패턴(347)은 상기 소오스/드레인 전극(345) 물질과 동일한 물질로 이루어진다. 상기 소오스/드레인 전극(345)은 몰리브덴(Mo), 텅스텐(W), 텅스텐몰리브덴(MoW), 텅스텐 실리사이드(WSi₂), 몰리브데늄 실리사이드(MoSi₂) 및 알루미늄(Al)으로 이루어진 군에서 선택되는 1종으로 형성된다.

상기 제 1 도전성 패턴(347)은 복수개의 패턴으로 형성되며, 선폭은 1 μ m 내지 750 μ m, 스페이스(Space)는 5 μ m 내지 350 μ m로 형성된다. 상기 선폭이 1 μ m이하이면 제 2 전극의 IR 드롭이 발생할 수 있고, 상기 선폭이 750 μ m이상이면 큐어링 시 리플로우가 잘 되지 않아 유기막이 두껍게 형성되고 유기막 내 잔류 가스 성분으로 인해 유기발광층으로의 아웃개싱 현상이 발생할 수 있다.

상기 스페이스는 5 μ m이상으로 현재 유기 EL용 장비 허용 범위에서 최소 선폭을 유지해야 하며, 350 μ m이하에서 IR 드롭에 영향을 주지 않는다.

상기 보조 전극 라인의 일부를 형성하는 제 1 도전성 패턴(347)은 상기 소오스/드레인 전극(345) 물질의 재료인 몰리브덴(Mo) 및 텅스텐(W)이 갖는 초기 물성 특성인 열용량이 실리콘 질화막(SiN_x)보다 높아 몰리브덴(Mo), 텅스텐(W) 등이 실리콘 질화막(SiN_x)에 열전달을 잘 시키지 못 한다. 이로 인해 유기막 큐어링 시 영역별로 리플로우가 잘 되지 않고 영역별로 큐어링 효과가 달라져 큐어링 후 영역에 따라 유기막 두께가 달라지므로 선폭을 줄이고, 제 2 전극과의 접촉 면적을 작게 하여 열저항을 감소시켜 열전달을 최적화하기 위해 복수개의 패턴으로 형성한다. 이로써, 단차가 작은 균일한 두께의 유기막을 형성할 수 있을 뿐만 아니라 유기막 내 잔류 가스 성분을 제거하여 유기발광층 내로의 아웃개싱 현상을 방지하여 유기발광층의 열화를 통한 화소 수축 현상을 방지할 수 있다.

이상과 같이, 상기 반도체층(310), 게이트 전극(330) 및 소오스/드레인 전극(345)은 박막트랜지스터를 형성한다.

이어서, 상기 패널 영역(a)의 상기 박막트랜지스터 상부 및 배선 영역(b)의 상기 제 1 도전성 패턴(347) 상에 절연막(350)이 형성된다. 상기 절연막(350)은 패시베이션막 및/또는 평탄화막을 포함하여 형성된다. 상기 패시베이션막은 상부의 오염으로부터 상기 박막트랜지스터를 보호하기 위해 형성되며 실리콘 질화막, 실리콘 산화막 또는 이들의 이중층으로 형성된다. 상기 평탄화막은 아크릴 수지(Acryl Resin), 벤조사이클로부텐(Benzo Cyclo Butene;BCB), 폴리이미드(polyimide;PI), 폴리아마이드(polyamide;PA) 또는 페놀수지와 같은 유기 물질 중 선택되는 1종으로 형성된다. 이어서, 상기 절연막(350)은 경화를 위해 큐어링 된다.

상기 패널 영역(a)의 절연막은 최소한의 영역을 제외하고는 포토성 및 에치성 식각을 통해 분리하여 형성되며, 이 때, 배선 영역(b)의 절연막(350)은 적어도 제 1 도전성 패턴(347)의 상부를 노출시키도록 식각된다. 상기 패널 영역(a) 및 제 1 도전성 패턴(347) 상부의 절연막을 제거함으로써 후속 공정의 유기막층 증착 후 유기발광층 내로 상기 유기 절연막으로부터 아웃개싱 현상에 의한 유기발광층의 열화를 통한 화소 수축 현상을 방지할 수 있다.

상기 제 1 도전성 패턴(347) 형성 시 전원공급라인(Vdd) 및 데이터 라인(Vdata)은 동시에 형성되며 데이터 라인, 전원공급라인 및 보조 전극 양단에 링크 홀(Link Hole)을 통해 연결된다.

이어서, 패널 영역(a)의 절연막(350) 내에 상기 소오스 전극/드레인 전극(345) 중 어느 하나를 노출시키는 비아홀(355)이 형성된다.

이어서, 상기 비아홀(355)을 통하여 상기 소오스/드레인 전극(345)과 접하도록 제 1 전극(370)이 형성된다. 상기 제 1 전극(370)은 애노드 전극일 경우에는 일함수가 높은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)로 이루어진 투명 전극이거나 하부층에 알루미늄 또는 알루미늄 합금 등과 같은 고반사율의 특성을 갖는 금속으로 이루어진 반사막을 포함하는 투명전극일 수 있다. 상기 제 1 전극이 캐소드 전극인 경우에는 일함수가 낮은 도전성의 금속으로 Mg, Ca, Al, Ag 및 이들의 합금으로 이루어진 군에서 선택된 하나의 물질로서 두꺼운 두께를 갖는 반사 전극이거나, 얇은 두께를 갖는 반사전극일 수 있다.

이어서, 상기 제 1 전극(370) 형성 시 배선 영역(b)의 제 1 도전성 패턴(347) 상부에 제 2 도전성 패턴(371)이 복수개의 패턴으로 형성되어 보조 전극 라인(373)이 형성된다. 상기 제 2 도전성 패턴(371)은 상기 제 1 전극(370) 물질과 동일한 물질이며, 상기 제 1 도전성 패턴(347)을 전기적으로 연결시킨다. 상기 복수개의 패턴으로 형성된 제 2 도전성 패턴(371)은 후속 공정에서 형성되는 제 2 전극과의 접촉 면적을 작게 하여 열저항을 감소시킴으로써 유기막 큐어링 시 열전달을 최적화시킬 수 있다. 또한, 상기 제 2 도전성 패턴(371)의 형성은 상기 패널 영역(a)에 형성되어 있는 제 1 전극(370)의 패터닝 시 에천트(Etchant)나 현상에 의해 배선 영역(b)의 제 1 도전성 패턴(347)이 드러나는 것을 방지하여 배선 손상을 방지한다.

이어서, 상기 패널 영역(a)의 제 1 전극(370) 상부에 유기물을 적층 후 식각을 통해 개구부를 갖는 화소정의막(375)이 더욱 형성될 수 있다. 상기 화소정의막(375)은 유기계로서 폴리이미드(PI), 폴리아마이드(PA), 아크릴 수지, 벤조사이클로부텐(BCB) 또는 페놀수지로 이루어진 군에서 선택되는 1종으로 형성된다.

이어서, 상기 패널 영역(a)의 개구부 내에 노출된 제 1 전극(370) 상에 최소한 유기발광층을 포함하는 유기막층(380)이 형성된다. 상기 유기막층(380)은 상기 유기발광층 이외에도 정공 주입층, 정공 수송층, 전자 수송층 및 전자주입층 중 1 이상의 층이 더욱 포함될 수 있다.

이어서, 상기 유기막층(380)을 포함하는 기관 상부 전체에 걸쳐 제 2 전극(390)이 형성된다. 상기 제 2 전극(390)은 제 1 전극(370)이 애노드인 투명 전극이거나 반사막을 포함하는 투명 전극인 경우에는 일함수가 낮은 도전성의 금속으로 Mg, Ca, Al, Ag 및 이들의 합금으로 이루어진 군에서 선택된 하나의 물질로서 반사 전극으로 형성되고, 상기 제 1 전극(370)이 캐소드 전극인 경우에는 ITO 또는 IZO와 같은 투명 전극으로 형성된다.

이하, 본 발명의 제 1 실시예에 따른 상기 유기전계발광소자의 제조 방법을 설명한다.

도 2를 참조하면, 상기 제조 방법은 유리, 플라스틱 또는 석영 등과 같은 기관(300)을 제공한다. 상기 기관은 패널 영역(a)과 배선 영역(b)을 구비한다. 이어서, 상기 기관(300) 상에 실리콘 질화막, 실리콘 산화막 및 이들의 이중층으로 된 버퍼층(305)을 형성한다.

상기 버퍼층은 플라즈마화학기상증착법(PECVD; Plasma-Enhanced Chemical Vapor Deposition) 또는 저압화학기상증착법(LPCVD; Low-Pressure Chemical Vapor Deposition) 등과 같은 방식을 수행하여 형성한다.

상기 버퍼층(305) 상의 상기 패널 영역(a)에 소오스/드레인 영역들(310c, 310a) 및 채널 영역(310b)을 구비하는 반도체층(310)을 형성한다.

상기 반도체층(310)은 비정질 실리콘을 화학기상증착법(CVD; Chemical Vapor Deposition) 방식을 이용하여 증착한 후 결정화법을 이용하여 폴리실리콘막으로 결정화시킨 후 패터닝하여 형성한다. 상기 CVD 방식에는 PECVD, LPCVD와 같은 화학적 기상증착법을 이용할 수 있다. 이 때, 상기 비정질 실리콘을 PECVD 방식으로 수행할 경우에는 실리콘막 증착 후 열처리로 탈수소처리하여 수소의 농도를 낮추는 공정을 진행한다.

또한, 상기 비정질 실리콘막의 결정화법은 RTA(Rapid Thermal Annealing) 공정, MIC법(Metal Induced Crystallization), MILC법(Metal Induced Lateral Crystallization), SPC법(Solid Phase Crystallization), ELA법(Excimer Laser Crystallization) 또는 SLS법(Sequential Lateral Solidification) 중 어느 하나 이상을 이용할 수 있다.

이어서, 기판 전면에 걸쳐 상기 반도체층(310) 상부에 게이트 절연막(320)을 형성한다. 상기 게이트 절연막(320)은 PECVD 또는 LPCVD와 같은 방식을 수행하여 적층한다.

이어서, 상기 패널 영역(a)의 게이트 절연막(320) 상에 게이트 금속 물질을 증착한 다음 패터닝하여 반도체층(310)의 소정 영역에 대응되는 게이트 전극(330)을 형성한다. 상기 게이트 전극(330)은 폴리실리콘막으로 형성할 경우 비정질 실리콘을 이용하여 상기 반도체층(310)의 형성 방법과 동일하게 형성하고, 몰리브덴(Mo), 텅스텐(W), 텅스텐 몰리브덴(MoW), 텅스텐 실리사이드(WSi₂) 및 몰리브데늄 실리사이드(MoSi₂)로 이루어진 군에서 선택되는 하나로 형성할 경우 LPCVD 또는 PECVD 방식에 의해 증착 후 패터닝하여 형성한다.

이어서, 마스크를 이용하여 상기 반도체층(310)에 불순물을 주입함으로써, 상기 반도체층에 소오스/드레인 영역들(310c, 310a)을 형성함과 동시에 상기 소오스/드레인 영역들(310c, 310a) 사이에 개재된 채널 영역(310b)을 정의한다.

상기 불순물은 n형 또는 p형 불순물 중의 하나일 수 있으며, n형 불순물은 인(P), 비소(As), 안티몬(Sb) 등, p형 불순물은 붕소(B), 갈륨(Ga), 인듐(In) 등에서 선택되는 1종으로 형성한다.

이어서, 기판 전면에 걸쳐 상기 게이트(330) 상부에 층간 절연막(340)을 형성한다. 상기 층간 절연막(340)은 PECVD 또는 LPCVD와 같은 방식을 수행하여 적층한다.

이어서, 상기 패널 영역(a)의 층간 절연막(340) 내에 상기 반도체층(310)의 소오스/드레인 영역(310c, 310a)을 각각 노출시키는 콘택홀(341)을 형성한다.

이어서, 상기 패널 영역(a)에는 콘택홀(341)을 포함한 층간 절연막(340) 상에 금속 물질을 증착한 다음 패터닝하여 콘택홀(341)을 통해 상기 반도체층(310)의 소오스/드레인 영역(310c, 310a)과 각각 콘택되는 소오스/드레인 전극(345)을 형성하며, 배선 영역(b)에는 상기 금속 물질을 식각하여 복수개의 패턴으로 제 1 도전성 패턴(347)을 형성한다. 이 때, 상기 제 1 도전성 패턴(347)은 상기 소오스/드레인 전극(345) 물질과 동일한 물질로 이루어진다. 상기 소오스/드레인 전극(345)은 몰리브덴(Mo), 텅스텐(W), 텅스텐몰리브덴(MoW), 텅스텐 실리사이드(WSi₂), 몰리브데늄 실리사이드(MoSi₂) 및 알루미늄(Al)으로 이루어진 군에서 선택되는 1종으로 형성한다.

상기 제 1 도전성 패턴(347)은 복수개의 패턴으로 형성하며, 선폭은 1 μ m 내지 750 μ m, 스페이스는 5 μ m 내지 350 μ m로 형성한다.

상기 보조 전극 라인(373)의 일부를 형성하는 제 1 도전성 패턴(347)은 상기 소오스/드레인 전극(345) 물질의 재료인 몰리브덴(Mo) 및 텅스텐(W)이 갖는 초기 물성 특성인 열용량이 실리콘질화막(SiNx)보다 높아 몰리브덴(Mo), 텅스텐(W) 등이 실리콘 질화막(SiNx)에 열전달을 잘 시키지 못 한다. 이로 인해 유기막 큐어링(Curing) 시 영역별로 리플로우(Reflow)가 잘 되지 않고 영역별로 큐어링 효과가 달라져 큐어링 후 영역에 따라 유기막 두께가 달라지고 유기막 내 잔류 가스 성분이 존재하므로, 큐어링 시 리플로우 효과를 극대화하기 위해 선폭을 줄이고 복수개의 패턴으로 형성한다.

이상과 같이, 상기 반도체층(310), 게이트 전극(330) 및 소오스/드레인 전극(345)은 박막트랜지스터를 형성한다.

상기 패널 영역(a)의 상기 박막트랜지스터 상부 및 배선 영역(b)의 상기 제 1 도전성 패턴(347) 상에 절연막(350)을 형성한다. 상기 절연막(350)은 패시베이션막 및/또는 평탄화막을 포함하여 형성한다. 상기 패시베이션막은 실리콘 질화막, 실리콘 산화막 또는 이들의 이중층으로 형성한다. 상기 평탄화막은 아크릴 수지(Acryl Resin), 벤조사이클로부텐(Benzo Cyclo Butene;BCB), 폴리이미드(polyimide;PI), 폴리아마이드(polyamide;PA) 또는 페놀수지와 같은 유기 물질 중 선택되는 1종으로 형성하며, 스핀 코팅 방식을 통해 적층 후 상기 절연막(350)을 경화시키기 위해 큐어링 한다.

상기 패널 영역(a)의 절연막은 상기 패널 영역(a) 및 배선 영역(b)의 최소한의 영역을 제외하고는 포토성 및 에치성 식각을 통해 분리하여 형성한다. 이 때, 배선 영역(b)의 절연막(350)은 적어도 제 1 도전성 패턴(347) 상부를 노출시키도록 식각한다. 상기 패널 영역(a)의 절연막 분리 및 제 1 도전성 패턴(347) 상부의 절연막을 제거함으로써 후속 공정의 유기막층 증착 후 유기발광층 내로 상기 유기 절연막으로부터 아웃가싱 현상에 의한 유기발광층의 열화를 통한 화소 수축 현상을 방지할 수 있다.

도 3은 유기전계발광소자의 각 층에 따른 큐어링 후 절연막의 두께를 나타낸 그래프이다.

도 3을 참조하면, 보조 전극 라인, 화소부 및 데이터 라인(Vdata)의 현상(Develop) 후 절연막의 두께는 화소부, 보조 전극 라인, 데이터 라인 순으로 낮다. 그러나 상기 현상한 막을 큐어링 후 절연막의 두께를 측정하면 화소부, 데이터 라인, 보조 전극 라인 순으로 큐어링이 잘 되며, 보조 전극 라인부가 큐어링이 잘 되지 않는 것을 확인할 수 있다.

도 4는 보조 전극 라인 및 데이터 라인의 재료 및 선포에 따른 큐어링 후 절연막의 두께를 나타낸 그래프이다.

도 4를 참조하면, 선포이 750 μ m인 보조 전극 라인의 제 1 도전성 패턴과 선포이 6 μ m인 데이터 라인을 비교한 결과 현상 후 유기 절연막(PC459)의 두께는 두 가지 경우 모두 1.8 μ m 내지 1.85 μ m로 유의차를 보이지 않았다.

그러나 실리콘 질화막(SiNx)/유리(glass)로 큐어링을 실시한 결과 선포이 750 μ m인 보조 전극 라인의 제 1 도전성 패턴의 절연막은 두께가 0.13 μ m 감소하고, 선포이 6 μ m인 데이터 라인의 절연막은 두께가 0.3 μ m 감소하였으며, 실리콘 질화막(SiNx)/텅스텐몰리브덴(MoW)로 큐어링을 실시한 결과 선포이 750 μ m인 보조 전극 라인의 제 1 도전성 패턴의 절연막은 두께가 0.16 μ m 감소하고, 선포이 6 μ m인 데이터 라인의 절연막은 두께가 0.1 μ m 감소하였으며, 및 텅스텐몰리브덴(MoW)/유리(glass)로 큐어링을 실시한 결과 선포이 750 μ m인 보조 전극 라인의 제 1 도전성 패턴의 절연막은 두께가 감소하지 않았고, 선포이 6 μ m인 데이터 라인의 절연막의 두께는 0.05 μ m 감소하였다. 이를 통해 보조 전극 라인의 제 1 도전성 패턴의 선포를 작게 하여 큐어링을 실시할 경우 큐어링 능력이 향상됨을 확인 할 수 있었다.

표 1 및 도 5는 제 1 도전성 패턴 물질의 물성 특성치를 나타내고, 표 2 및 도 6은 제 1 도전성 패턴 물질의 온도에 따른 열용량을 나타낸 것이다.

[표 1]

물성	질량(g)	비열(cal/[g*°C])	열용량(cal/°C)	열전도도(cal/cm*s)
Al	26.982	0.214	5.774	0.55
SiNx	32.064	0.168	5.387	0.36
W	183.85	0.033	6.067	0.35
Mo	95.54	0.072	6.879	0.33

[표 2]

물성	260°C 기준		°C = 260
	Q = 1778.54cal (Mo)	Q = 1400cal (Si)	
Al	309.75°C	242.46°C	1501cal
SiNx	330.15°C	259.88°C	1400cal
W	293.14°C	230.75°C	1577cal
Mo	260.00°C	203.51°C	1788cal

상기 표 1 및 도 3은 제 1 도전성 패턴의 재료로 사용되는 물성의 특성치로서 실리콘 질화막(SiNx), 텅스텐(W) 및 몰리브덴(Mo)의 열전도도는 유의차를 보이지 않으나 알루미늄(Al)은 상기 실리콘 질화막(SiNx), 텅스텐(W) 및 몰리브덴(Mo)에 비해 0.2cal/cm*s 정도 높은 것을 알 수 있다. 그러나 열용량에 있어서는 텅스텐(W) 및 몰리브덴(Mo)이 알루미늄(Al)이나 실리콘 질화막(SiNx)에 비해 높은 값을 갖는 것을 알 수 있다.

또한, 표 2 및 도 4를 참조하면 실리콘 질화막(SiNx), 1400cal, 260°C를 기준으로 했을 때, 몰리브덴(Mo), 텅스텐(W) 및 알루미늄(Al)의 열용량이 실리콘 질화막(SiNx)보다 높아 그 차에 의해 몰리브덴(Mo), 텅스텐(W) 및 알루미늄(Al)이 실리콘 질화막(SiNx)에 비해 높은 값을 갖는 것을 알 수 있다.

콘 질화막(SiNx)에 열전달을 잘 시키지 못하므로 유기막 큐어링시 리플로우가 잘 되지 않는다는 것을 알 수 있다. 이로 인해 상기 제 1 도전성 패턴(347)은 요철 구조를 갖도록 형성하는 것이 바람직하며, 큐어링 시 리플로우를 극대화하기 위해 선폭은 $1\mu\text{m}$ 내지 $750\mu\text{m}$, 스페이스는 $5\mu\text{m}$ 내지 $350\mu\text{m}$ 로 하여 복수개의 패턴으로 형성한다.

상기 제 1 도전성 패턴(347) 형성 시 전원공급라인(Vdd) 및 데이터 라인(Vdata)을 동시에 형성하여 데이터 라인, 전원공급라인 및 보조 전극 라인 양단에 링크 홀을 통해 연결한다.

이어서, 패널 영역(a)의 절연막(350) 내에 상기 소오스 전극/드레인 전극(345) 중 어느 하나를 노출시키는 비아홀(355)을 형성한다.

이어서, 상기 비아홀(355)을 통하여 상기 노출된 소오스/드레인 전극(345)에 접하고, 상기 절연막(350) 상으로 연장된 제 1 전극(370)을 형성한다. 상기 제 1 전극(370)은 스퍼터링(Sputtering) 또는 이온 플레이팅(Ion Plating)과 같은 방법으로 형성한다. 바람직하게 제 1 전극(370)은 스퍼터링의 통상적인 방법으로 형성한다. 상기 제 1 전극(370)은 증착 후 사진공정에서 형성된 포토레지스트(PR)층의 패턴을 이용한 식각 공정을 통해 패터닝한다.

이어서, 상기 배선 영역(b)의 제 1 도전성 패턴(347) 상부에 제 2 도전성 패턴(371)을 복수개의 패턴으로 형성하여 보조 전극 라인(373)을 형성한다. 상기 제 2 도전성 패턴(371)은 상기 제 1 도전성 패턴(371)을 전기적으로 연결시키며 상기 제 1 전극(370) 물질과 동일한 물질이다. 상기 제 2 도전성 패턴(371)은 후속 공정에서 형성되는 제 2 전극과의 접촉 면적을 작게 하여 열저항을 감소시켜 열전달을 최적화하기 위해 복수개의 패턴으로 형성한다. 또한, 상기 제 2 도전성 패턴(371)의 형성은 상기 패널 영역(a)에 형성되어 있는 제 1 전극(370)의 패터닝 시 에천트(Etchant)나 현상에 의해 배선 영역(b)의 제 1 도전성 패턴(347)이 드러나는 것을 방지하여 배선 손상을 방지한다.

이어서, 상기 패널 영역(a)의 제 1 전극(370) 상부에 유기물을 적층 후 에칭을 통해 개구부를 갖는 화소정의막(375)을 더욱 형성할 수 있다. 상기 화소정의막(375)은 유기계로서 폴리이미드(PI), 폴리아마이드(PA), 아크릴 수지, 벤조사이클로부텐(BCB) 또는 페놀수지로 이루어진 군에서 선택되는 1종으로 형성되며 스펀코팅 방식으로 적층된다.

이어서, 상기 패널 영역(a)의 개구부 내에 노출된 제 1 전극(370) 상에 최소한 유기발광층을 포함하는 유기막층(380)을 형성한다. 상기 유기막층(380)은 진공증착, 스펀코팅, 잉크젯 프린팅, 레이저 열전사법(LITI; Laser Induced Thermal Imaging)등의 방법으로 적층한다. 바람직하게 스펀코팅 방식을 통해 적층한다. 또한 상기 유기막층(380)을 패터닝하는 것은 레이저 열전사법, 새도우 마스크를 사용한 진공증착법 등을 사용하여 구현할 수 있다.

상기 유기발광층으로는 저분자 물질 또는 고분자 물질 모두 가능하다. 상기 저분자 물질은 알루니 키노늄 복합체(Alq3), 안트라센(Anthracene), 시클로 펜타디엔(Cyclo pentadiene), BeBq2, Almq, ZnPBO, Balq, DPVBi, BSA-2 및 2PSP로 이루어진 군에서 선택되는 1종으로 형성한다. 상기 고분자 물질은 폴리페닐렌(PPP; polyphenylene) 및 그 유도체, 폴리(p-페닐렌비닐렌)(PPV; poly(p-phenylenevinylene)) 및 그 유도체, 및 폴리티오펜(PT; polythiophene) 및 그 유도체로 이루어진 군에서 선택되는 1종으로 형성한다.

이어서, 기판 전면에 걸쳐 상기 유기막층(380) 상부에 제 2 전극(390)을 형성한다. 상기 제 2 전극(390)은 진공증착법으로 형성한다.

상기 제 2 전극(390)까지 형성된 기판을 상부 기판과 봉지함으로써 유기전계발광소자를 완성한다.

도 7은 본 발명의 제 2 실시예에 의한 유기전계발광소자의 구조를 나타내는 단면도이다.

도 7을 참조하면, 본 발명의 제 2 실시예에 따른 유기전계발광소자는 패널 영역(a) 및 배선 영역(b)을 구비하는 기판(300) 상에 층간 절연막(340)이 형성되는 공정까지는 상기 제 1 실시예와 동일한 구조로 형성된다.

이어서, 상기 패널 영역(a)에는 콘택홀(341)을 포함한 층간 절연막(340) 상에 금속 물질을 증착한 다음 패터닝하여 콘택홀(341)을 통해 상기 반도체층(310)의 소오스/드레인 영역(310c, 310a)과 각각 콘택되는 소오스/드레인 전극(345)이 형성되며, 배선 영역(b)에는 상기 금속 물질을 식각하여 트렌치를 구비하는 제 1 도전성 패턴(347)이 형성된다. 이 때, 상기 제 1 도전성 패턴(347)은 상기 소오스/드레인 전극(345) 물질과 동일한 물질로 이루어진다.

상기 제 1 도전성 패턴(347)은 제 1 실시예의 복수개의 패턴 구조와는 다르게 트렌치를 구비하며, 선폭은 $1\mu\text{m}$ 내지 $750\mu\text{m}$, 스페이스는 $5\mu\text{m}$ 내지 $350\mu\text{m}$ 로 형성된다.

상기 트렌치를 구비하는 제 1 도전성 패턴(347)은 선풍을 줄임으로써 큐어링 시 리플로우 능력이 우수하다.

이어서, 상기 패널 영역(a)의 상기 박막트랜지스터 상부 및 상기 제 1 도전성 패턴(347) 상에 절연막(350)이 형성된다. 상기 절연막(350)은 패시베이션막 및/또는 평탄화막을 포함하여 형성된다. 이어서, 상기 절연막(350)을 경화시키기 위해 큐어링 한다. 상기 패널 영역(a)의 절연막은 최소한의 공간을 제외하고는 포토성 및 에치성 식각을 통해 분리하여 형성된다. 이 때, 배선 영역(b)의 제 1 도전성 패턴(347) 상부의 절연막(350)은 식각을 통해 제거된다. 상기 제 1 도전성 패턴(347) 상부의 절연막을 제거함으로써 후속 공정의 유기막층 증착 후 유기발광층 내로 상기 유기 절연막으로부터 아웃게싱 현상에 의한 유기발광층의 열화를 통한 화소 수축 현상을 방지할 수 있다.

상기 제 1 도전성 패턴(347) 형성 시 전원공급라인(Vdd) 및 데이터 라인(Vdata)을 동시에 형성되며 데이터 라인, 전원공급라인 및 보조 전극 라인 양단에 링크 홀을 통해 연결된다.

이어서, 패널 영역(a)의 절연막(350) 내에 상기 소오스 전극/드레인 전극(345) 중 어느 하나를 노출시키는 비아홀(355)이 형성된다.

이어서, 상기 비아홀(355)을 통하여 상기 소오스/드레인 전극(345)에 접하고 절연막(350) 상으로 연장되는 제 1 전극(370)을 형성한다.

이어서, 상기 패널 영역(a)의 제 1 전극(370) 상부에 유기물을 적층 후 에칭을 통해 개구부를 갖는 화소정의막(375)을 더욱 형성할 수 있다.

이어서, 상기 패널 영역(a)의 개구부 내에 노출된 제 1 전극(370) 상에 최소한 유기발광층을 포함하는 유기막층(380)을 형성한다.

이어서, 기판 전면에서 걸쳐 상기 유기막층(380) 상부에 제 2 전극(390)을 형성한다. 이 때, 배선 영역(b)의 제 1 도전성 패턴(347)은 제 2 전극(390)과 직접 접촉하여 전기적으로 연결되며 제 1 실시예에서와 같은 보조 전극 라인(373)이 된다.

도 7을 참조하여 본 발명의 제 2 실시예 따른 유기전계발광소자의 제조 방법을 설명한다.

도 7을 참조하면, 층간 절연막(340)을 형성하는 공정까지는 상기 제 1 실시예의 제조 방법과 동일하다.

이어서, 상기 층간 절연막(340) 상에 기판 전면에서 걸쳐 소오스/드레인 전극(345)을 적층한다. 상기 패널 영역(a)의 소오스/드레인 전극(345)을 식각하여 패터닝하고 동시에 상기 배선 영역(b)에 상기 소오스/드레인 전극(345) 물질을 식각하여 트렌치를 구비하는 제 1 도전성 패턴(347)을 형성한다.

상기 트렌치를 구비하는 제 1 도전성 패턴(347)은 선풍은 1 μ m 내지 750 μ m, 스페이스는 5 μ m 내지 350 μ m로 형성한다.

이상과 같이, 상기 반도체층(310), 게이트 전극(330) 및 소오스/드레인 전극(345)은 박막트랜지스터를 형성한다.

상기 패널 영역(a)의 상기 박막트랜지스터 상부 및 배선 영역(b)의 상기 제 1 도전성 패턴(347) 상에 절연막(350)을 형성한다. 상기 절연막(350)은 패시베이션막 및/또는 평탄화막을 포함하여 형성한다. 이어서, 상기 절연막(350)을 경화시키기 위해 큐어링 한다. 상기 패널 영역(a)의 절연막은 최소한의 영역을 제외하고는 포토성 및 에치성 식각을 통해 분리하여 형성한다. 이 때, 배선 영역(b)의 제 1 도전성 패턴(347) 상부의 절연막(350)은 식각을 통해 제거한다. 상기 제 1 도전성 패턴(347) 상부의 절연막을 제거함으로써 후속 공정의 유기막층 증착 후 유기발광층 내로 상기 유기 절연막으로부터 아웃게싱 현상에 의한 유기발광층의 열화를 통한 화소 수축 현상을 방지할 수 있다.

상기 제 1 도전성 패턴(347) 형성 시 전원공급라인(Vdd) 및 데이터 라인(Vdata)을 동시에 형성하여 데이터 라인, 전원공급라인 및 보조 전극 라인 양단에 링크 홀을 통해 연결한다.

이어서, 패널 영역(a)의 절연막(350) 내에 상기 소오스 전극/드레인 전극(345) 중 어느 하나를 노출시키는 비아홀(355)을 형성한다.

이어서, 상기 비아홀(355)을 통하여 상기 노출된 소오스/드레인 전극(345)에 접하고, 상기 절연막(350) 상으로 연장된 제 1 전극(370)을 형성한다.

이어서, 상기 패널 영역(a)의 제 1 전극(370) 상부에 유기물을 적층 후 식각을 통해 개구부를 갖는 화소정의막(375)을 더욱 형성할 수 있다.

이어서, 유기막층(380) 형성 공정부터 기판 전면에서 걸쳐 제 2 전극(390)을 형성하는 공정까지는 제 1 실시예와 동일하다. 이 때, 제 1 도전성 패턴(347)은 제 2 전극과 직접 접촉하며 단독으로 보조 전극 라인(373)을 형성한다.

도 8은 본 발명의 제 3 실시예에 의한 유기전계발광소자의 구조를 나타내는 단면도이다.

도 8을 참조하면, 본 발명의 제 3 실시예에 따른 유기전계발광소자는 패널 영역(a)과 배선 영역(b)을 구비하는 기판(300) 상부 전면에서 걸쳐 게이트 절연막(320)이 형성되는 공정까지는 상기 제 1, 2 실시예와 동일한 구조로 형성된다.

이어서, 상기 패널 영역(a)의 게이트 절연막(320) 상에 게이트 전극(330)이 형성된다. 이 때, 상기 게이트 절연막(320)의 배선 영역(b)에 게이트 전극(330) 물질로 이루어진 제 1 도전성 패턴(347)이 복수개의 패턴으로 형성된다. 상기 제 1 도전성 패턴(347)은 상기 실시예 1과 같이 동일한 방법으로 형성된다.

상기 복수개의 패턴으로 형성된 제 1 도전성 패턴(347)은 선풍을 줄임으로써 큐어링 시 리플로우 능력이 우수하다.

상기 제 1 도전성 패턴(347) 형성 시 전원공급라인(Vdd) 및 데이터 라인(Vdata)을 동시에 형성하여 데이터 라인, 전원공급라인 및 보조 전극 라인 양단에 링크 홀을 통해 연결한다.

이어서, 상기 게이트(330) 및 제 1 도전성 패턴(347) 상부에 층간 절연막(340)이 형성된다.

상기 층간 절연막(340) 상부에 소오스/드레인 전극(345)이 형성되는 구조는 상기 제 1, 2 실시예와 동일하다.

이어서, 상기 패널 영역(a)의 박막트랜지스터 및 배선 영역(b)의 제 1 도전성 패턴(347) 상부에 절연막(350)이 형성된다. 이어서, 상기 절연막(350)을 경화시키기 위해 큐어링 한다. 상기 패널 영역(a)의 박막트랜지스터 상부에는 절연막(350)이 최소한의 영역을 제외하고는 포토성 및 에치성 식각을 통해 분리하여 형성되고, 이 때, 상기 배선 영역(b)의 절연막은 상기 제 1 도전성 패턴(347) 상부의 일부를 제외하고는 식각을 통해 제거한다. 상기 제 1 도전성 패턴(347) 상부의 절연막을 제거함으로써 후속 공정의 유기막층 증착 후 유기발광층 내로 상기 유기 절연막으로부터 아웃개싱 현상에 의한 유기발광층의 열화를 통한 화소 수축 현상을 방지할 수 있다.

이어서, 제 1 전극(370)이 형성되는 공정부터 제 2 전극(390)이 형성되는 공정은 상기 제 1 실시예와 동일하다.

도 8을 참조하여 본 발명의 제 3 실시예에 따른 유기전계발광소자의 제조 방법을 설명한다.

도 8을 참조하면, 기판(300) 상에 게이트 절연막(320)이 형성되는 공정까지는 상기 제 1, 2 실시예의 제조 방법과 동일하다.

이어서, 상기 패널 영역(a)의 게이트 절연막(320) 상에 게이트 전극(330)을 형성한다. 이 때, 상기 게이트 절연막(320)의 배선 영역(b)에 게이트 전극(330) 물질과 동일한 물질로 이루어진 제 1 도전성 패턴(347)을 복수개의 패턴으로 형성한다. 상기 제 1 도전성 패턴(347)은 상기 실시예 1과 같이 동일한 방법으로 형성된다. 상기 복수개의 패턴으로 형성된 제 1 도전성 패턴(347)은 선풍을 줄여 큐어링 시 리플로우 능력이 우수하다.

상기 제 1 도전성 패턴(347) 형성 시 전원공급라인(Vdd) 및 데이터 라인(Vdata)을 동시에 형성하여 데이터 라인, 전원공급라인 및 보조 전극 라인 양단에 링크 홀을 통해 연결한다.

이어서, 상기 게이트(330) 및 제 1 도전성 패턴(347) 상부에 층간 절연막(340)을 형성한다. 상기 층간 절연막(340) 상부에 소오스/드레인 전극(345)을 형성하는 방법은 상기 제 1, 2 실시예와 동일하다.

이어서, 상기 패널 영역(a)의 박막트랜지스터 및 배선 영역(b)의 제 1 도전성 패턴(347) 상부에 절연막(350)이 형성된다. 이어서, 상기 절연막(350)을 경화시키기 위해 큐어링 한다. 상기 패널 영역(a)의 박막트랜지스터 상부에는 절연막(350)이 최소한의 영역을 제외하고는 포토성 및 에치성 식각을 통해 분리하여 형성되고, 이 때, 상기 배선 영역(b)의 절연막은 상기 제 1 도전성 패턴(347) 상부의 일부를 제외하고는 식각을 통해 제거한다. 상기 제 1 도전성 패턴(347) 상부의 절연막을 제거함으로써 후속 공정의 유기막층 증착 후 유기발광층 내로 상기 유기 절연막으로부터 아웃가싱 현상에 의한 유기발광층의 열화를 통한 화소 수축 현상을 방지할 수 있다.

이어서, 제 1 전극(370)을 형성하는 공정부터 제 2 전극(390)을 형성하는 공정은 상기 제 1, 2 실시예와 동일하다.

도 9는 본 발명의 제 4 실시예에 의한 유기전계발광소자의 구조를 나타내는 단면도이다.

도 9를 참조하면, 본 발명의 제 4 실시예에 따른 유기전계발광소자는 패널 영역(a)과 배선 영역(b)을 구비하는 기판(300) 상에 게이트 절연막(320)이 형성되는 공정까지는 상기 제 1, 2 및 3 실시예와 동일한 구조로 형성된다.

이어서, 상기 패널 영역(a)의 게이트 절연막(320) 상에 게이트 전극(330)이 패터닝되어 형성된다. 이 때, 상기 게이트 절연막(320)의 배선 영역(b)에 게이트 전극(330) 물질로 이루어지며 트렌치를 구비하는 제 1 도전성 패턴(347)이 형성된다. 상기 제 1 도전성 패턴(347)은 상기 제 2 실시예와 같이 동일한 방법으로 형성된다.

상기 제 1 도전성 패턴(347)은 선폭은 $1\mu\text{m}$ 내지 $750\mu\text{m}$, 스페이스는 $5\mu\text{m}$ 내지 $350\mu\text{m}$ 로 형성되며, 선폭을 줄임으로써 큐어링 시 리플로우 능력이 우수하다.

상기 제 1 도전성 패턴(347) 형성 시 전원공급라인(Vdd) 및 데이터 라인(Vdata)을 동시에 형성되며 데이터 라인, 전원공급라인 및 보조 전극 라인 양단에 링크 홀을 통해 연결된다.

이어서, 상기 게이트(330) 및 제 1 도전성 패턴(347) 상부에 층간 절연막(340)이 형성된다.

상기 층간 절연막(340) 상부에 소오스/드레인 전극(345) 및 절연막(350)이 형성되는 구조는 상기 제 3 실시예와 동일하다.

이어서, 상기 패널 영역(a)의 절연막(350) 내에 비아홀(355)에 의해 상기 소오스/드레인 전극(345)과 접하며 절연막(350) 상으로 연장되는 제 1 전극(370)이 형성된다.

이어서, 상기 제 1 전극(370) 상에 화소정의막(375)이 형성되는 공정부터 제 2 전극(390)이 형성되는 공정은 상기 제 2 실시예와 동일하다.

도 9를 참조하여 본 발명의 제 4 실시예에 따른 유기전계발광소자의 제조 방법을 설명한다.

도 9를 참조하면, 기판(300) 상에 게이트 절연막(320)이 형성되는 공정까지는 상기 제 1, 2 및 3 실시예의 제조 방법과 동일하다.

이어서, 상기 패널 영역(a)의 게이트 절연막(320) 상에 게이트(330)를 패터닝하여 형성한다. 이 때, 상기 게이트 절연막(320)의 배선 영역(b)에 게이트 전극(330) 물질로 이루어지며 트렌치를 구비하는 제 1 도전성 패턴(347)을 형성한다. 상기 제 1 도전성 패턴(347)은 상기 제 2 실시예와 같이 동일한 방법으로 형성한다.

상기 제 1 도전성 패턴(347)은 선폭은 $1\mu\text{m}$ 내지 $750\mu\text{m}$, 스페이스는 $5\mu\text{m}$ 내지 $350\mu\text{m}$ 로 형성되며, 큐어링 시 리플로우 능력이 우수하다.

상기 제 1 도전성 패턴(347) 형성 시 전원공급라인(Vdd) 및 데이터 라인(Vdata)을 동시에 형성하며 데이터 라인, 전원공급라인 및 보조 전극 라인 양단에 링크 홀을 통해 연결한다.

이어서, 상기 게이트(330) 및 제 1 도전성 패턴(347) 상부에 층간 절연막(340)을 형성한다.

상기 층간 절연막(340) 상부에 소오스/드레인 전극(345) 및 절연막(350)을 형성하는 방법은 상기 제 3 실시예와 동일하다.

이어서, 상기 패널 영역(a)의 절연막(350) 내의 비아홀(355)에 의해 상기 소오스/드레인 전극(345)과 접하며 절연막(350) 상으로 연장되는 제 1 전극(370)을 형성한다.

이어서, 상기 제 1 전극(370) 상에 화소정의막(375)이 형성되는 공정부터 제 2 전극(390)이 형성되는 공정은 상기 제 2 실시예와 동일하다.

본 발명에서는 설명의 편의를 위하여 탑 게이트(Top gate)형을 채용하는 박막트랜지스터를 구비하는 유기전계발광소자를 예를 들어 설명하였으나 이에 한정되지 않으며, 보텀 게이트(Bottom gate)형을 채용하는 박막트랜지스터를 구비하는 유기전계발광소자에도 적용된다.

본 발명은 이상에서 살펴본 바와 같이 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다

발명의 효과

상술한 바와 같이 본 발명에 따르면, 유기전계발광소자의 보조 전극 라인 형성으로 제 2 전극의 IR 드롭(IR drop)을 방지하고, 상기 보조 전극 라인을 복수개의 패턴 및 트렌치를 구비하도록 형성하여 상기 보조 전극 라인과 제 2 전극과의 접촉 면적을 작게 하여 열저항을 감소시켜 큐어링(Curing) 시 열전달을 최적화함으로써 유기막 내 잔류 가스 성분을 제거하여 아웃게싱(Out-gassing) 현상으로 인한 유기발광층의 열화를 통한 화소 수축 현상을 방지하여 제품의 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

패널 영역과 배선 영역을 구비하는 기관;

상기 기관 상의 패널 영역에 형성되어 있으며 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터 및 상기 배선 영역에 복수개의 패턴으로 형성되어 있는 제 1 도전성 패턴;

상기 제 1 도전성 패턴 상부에 형성되어 있으며 적어도 제 1 도전성 패턴이 노출되도록 형성되어 있는 절연막;

상기 절연막 내의 비아홀을 통해 상기 소오스/드레인과 접하도록 형성되어 있는 제 1 전극 및 상기 배선 영역의 제 1 도전성 패턴 상에 복수개의 패턴으로 형성되어 있는 제 2 도전성 패턴;

상기 패널 영역의 제 1 전극 상부에 패터닝되어 형성되어 있으며 적어도 유기발광층을 포함하는 유기막층; 및

기관 전면에 걸쳐 상기 유기막층 상부에 형성되어 있는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광소자.

청구항 2.

제 1 항에 있어서,

상기 제 1 도전성 패턴은 소오스/드레인 전극 물질과 동일한 물질로 이루어지는 것을 특징으로 하는 유기전계발광소자.

청구항 3.

제 2 항에 있어서,

상기 소오스/드레인 전극은 몰리브덴(Mo), 텅스텐몰리브덴(MoW), 텅스텐(W), 알루미늄(Al) 및 텅스텐실리사이드(WSi)로 이루어진 군에서 선택되는 1종으로 형성되는 것을 특징으로 하는 유기전계발광소자.

청구항 4.

제 1 항에 있어서,

상기 제 1 도전성 패턴은 선폭 $1\mu\text{m}$ 내지 $750\mu\text{m}$, 스페이스 $5\mu\text{m}$ 내지 $350\mu\text{m}$ 로 형성되는 것을 특징으로 하는 유기전계발광소자.

청구항 5.

제 1 항에 있어서,

상기 제 2 도전성 패턴은 제 1 전극 물질과 동일한 물질인 것을 특징으로 하는 유기전계발광소자.

청구항 6.

패널 영역과 배선 영역을 구비하는 기판;

상기 기판 상의 패널 영역에 형성되어 있으며 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터 및 상기 배선 영역에 형성되어 있으며 트렌치를 구비하는 제 1 도전성 패턴;

상기 제 1 도전성 패턴 상부에 형성되어 있으며 적어도 제 1 도전성 패턴이 노출되도록 형성되어 있는 절연막;

상기 절연막 내의 비아홀을 통해 상기 소오스/드레인 전극과 접하도록 형성되어 있는 제 1 전극;

상기 패널 영역의 제 1 전극 상부에 패터닝되어 형성되어 있으며 적어도 유기발광층을 포함하는 유기막층; 및

기판 전면에 걸쳐 상기 유기막층 상부에 형성되어 있는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광소자.

청구항 7.

제 6 항에 있어서,

상기 제 1 도전성 패턴은 소오스/드레인 전극 물질과 동일한 물질로 이루어지는 것을 특징으로 하는 유기전계발광소자.

청구항 8.

제 7 항에 있어서,

상기 소오스/드레인 전극은 몰리브덴(Mo), 텅스텐몰리브덴(MoW), 텅스텐(W), 알루미늄(Al) 및 텅스텐실리사이드(WSi)로 이루어진 군에서 선택되는 1종으로 형성되는 것을 특징으로 하는 유기전계발광소자.

청구항 9.

제 6 항에 있어서,

상기 제 1 도전성 패턴은 선폭 $1\mu\text{m}$ 내지 $750\mu\text{m}$, 스페이스 $5\mu\text{m}$ 내지 $350\mu\text{m}$ 인 것을 특징으로 하는 유기전계발광소자.

청구항 10.

패널 영역과 배선 영역을 구비하는 기판;

상기 기판 상의 패널 영역에 형성되어 있으며 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터 및 상기 배선 영역에 복수개의 패턴으로 형성되는 제 1 도전성 패턴;

상기 제 1 도전성 패턴의 상부가 적어도 노출되도록 형성되어 있는 절연막;

상기 절연막 내의 비아홀을 통해 상기 소오스/드레인 전극과 접하도록 형성되어 있는 제 1 전극 및 상기 배선 영역의 절연막 내에 제 1 도전성 패턴에 접하도록 복수개의 패턴으로 형성되는 제 2 도전성 패턴;

상기 패널 영역의 제 1 전극 상부에 패터닝되어 형성되어 있으며 적어도 유기발광층을 포함하는 유기막층; 및

기판 전면에 걸쳐 상기 유기막층 상부에 형성되어 있는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광소자.

청구항 11.

제 10 항에 있어서,

상기 제 1 도전성 패턴은 게이트 전극 물질과 동일한 물질로 이루어지는 것을 특징으로 하는 유기전계발광소자.

청구항 12.

제 11 항에 있어서,

상기 게이트 전극 물질은 몰리브덴(Mo), 텅스텐몰리브덴(MoW), 텅스텐(W), 알루미늄(Al) 및 텅스텐실리사이드(WSi)로 이루어진 군에서 선택되는 1종으로 형성되는 것을 특징으로 하는 유기전계발광소자.

청구항 13.

제 10 항에 있어서,

상기 제 1 도전성 패턴은 선폭 $1\mu\text{m}$ 내지 $750\mu\text{m}$, 스페이스 $5\mu\text{m}$ 내지 $350\mu\text{m}$ 인 것을 특징으로 하는 유기전계발광소자.

청구항 14.

패널 영역과 배선 영역을 구비하는 기판;

상기 기판 상의 상기 패널 영역에 형성되어 있으며 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터 및 상기 배선 영역에 형성되어 있으며 트렌치를 구비하는 제 1 도전성 패턴;

상기 제 1 도전성 패턴 상부에 형성되어 있으며 적어도 제 1 도전성 패턴 상부를 노출시키는 층간 절연막;

상기 소오스/드레인 전극 상부에 형성되며 제 1 도전성 패턴 상부에는 식각을 통해 제거되어 형성되어 있는 절연막;

상기 절연막 내의 비아홀을 통해 상기 소오스/드레인 전극과 접하도록 형성되어 있는 제 1 전극;

상기 제 1 전극 상부에 패터닝되어 형성되어 있으며 적어도 유기발광층을 포함하는 유기막층; 및

기판 전면에 걸쳐 상기 유기막층 상부에 형성되어 있는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광소자.

청구항 15.

제 14 항에 있어서,

상기 제 1 도전성 패턴은 게이트 전극 물질과 동일한 물질로 이루어지는 것을 특징으로 하는 유기전계발광소자.

청구항 16.

제 15 항에 있어서,

상기 게이트 전극 물질은 몰리브덴(Mo), 텅스텐몰리브덴(MoW), 텅스텐(W), 알루미늄(Al) 및 텅스텐실리사이드(WSi)로 이루어진 군에서 선택되는 1종으로 형성되는 것을 특징으로 하는 유기전계발광소자.

청구항 17.

제 14 항에 있어서,

상기 제 1 도전성 패턴은 선폭 $1\mu\text{m}$ 내지 $750\mu\text{m}$, 스페이스 $5\mu\text{m}$ 내지 $350\mu\text{m}$ 인 것을 특징으로 하는 유기전계발광소자.

청구항 18.

패널 영역과 배선 영역을 구비하는 기판을 제공하고;

상기 기판 상의 패널 영역에 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터를 형성하고 및 상기 배선 영역에 복수개의 패턴 제 1 도전성 패턴을 형성하고;

상기 제 1 도전성 패턴 상부에 적어도 제 1 도전성 패턴이 노출되도록 절연막을 형성하고;

상기 절연막 내의 비아홀을 통해 상기 소오스/드레인과 접하도록 제 1 전극을 형성하고 및 상기 배선 영역의 제 1 도전성 패턴 상에 복수개의 패턴으로 제 2 도전성 패턴을 형성하고;

상기 패널 영역의 제 1 전극 상부에 적어도 유기발광층을 포함하는 유기막층을 형성하고; 및

기판 전면에 걸쳐 상기 유기막층 상부에 제 2 전극을 형성하는 것을 포함하는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 19.

제 18 항에 있어서,

상기 제 1 도전성 패턴은 소오스/드레인 전극 물질과 동일한 물질로 이루어지는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 20.

제 19 항에 있어서,

상기 소오스/드레인 전극은 몰리브덴(Mo), 텅스텐몰리브덴(MoW), 텅스텐(W), 알루미늄(Al) 및 텅스텐실리사이드(WSi)로 이루어진 군에서 선택되는 1종으로 형성되는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 21.

제 18 항에 있어서,

상기 제 1 도전성 패턴은 선폭 $1\mu\text{m}$ 내지 $750\mu\text{m}$, 스페이스 $5\mu\text{m}$ 내지 $350\mu\text{m}$ 로 형성되는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 22.

제 18 항에 있어서,

상기 제 2 도전성 패턴은 제 1 전극 물질과 동일한 물질인 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 23.

제 18 항에 있어서,

상기 제 1 도전성 패턴 형성 시 전원공급라인(Vdd) 및 데이터 라인(Vdata)을 동시에 형성하는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 24.

패널 영역과 배선 영역을 구비하는 기판을 제공하고;

상기 기판 상의 패널 영역에 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터를 형성하고 및 상기 배선 영역에 트렌치를 구비하는 제 1 도전성 패턴을 형성하고;

상기 제 1 도전성 패턴 상부에 적어도 제 1 도전성 패턴이 노출되도록 절연막을 형성하고;

상기 절연막 내의 비아홀을 통해 상기 소오스/드레인 전극과 접하도록 제 1 전극을 형성하고;

상기 제 1 전극 상부에 적어도 유기발광층을 포함하는 유기막층을 형성하고; 및

기관 전면에 걸쳐 상기 유기막층 상부에 제 2 전극을 형성하는 것을 포함하는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 25.

제 24 항에 있어서,

상기 제 1 도전성 패턴은 소오스/드레인 전극 물질과 동일한 물질로 이루어지는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 26.

제 25 항에 있어서,

상기 소오스/드레인 전극은 몰리브덴(Mo), 텅스텐몰리브덴(MoW), 텅스텐(W), 알루미늄(Al) 및 텅스텐실리사이드(WSi)로 이루어진 군에서 선택되는 1종으로 형성되는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 27.

제 24 항에 있어서,

상기 제 1 도전성 패턴은 선폭 $1\mu\text{m}$ 내지 $750\mu\text{m}$, 스페이스 $5\mu\text{m}$ 내지 $350\mu\text{m}$ 인 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 28.

제 24 항에 있어서,

상기 제 1 도전성 패턴 형성 시 전원공급라인(Vdd) 및 데이터 라인(Vdata)을 동시에 형성하는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 29.

패널 영역과 배선 영역을 구비하는 기판을 제공하고;

상기 기판 상의 패널 영역에 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터를 형성하고 및 상기 배선 영역에 복수개의 패턴으로 제 1 도전성 패턴을 형성하고;

상기 제 1 도전성 패턴의 상부가 적어도 노출되도록 절연막을 형성하고;

상기 절연막 내의 비아홀을 통해 상기 소오스/드레인 전극과 접하도록 제 1 전극을 형성하고 및 상기 배선 영역의 절연막 내에 제 1 도전성 패턴에 접하도록 복수개의 패턴으로 제 2 도전성 패턴을 형성하고;

상기 패널 영역의 제 1 전극 상부에 적어도 유기발광층을 포함하는 유기막층을 형성하고; 및

기관 전면에 걸쳐 상기 유기막층 상부에 제 2 전극을 형성하는 것을 포함하는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 30.

제 29 항에 있어서,

상기 제 1 도전성 패턴은 게이트 전극 물질과 동일한 물질로 이루어지는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 31.

제 30 항에 있어서,

상기 게이트 전극 물질은 몰리브덴(Mo), 텅스텐몰리브덴(MoW), 텅스텐(W), 알루미늄(Al) 및 텅스텐실리사이드(WSi)로 이루어진 군에서 선택되는 1종으로 형성되는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 32.

제 29 항에 있어서,

상기 제 1 도전성 패턴은 선폭 $1\mu\text{m}$ 내지 $750\mu\text{m}$, 스페이스 $5\mu\text{m}$ 내지 $350\mu\text{m}$ 인 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 33.

제 29 항에 있어서,

상기 제 1 도전성 패턴 형성 시 전원공급라인(Vdd) 및 데이터 라인(Vdata)을 동시에 형성하는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 34.

패널 영역과 배선 영역을 구비하는 기판을 제공하고;

상기 기판 상의 상기 패널 영역에 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터를 형성하고 및 상기 배선 영역에 트렌치를 구비하는 제 1 도전성 패턴을 형성하고;

상기 제 1 도전성 패턴 상부에 적어도 제 1 도전성 패턴 상부를 노출시키는 층간 절연막을 형성하고;

상기 소오스/드레인 전극 상부에 형성되며 제 1 도전성 패턴 상부에는 식각을 통해 제거되도록 절연막을 형성하고;

상기 절연막 내의 비아홀을 통해 상기 소오스/드레인 전극과 접하도록 제 1 전극을 형성하고;

상기 제 1 전극 상부에 적어도 유기발광층을 포함하는 유기막층을 형성하고; 및

기판 전면에 걸쳐 상기 유기막층 상부에 제 2 전극을 형성하는 것을 포함하는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 35.

제 34 항에 있어서,

상기 제 1 도전성 패턴은 게이트 전극 물질과 동일한 물질로 이루어지는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 36.

제 35 항에 있어서,

상기 게이트 전극 물질은 몰리브덴(Mo), 텅스텐몰리브덴(MoW), 텅스텐(W), 알루미늄(Al) 및 텅스텐실리사이드(WSi)로 이루어진 군에서 선택되는 1종으로 형성되는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 37.

제 34 항에 있어서,

상기 제 1 도전성 패턴은 선폭 $1\mu\text{m}$ 내지 $750\mu\text{m}$, 스페이스 $5\mu\text{m}$ 내지 $350\mu\text{m}$ 인 것을 특징으로 하는 유기전계발광소자의 제조 방법.

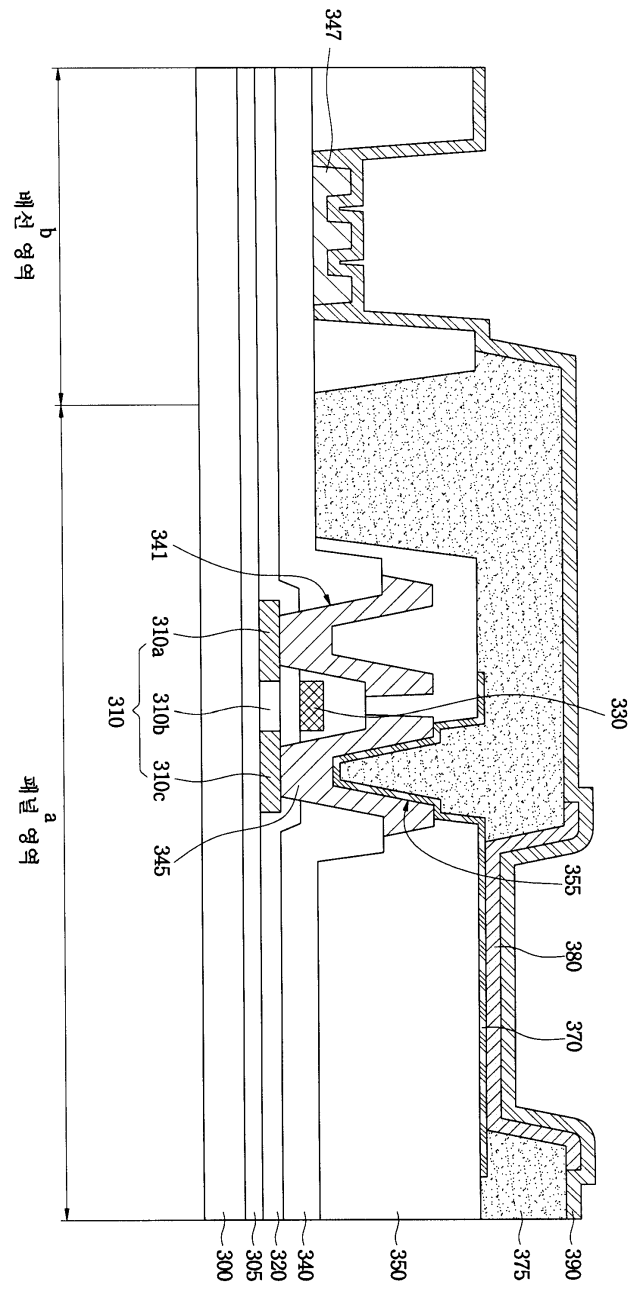
청구항 38.

제 34 항에 있어서,

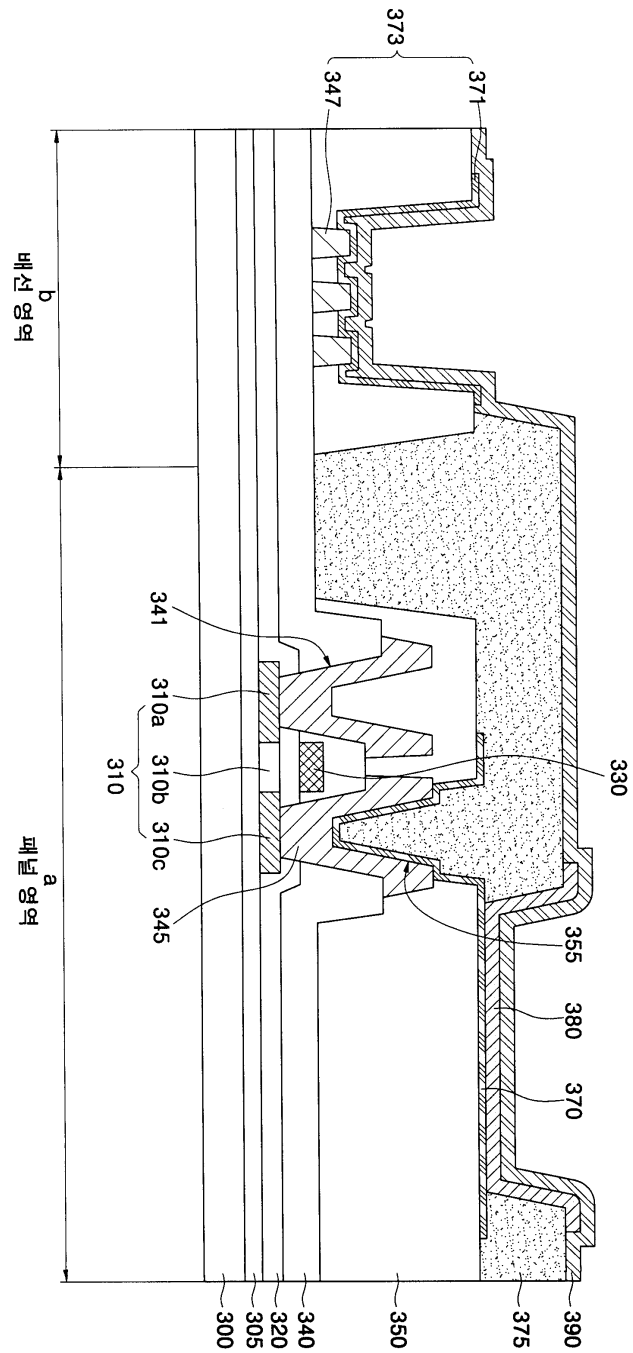
상기 제 1 도전성 패턴 형성 시 전원공급라인(Vdd) 및 데이터 라인(Vdata)을 동시에 형성하는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

도면

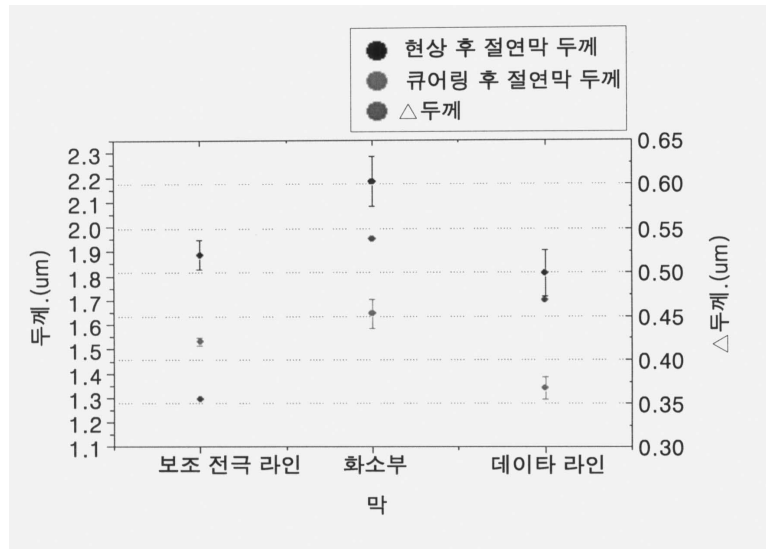
도면1



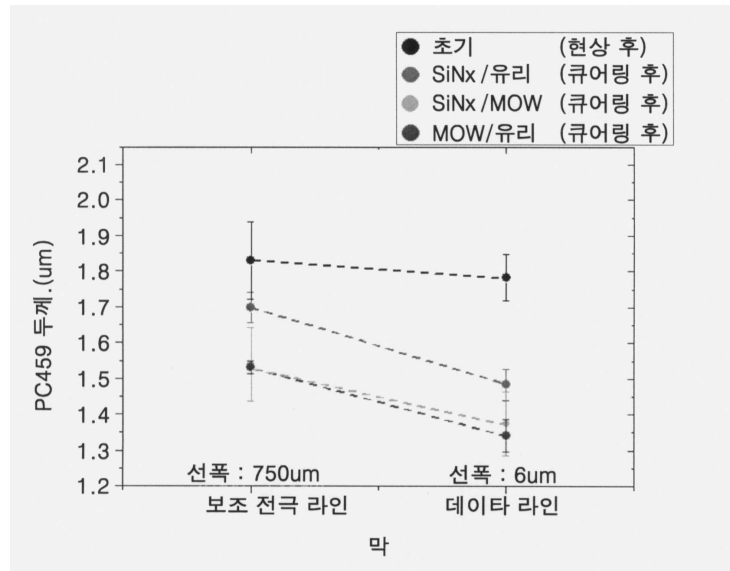
도면2



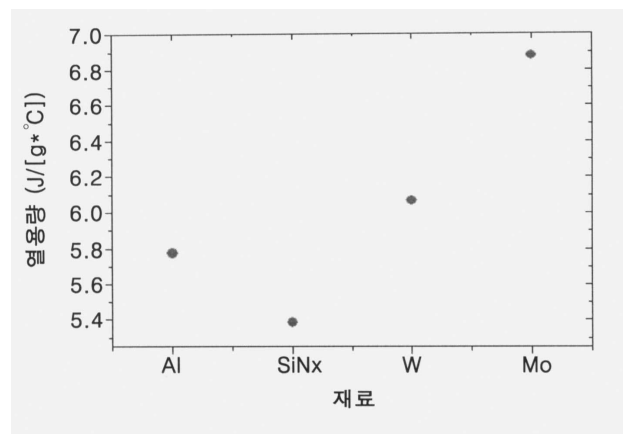
도면3



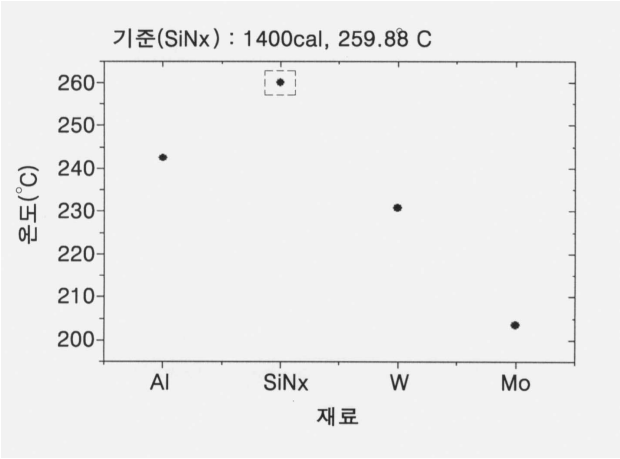
도면4



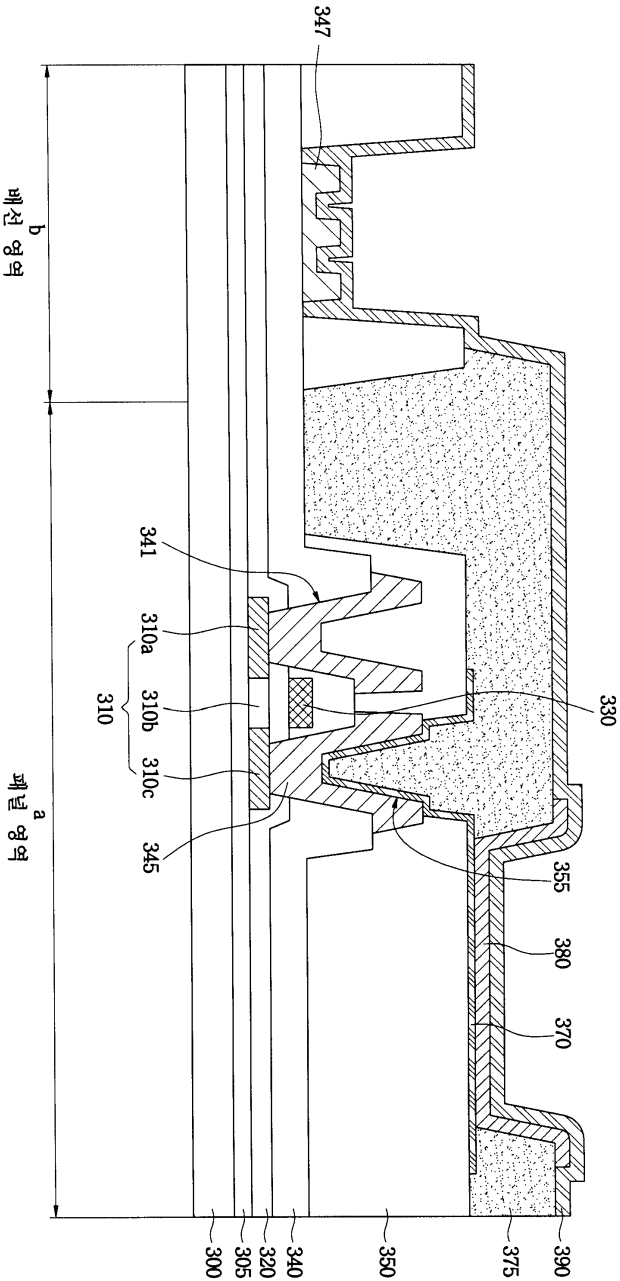
도면5



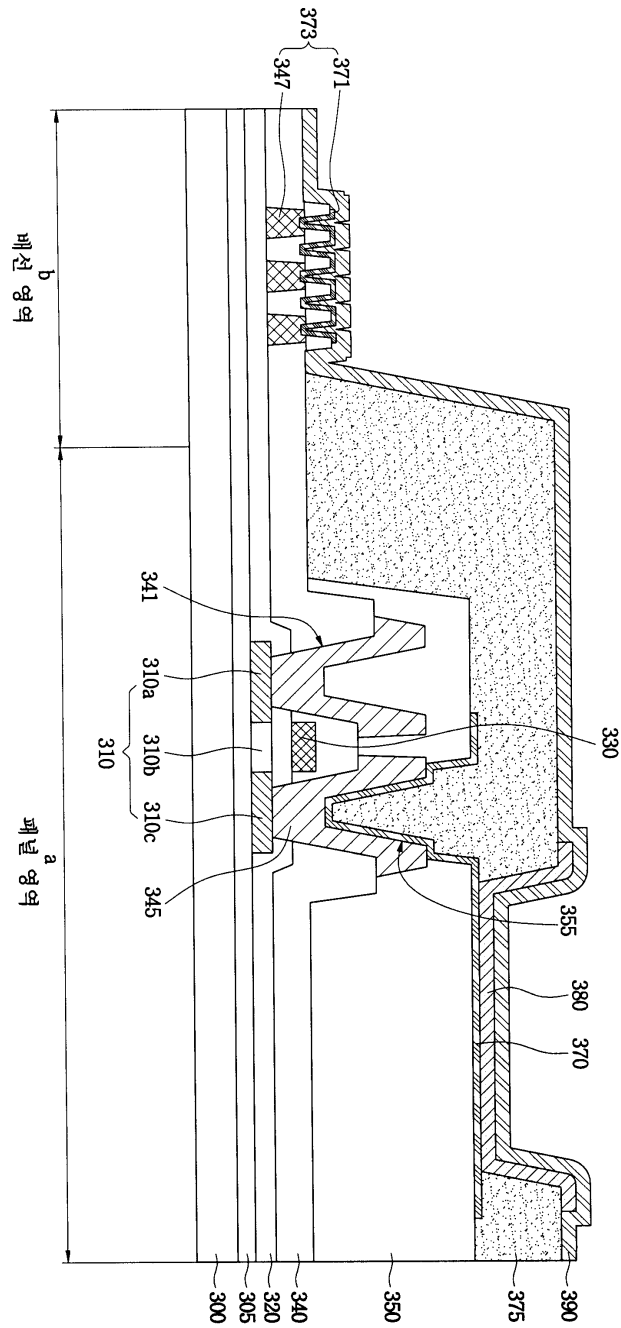
도면6



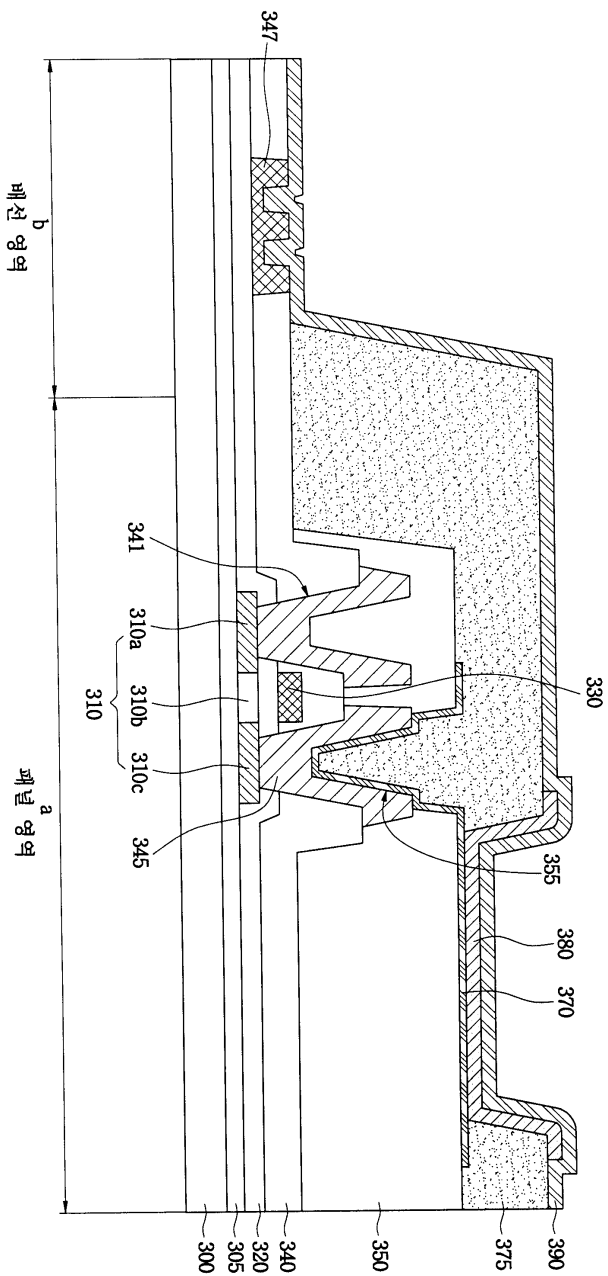
도면7



도면8



도면9



专利名称(译)	具有辅助电极线的有机电致发光器件及其制造方法		
公开(公告)号	KR1020060059722A	公开(公告)日	2006-06-02
申请号	KR1020040098878	申请日	2004-11-29
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	OH SANGHUN		
发明人	OH,SANGHUN		
IPC分类号	H05B33/26 H05B33/10		
CPC分类号	H01L27/3276 H01L27/3246		
代理人(译)	PARK, 常树		
其他公开文献	KR100700643B1		
外部链接	Espacenet		

摘要(译)

本发明通过形成有机电致发光器件的辅助电极线来防止第二电极的IR降，并形成具有多个图案和沟槽的辅助电极线，减小与第二电极的接触面积以降低热阻以优化固化期间的热传递，从而去除有机膜中的残余气体组分，从而减少由于除气导致的有机发光层劣化导致的像素收缩本发明还提供了一种有机电致发光器件及其制造方法，其通过防止该现象提高了产品的可靠性。2 指数方面 有机电致发光器件，辅助电极线，像素收缩，

