(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
H05B 33/10

(11) 공개번호 10-2004-0058448
(43) 공개일자 2004년07월05일

(21) 출원번호 10-2002-0084579
(22) 출원일자 2002년12월26일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 박재용
경기도안양시동안구평촌동꿈마을건영아파트305동701호

황광조
경기도안양시만안구안양6동무진빌라가-301

(74) 대리인 정원기

심사청구 : 있음

(54) 듀얼패널타입 유기전계발광 소자 및 그 제조방법

요약

이상과 같이, 본 발명에 따른 듀얼패널타입 유기전계발광 소자 및 그 제조방법에 의하면, 첫째, 어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기판 상에 형성하기 때문에 생산수율 및 생산관리 효율을 향상시킬 수 있고, 제품 수명을 늘릴 수 있으며, 둘째, 상부발광방식이기 때문에 박막트랜지스터 설계가 용이해지고 고개구율/고해상도 구현이 가능하고, 셋째, 비정질 실리콘 물질을 이용한 역스태거드형 박막트랜지스터 구조의 채용으로 저온 공정이 가능하고, 별도의 전기적 연결 패턴을 추가하더라도 기존보다 마스크 공정수를 줄일 수 있어, 공정 단순화를 통해 생산 수율을 보다 효과적으로 높일 수 있는 장점을 가진다.

대표도

도 8d

명세서

도면의 간단한 설명

도 1은 일반적인 액티브 매트릭스형 유기전계발광 소자의 기본 화소 구조를 나타낸 도면.

도 2는 종래의 액티브 매트릭스형 유기전계발광 소자의 한 화소부에 대한 평면도.

도 3은 상기 도 2의 절단선 ii-ii에 따라 절단된 단면을 도시한 단면도.

도 4a 내지 4i는 상기 도 2의 절단선 ii-ii에 따라 절단된 단면을 제조 공정 단계별로 각각 나타낸 단면도.

도 5는 종래의 유기전계발광 소자의 전체 단면도.

도 6은 본 발명의 제 1 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 단면도.

도 7은 본 발명의 제 2 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 평면도.

도 8a 내지 8d, 도 9a 내지 9d, 도 10a 내지 10d, 도 11a 내지 11d는 상기 도 7의 절단선 IIa-IIa, IIb-IIb, IIc-IIc, IId-IId에 따라 절단된 각각의 단면을 제조 단계별로 나타낸 단면도이며, IIa-IIa는 구동용 박막트랜지스터부, IIb-IIb는 데이터 패드부, IIc-IIc는 게이트 패드부, IId-IId는 전력공급 패드부에 대한 도면.

〈도면의 주요부분에 대한 부호의 설명〉

210 : 기판 216 : 게이트 전극

218 : 게이트 패드 222 : 전력공급 패드

223 : 게이트 절연막 230a : 액티브층

230b : 오믹콘택층 230 : 반도체층

248 : 소스 콘택홀 250 : 드레인 콘택홀

258 : 보호층 262 : 파워 전극

260 : 전기적 연결 패턴 ch : 채널

T_D : 구동용 박막트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광 소자(Organic Electroluminescent Device)에 관한 것이며, 특히 저마스크 듀얼패널타입 유기전계발광 소자(Active-Matrix Organic Electroluminescent Device) 및 그 제조방법에 관한 것이다.

새로운 평판디스플레이 중 하나인 유기전계발광 소자는 자체발광형이기 때문에 액정표시장치에 비해 시야각, 대조비 등이 우수하며 백라이트가 필요하지 않기 때문에 경량박형이 가능하고, 소비전력 측면에서도 유리하다. 그리고 직류 저전압 구동이 가능하고 응답속도가 빠르며 전부 고체이기 때문에 외부충격에 강하고 사용온도범위도 넓으며 특히 제조비용 측면에서도 저렴한 장점을 가지고 있다.

특히, 상기 유기전계발광 소자는 액정표시장치나 PDP(Plasma Display Panel)와 달리 공정이 매우 단순하기 때문에 증착 및 봉지(encapsulation) 장비가 전부라고 할 수 있다.

특히, 액티브 매트릭스 방식에서는 화소에 인가된 전압이 스토리지 캐패시턴스(C_{ST} ; storage capacitance)에 충전되어 있어, 그 다음 프레임(frame) 신호가 인가될 때까지 전원을 인가해 주도록 함으로써, 게이트 배선 수에 관계없이 한 화면 동안 계속해서 구동한다.

따라서, 액티브 매트릭스 방식에서는, 낮은 전류를 인가해 주더라도 동일한 휘도를 나타내므로 저소비전력, 고정세, 대형화가 가능한 장점을 가진다.

이하, 이러한 액티브 매트릭스형 유기전계발광 소자의 기본적인 구조 및 동작특성에 대해서 도면을 참조하여 상세히 설명한다.

도 1은 일반적인 액티브 매트릭스형 유기전계발광 소자의 기본 화소 구조를 나타낸 도면이다.

도시한 바와 같이, 제 1 방향으로 주사선(scan line)이 형성되어 있고, 제 1 방향과 교차되는 제 2 방향으로 형성되며, 서로 일정간격 이격된 신호선(signal line) 및 전력 공급선(powersupply line)이 형성되어 있어, 하나의 화소영역(pixel area)을 정의한다.

상기 주사선 및 신호선의 교차지점에는 어드레싱 엘리먼트(addressing element)인 스위칭 박막트랜지스터(T_S; Switching TFT)가 형성되어 있고, 이 스위칭 박막트랜지스터(T_S)와 연결되어 스토리지 캐패시턴스(C_{ST})가 형성되어 있고, 상기 스위칭 박막트랜지스터(T_S) 및 스토리지 캐패시턴스(C_{ST})의 연결부 및 전력 공급선과 연결되어, 전류원 엘리먼트(current source element)인 구동 박막트랜지스터(T_D)가 형성되어 있고, 이 구동 박막트랜지스터(T_D)에는 양극(+ ; anode electrode)이 연결되어 있고, 양극(+)은 정전류 구동방식의 유기전계발광 다이오드(E ; Electroluminescent Diode)를 통해 음극(- ; cathode electrode)과 연결되어 있다.

상기 유기전계발광 다이오드 소자(E)에 의해 연결된 양극(+) 및 음극(-)은 유기전계발광 소자를 구성한다.

상기 스위칭 박막트랜지스터(T_S)는 전압을 제어하고, 스토리지 캐패시턴스(C_{ST})는 전류원을 저장하는 역할을 한다.

이하, 상기 액티브 매트릭스형 유기전계발광 소자의 구동원리에 대해서 설명한다.

상기 액티브 매트릭스 방식에서는 선택신호에 따라 해당전극에 신호를 인가하면, 스위칭 박막트랜지스터의 게이트가 온상태가 되고, 데이터 신호가 이 스위칭 박막트랜지스터의 게이트를 통과하여, 구동 박막트랜지스터와 스토리지 캐패시턴스에 인가되며, 구동 박막트랜지스터의 게이트가 온상태로 되면, 전원 공급선으로부터 전류가 구동 박막트랜지스터의 게이트를 통하여 유기전계발광층에 인가되어 발광하게 된다.

이때, 상기 데이터 신호의 크기에 따라, 구동 박막트랜지스터의 게이트의 개폐정도가 달라져서, 구동 박막트랜지스터를 통하여 흐르는 전류량을 조절하여 계조표시를 할 수 있게 된다.

그리고, 비선택 구간에는 스토리지 캐패시턴스에 충전된 데이터가 구동 박막트랜지스터에 계속 인가되어, 다음 화면의 신호가 인가될 때까지 지속적으로 유기전계발광 소자를 발광시킬 수 있다.

도 2는 종래의 액티브 매트릭스형 유기전계발광 소자의 한 화소부에 대한 평면도로서, 스위칭 박막트랜지스터와 구동 박막트랜지스터를 각각 하나씩 가지는 2 TFT 구조를 일 예로 하여 설명한다.

도시한 바와 같이, 제 1 방향으로 게이트 배선(37)이 형성되어 있고, 게이트 배선(37)과 교차되고, 서로 이격되게 데이터 배선(51) 및 전력공급 배선(41)이 형성되어 있고, 게이트 배선(37), 데이터 배선(51), 전력공급 배선(41)이 서로 교차되는 영역은 화소 영역(P)을 정의한다.

상기 게이트 배선(37) 및 데이터 배선(51)이 교차되는 영역에는 스위칭 박막 트랜지스터(T_S)가 위치하고, 스위칭 박막트랜지스터(T_S) 및 전력공급 배선(41)이 교차되는 지점에는 구동 박막트랜지스터(T_D)가 위치하여, 전력공급 배선(41)과 스위칭 박막트랜지스터(T_S)의 반도체층(31)과 일체형 패턴을 이루는 캐패시터 전극(134)이 중첩되는 스토리지 캐패시턴스(C_{ST})가 형성되어 있다.

그리고, 상기 구동 박막트랜지스터(T_D)와 연결되어 제 1 전극(58)이 형성되어 있고, 도면으로 제시하지는 않았지만, 제 1 전극(58)을 덮는 영역에는 유기전계발광층 및 제 2 전극이 차례대로 형성된다.

상기 제 1 전극 형성부는 유기전계발광부(I)로 정의된다.

미설명 부호인 '32'는 구동 박막트랜지스터(T_D)용 반도체층에 해당되고, '35, 38'은 각각 스위칭 박막트랜지스터(T_S) 및 구동 박막트랜지스터(T_D)의 게이트 전극에 해당된다.

이하, 상기 유기전계발광부, 구동 박막트랜지스터, 스토리지 캐패시턴스의 적층 구조를 도면을 참조하여 상세히 설명한다.

도 3은 상기 도 2의 절단선 ii-ii에 따라 절단된 단면을 도시한 단면도이다.

도시한 바와 같이, 절연기판(1) 상에 반도체층(32), 게이트 전극(38), 소스 및 드레인 전극(50, 52)으로 구성되는 구동 박막트랜지스터(T_D)가 형성되어 있고, 상기 소스 전극(50)에는 미도시한 전원공급 배선에서 분기된 파워 전극(42)이 연결되어 있으며, 상기 드레인 전극(52)에는 투명 도전성물질로 이루어진 제 1 전극(58)이 연결되어 있다.

상기 파워 전극(42)과 대응하는 하부에는 절연된 상태로 상기 반도체층(32)과 동일물질로 이루어진 캐패시터 전극(34)이 형성되어 있어서, 파워 전극(42) 및 캐패시터 전극(34)이 중첩된 영역은 스토리지 캐패시턴스(C_{ST})를 이룬다.

그리고, 상기 제 1 전극(58)의 상부에는 유기전계발광층(64) 및 불투명 금속물질로 이루어진 음극(66)이 순서대로 적층되어 유기전계발광부(I)를 구성한다.

상기 유기전계발광부(I)에 위치하는 절연층들의 적층구조를 살펴보면, 상기 절연기판(1)과 반도층(32) 사이에서 완충작용을 하는 버퍼층(30)과, 상기 스토리지 캐패시턴스(C_{ST})용 절연체로 이용되는 제 1 보호층(40)과, 상기 드레인 전극(52)과 파워 전극(42) 사이의 제 2 보호층(44)과, 상기 제 1 전극(58)과 소스 전극(50) 사이의 제 3 보호층(54)과, 상기 박막트랜지스터(T)와 제 1 전극(58)사이의 제 4 보호층(60)이 차례대로 적층된 구조를 가지는데, 상기 제 1 내지 4 보호층(40, 44, 54, 60)에는 각각 각층 간의 전기적 연결을 위한 콘택홀(미도시)을 포함한다.

이하, 도 4a 내지 4i는 상기 도 2의 절단선 ii-ii에 따라 절단된 단면을 제조 공정 단계별로 각각 나타낸 단면도로서, 감광성 물질인 PR(photo-resist)을 이용한 노광(exposure), 현상(development) 공정을 포함하는 사진식각 공정(photolithography)에 의해 패터닝하는 공정에 의해 진행되어, 이하 이러한 일련의 패터닝 공정을 마스크 공정으로 정의하여 공정순서대로 설명한다.

도 4a에서는, 절연기판(1) 상에 제 1 절연물질을 이용하여 버퍼층(30)을 기 판 전면에 걸쳐 형성하고, 이 버퍼층(30) 상부에 폴리실리콘을 이용하여, 제 1 마스크 공정에 의해 액티브층(32a ; active layer) 및 캐패시터 전극(34)을 형성한다.

다음으로, 도 4b에서는, 상기 도 4a 단계를 거친 기판 상에, 제 2 절연물질 및 제 1 금속을 연속으로 증착한 후, 제 2 마스크 공정에 의해 상기 액티브층(32a)의 중앙부에 각각 게이트 절연막(36) 및 게이트 전극(38)으로 형성한다.

도 4c에서는, 상기 도 4b단계를 거친 기판 상에, 제 3 절연물질로 이루어진 제 1 보호층(40)으로 형성하고, 이 제 1 보호층(40) 상부에 제 2 금속을 증착한 후, 제 3 마스크 공정에 의해 상기 캐패시터 전극(34)을 덮는 위치에 파워 전극(42)을 형성한다.

그리고, 도 4d에서는, 상기 도 4c 단계를 거친 기판 상에, 제 3 절연물질을 증착한 후, 제 4 마스크 공정에 의해, 상기 액티브층(32a)의 양단부 및 파워 전극(42)의 일부를 노출하는 제 1, 2 오믹 콘택홀(46a, 46b) 및 캐패시터 콘택홀(48)을 가지는 제 2 보호층(44)을 형성한다.

상기 액티브층(32a)의 양단부는 추후 공정에서 형성될 소스 및 드레인 전극과 연결되도록, 좌측부는 드레인 영역(iiia)을 이루고, 우측부는 소스 영역(iiib)을 이룬다.

이 단계에서는, 상기 액티브층(32a)의 노출된 양단부를 이온도핑 처리하여, 이 이온도핑 처리된 부분을 불순물이 함유된 오믹콘택층(32b ; ohmic contact layer)으로 형성하여, 이 액티브층(32a)과 오믹콘택층(32b)으로 구성되는 반도체층(32)을 완성한다.

다음, 도 4e 단계에서는, 제 3 금속을 증착한 후, 제 5 마스크 공정에 의해 상기 캐패시터 콘택홀(도 4d의 48) 및 제 1 오믹 콘택홀(도 4d의 46a)을 통하여, 파워 전극(42) 및 소스 영역(iiib)의 오믹콘택층(32b)과 연결되는 소스 전극(50)과, 이 소스 전극(50)과 일정 간격 이격되며, 제 2 오믹 콘택홀(도 4d의 46b)을 통하여 드레인 영역(iiia)의 오믹콘택층(32b)과 연결되는 드레인 전극(52)을 형성한다.

이 단계에서는 상기 반도체층(32), 게이트 전극(38), 소스 및 드레인 전극(50, 52)을 포함하는 구동 박막트랜지스터(T_D)를 완성하게 된다.

한편, 상기 파워 전극(42) 및 캐패시터 전극(34)은 각각 소스 전극(52) 및 미도시한 스위칭 박막트랜지스터의 반도체층과 전기적으로 연결되며, 상기 1 보호층(40)을 절연체로 하여, 스토리지 캐패시턴스(C_{ST})를 형성한다.

도 4f에서는, 상기 도 4e 단계를 거친 기판 상에, 제 4 절연물질을 증착한 후, 제 6 마스크 공정에 의해 드레인 콘택홀(56)을 가지는 제 3 보호층(54)을 형성한다.

그 다음, 도 4g 단계에서는, 상기 드레인 콘택홀(도 4f의 56)을 통해 드레인 전극(50)과 연결되도록, 제 4 금속을 이용하여, 제 7 마스크 공정에 의해, 유기전계발광층 영역인 유기전계발광부(I)에 제 1 전극(58)을 형성한다.

도 4h에서는, 상기 4g 단계를 거친 기판 상에 제 5 절연물질을 증착한 후, 제 8 마스크 공정에 의해 상기 유기전계발광부(I)와 대응하는 제 1 전극(58)을 노출시키는 제 1 전극 노출부(62)을 가지는 제 4 보호층(60)을 형성한다.

이 제 4 보호층(60)은 구동 박막트랜지스터(T_D)를 수분 및 이물질로부터 보호하는 역할을 한다.

이로써, 마스크 공정이 수반되는 제조 공정은 마치게 되고, 이어서 도 4i 단계에서는 상기 제 1 전극 노출부(도 4h의 62)을 통하여 제 1 전극(58)과 연결되는 유기전계발광층(64)과, 이 유기전계발광층(64) 상부에 제 5 금속을 이용하여 제 2 전극(66)을 기판 전면에 걸쳐 형성한다.

한 예로, 상기 제 1 전극(58)이 양극으로 이용되는 경우, 제 5 금속을 이루는 물질은, 상기 유기전계발광층(64)으로부터 방출되는 빛을 제 1 전극(58)으로 반사시켜 유기전계발광 소자의 화면을 구현하기 위하여, 반사특성을 가지며, 전자를 쉽게 내놓을수 있도록 일함수(work function)값이 낮은 금속물질을 선택한다.

이하, 종래의 유기전계발광 소자 패널의 적층 구조를 도면을 참조하여 상세히 설명한다.

도 5는 종래의 유기전계발광 소자의 전체 단면도로서, 유기전계발광부와 구동 박막트랜지스터 연결부를 중심으로 인캡슐레이션 구조에 대해서 도시하였다.

도시한 바와 같이, 화면을 구현하는 최소단위인 서브픽셀 단위로 서로 일정간격 이격되게 제 1, 2 기판(70, 90)이 배치되어 있고, 제 1 기판(70)의 내부면에는 서브픽셀 단위로 형성된 다수 개의 구동 박막트랜지스터(T_D)를 포함한 어레이 소 자층(80)이 형성되어 있고, 어레이 소자층(80) 상부에는 구동 박막트랜지스터(T_D)와 연결되어 서브픽셀 단위로 제 1 전극(72)이 형성되어 있고, 제 1 전극(72) 상부에는 서브픽셀 단위로 적, 녹, 청 컬러를 발광시키는 유기전계발광층(74)이 형성되어 있고, 유기전계발광층(74) 상부 전면에는 제 2 전극(76)이 형성되어 있다.

상기 제 1, 2 전극(72, 76) 및 제 1, 2 전극(72, 76) 사이에 개재된 유기전계발광층(74)은 유기전계발광 다이오드 소자(E)를 이루며, 유기전계발광층(74)으로부터 발광된 빛은 제 1 전극(72) 쪽으로 발광되는 하부발광 방식인 것을 특징으로 한다.

그리고, 상기 제 2 기판(90)은 인캡슐레이션 기판으로 이용되며, 이러한 제 2 기판(90)의 내부 중앙부에는 오목부(92)가 형성되어 있고, 오목부(92) 내에는 외부로부터의 수분흡수를 차단하여 유기전계발광 다이오드 소자(E)를 보호하기 위한 흡습제(94)가 봉입되어 있다.

상기 흡습제(94)가 봉입된 제 2 기판(90) 내부면과 제 2 전극(76)은 서로 일정간격 이격되게 위치한다.

그리고, 상기 제 1, 2 기판(70, 90)의 가장자리부는 씰패턴(85)에 의해 인캡슐레이션되어 있다.

이와 같이, 기존의 하부발광방식 유기전계발광 소자는 어레이 소자 및 유기전계발광 다이오드가 형성된 기판과 별도의 인캡슐레이션용 기판의 합착을 통해 소자를 제작하였다. 이런 경우, 어레이 소자의 수율과 유기전계발광 다이오드의 수율 의 곱이 유기전계발광 소자의 수율을 결정하기 때문에, 기존의 유기전계발광 소자 구조에서는 후반 공정에 해당되는 유기전계발광 다이오드 공정에 의해 전체 공정 수율이 크게 제한되는 문제점이 있었다. 예를 들어, 어레이 소자가 양호하게 형성되었다 하더라도, 1,000 Å 정도의 박막을 사용하는 유기전계발광층의 형성시 이물이나 기타 다른 요소에 의해 불량이 발생하게 되면, 유기전계발광 소자는 불량 등급으로 판정된다.

이로 인하여, 양품의 어레이 소자를 제조하는데 소요되었던 제반 경비 및 재료비 손실이 초래되고, 생산수율이 저하되는 문제점이 있었다.

그리고, 하부발광방식은 인캡슐레이션에 의한 안정성 및 공정이 자유도가 높은 반면 개구율의 제한이 있어 고해상도 제품에 적용하기 어려운 문제점이 있고, 상부발광방식은 박막트랜지스터 설계가 용이하고 개구율 향상이 가능하기 때문에 제품수명 측면에서 유리하지만, 기존의 상부발광방식 구조에서는 유기전계발광층 상부에 통상적으로 음극이 위치함에 따라 재료선택폭이 좁기 때문에 투과도가 제한되어 광효율이 저하되는 점과, 광투과도의 저하를 최소화하기 위해 박막형 보호막을 구성해야 하는 경우 외기를 충분히 차단하지 못하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하기 위하여, 본 발명에서는 생산수율이 향상된 고해상도/고개구율 구조 액티브 매트릭스형 유기전계발광 소자를 제공하고자 한다.

이를 위하여, 본 발명에서는 어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기판 상에 형성하고, 어레이 소자의 구동 박막트랜지스터와 유기전계발광 다이오드 소자의 제 2 전극을 별도의 전기적 연결패턴을 통해 연결하는 듀얼패널타입 유기전계발광 소자를 제공하고자 한다.

본 발명의 또 다른 목적에서는, 비정질 실리콘 물질을 이용하는 역스태거드형 박막트랜지스터 구조를 채용하여 4 마스크 듀얼패널타입 유기전계발광 소자용 기판의 제조 공정을 제공하고자 한다.

역스태거드형 박막트랜지스터를 포함하여 공정을 진행하게 되면, 저온 조건 하에서 공정을 진행할 수 있고, 전기적 연결패턴을 포함하여 공정을 진행하더라도 기존보다 마스크 공정수를 감소시킬 수 있는 잇점을 가진다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 제 1 특징에서는 서로 이격되게 배치된 제 1 기판(어레이 기판) 및 제 2 기판(유기전계발광 다이오드 기판)과, 상기 제 1, 2 기판 사이에 위치하며, 상기 제 1, 2 기판을 전기적으로 연결시키는 패턴부를 포함하는 듀얼패널타입 유기전계발광 소자에 있어서, 상기 제 1 기판 상에 제 1 방향으로 형성된 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과; 상기 제 2 방향으로 형성되며, 상기 데이터 배선과 이격되게 위치하고, 상기 게이트 배선과 동일 공정에서 동일 물질로 이루어지며, 상기 게이트 배선과의 교차부에서는 별도의 전력공급 링크배선을 가지는 전력공급 배선과; 상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 비정질 실리콘(a-Si)으로 이 루어진 반도체층을 가지는 스위칭용 박막트랜지스터와; 상기 스위칭용 박막트랜지스터와 전력공급 배선 사이 교차지점에 형성되며, 상기 스위칭용 박막트랜지스터와 동일한 물질로 이루어진 반도체층을 가지는 구동용 박막트랜지스터와; 상기 구동용 박막트랜지스터와 연결되며, 전도성 고분자 물질로 이루어진 기둥형상의 전기적 연결 패턴을 포함하며, 상기 반도체층의 불순물 실리콘 물질층은 상기 데이터 배선과 동일 공정에서 패터닝되어, 상기 데이터 배선과 대응된 패턴 구조로 이루어지는 듀얼패널타입 유기전계발광 소자용 어레이 기판을 제공한다.

상기 게이트 배선, 데이터 배선, 전력공급 배선의 일끝단에는 게이트 패드, 데이터 패드, 전력공급 패드가 각각 형성되어 있고, 상기 스위칭용 박막트랜지스터에는, 상기 게이트 배선에서 분기된 게이트 전극과, 상기 게이트 전극을 덮는 영역에 위치하며, 비정질 실리콘 물질로 이루어진 액티브층 및 불순물 실리콘 물질로 이루어진 오믹콘택층이 차례대로 적층된 구조의 반도체층과, 상기 반도체층 상부에서 서로 이격되게 위치하는 소스 전극 및 드레인 전극으로 이루어지고, 상기 구동용 박막트랜지스터에는, 상기 드레인 전극과 연결되는 구동용 게이트 전극과, 상기 구동용 게이트 전극을 덮는 위치의 구동용 반도체층과, 상기 구동용 반도체층 상부에서 서로 이격되게 위치하는 구동용 소스 전극 및 드레인 전극으로 이루어지며, 상기 박막트랜지스터를 덮는 영역에 보호층이 위치하며, 상기 보호층에는 소스 전극, 드레인 전극, 게이트 패드, 데이터 패드, 전력공급 패드를 일부 노출시키는 소스 콘택홀, 드레인 콘택홀, 데이터패드 콘택홀, 게이트패드 콘택홀, 전력공급패드 콘택홀을 가지고, 상기 게이트 패드 및 전력공급 패드를 덮는 영역에는, 절연층, 비정질 실리콘 물질층이 차례대로 적층되어 있고, 상기 게이트패드 콘택홀, 전력공급패드 콘택홀은 상기 절연층, 비정질 실리콘 물질층, 보호층이 공통적으로 가지는 콘택홀이며, 상기 게이트패드 콘택홀, 전력공급패드 콘택홀 상부에는, 상기 게이트패드 콘택홀, 전력공급패드 콘택홀을 통해 게이트 패드 및 전력공급 패드와 각각 연결되고, 상기 전기적 연결 패턴과 동일공정에서 동일 물질로 이루어진 게이트패드 전극 및 전력공급패드 전극을 각각 포함하며, 상기 소스 전극과 드레인 전극 사이 이격구간과, 상기 구동용 소스 전극 및 드레인 전극 사이 이격구간에는 비정질 실리콘 물질로 이루어진 액티브층이 노출되어 채널을 이루며, 상기 채널부는 별도의 식각 공정없이, 상기 데이터 배선과 불순물 실리콘 물질의 식각 공정을 통해 동시에 형성되고, 상기 연결 전극과 동일 공정에서 동일 물질로 이루어지며, 상기 소스 콘택홀을 통해 소스 전극과 연결되는 파워 전극을 포함하고, 상기 파워 전극은 전력공급 배선과도 연결되며, 상기 전력공급 링크배선은, 상기 데이터 배선과 동일 공정에서 동일 물질로 이루어지며, 상기 전력공급 링크배선과 전력공급 배선은 상기 전기적 연결 패턴과 동일 공정에서 동일 물질로 이루어진 패턴을 통해 서로 연결되는 것을 특징으로 한다.

본 발명의 제 2 특징에서는, 어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기판에 구성하고, 별도의 전기적 연결패턴을 통해 두 소자를 전기적으로 연결시키는 방식의 듀얼패널타입 유기전계발광 소자용 어레이 기판의 제조 방법에 있어서, 기판 상에 제 1 금속물질을 형성한 다음, 감광성 물질인 PR(photo-resist)을 이용한 사진 식각 공정에 의해 패터닝하는 일련의 공정인 제 1 마스크 공정에 의해 게이트 전극, 게이트 패드, 전력공급 패드를 형성하는 단계와; 상기 게이트 전극, 게이트 패드를 덮는 위치에 제 1 절연물질, 비정질 실리콘 물질, 불순물 실리콘 물질, 제 2 금속물질을 연속적으로 형성한 다음, 상기 제 1 절연물질 및 비정질 실리콘 물질은 절연층 및 비정질 실리콘 물질층으로 삼고, 상기 불순물 실리콘 물질 및 제 2 금속물질은 제 2 마스크 공정에 의해 상기 게이트 전극 중앙부와 대응된 영역으로 정의되는 채널부에서 서로 이격되게 위치하는 소스 전극 및 드레인 전극과, 데이터 패드를 형성하고, 상기 소스 전극 및 드레인 전극 이격 구간에서 노출된 비정질 실리콘 물질층 영역은 채널로 구성하고, 상기 소스 전극 및 드레인 전극과 대응되는 비정질 실리콘 물질층 및 불순물 실리콘 물질층 영역은 반도체층으로 삼고, 상기 반도체층의 비정질 실리콘 물질층, 불순물 실리콘 물질층은 차례대로 액티브층, 오믹콘택층으로 구성하는 단계와; 상기 게이트 전극, 반도체층, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터 및 데이터 패드 상부에 제 2 절연물질을 형성한 다음, 제 3 마스크 공정에 의해 상기 소스 전극, 드레인 전극, 데이터 패드, 게이트 패드, 전력공급 패드를 일부 노출시키는 소스 콘택홀, 드레인 콘택홀, 데이터패드 콘택홀, 게이트패드 콘택홀, 전력공급패드 콘택홀을 각각 가지는 보호층을 형성하는 단계와; 상기 보호층 상부에 전도성 고분자 물질을 이용한 제 4 마스크 공정에 의해, 상기 유기전계발광 다이오드 소자와 연결되는 영역으로 정의되는 전기적 연결부에 위치하며, 상기 드레인 콘택홀을

통해 드레인 전극과 연결되는 기둥형상의 전기적 연결 패턴과, 상기 소스 콘택홀을 통해 소스 전극과 연결되는 파워 전극, 상기 데이터패드 콘택홀을 통해 데이터 패 드와 연결되는 데이터패드 전극, 상기 게이트패드 콘택홀을 통해 게이트 패드와 연결되는 게이트패드 전극, 상기 전력공급패드 콘택홀을 통해 전력공급 패드와 연결되는 전력공급패드 전극을 형성하는 단계를 포함하는 듀얼패널타입 유기전계발광 소자용 어레이 기판의 제조방법을 제공한다.

상기 제 1 마스크 공정에서는, 상기 게이트 전극과 연결되는 게이트 배선과, 상기 게이트 배선과 교차되고, 상기 전력공급 패드와 연결되는 전력공급 배선을 형성하는 단계를 포함하고, 상기 제 2 마스크 공정에서는, 상기 전력공급 배선과 동일 방향으로 서로 이격되게 데이터 배선을 형성하는 단계 및 상기 게이트 배선과의 교차부에 위치하는 전력공급 배선부인 전력공급 링크배선을 형성하는 단계를 포함하고 제 4 마스크 공정에서는, 상기 전력공급 배선과 전력공급 링크배선을 전기적으로 연결시키는 패턴을 형성하는 단계 및 상기 파워 전극과 전력공급 배선을 전기적으로 연결시키는 단계를 포함하고, 상기 박막트랜지스터는 유기전계발광 다이오드 소자와 연결되는 구동용 박막트랜지스터에 해당되고, 상기 게이트패드 콘택홀 및 전력공급패드 콘택홀은, 상기 절연층, 비정질 실리콘 물질층, 보호층이 공통적으로 가지는 콘택홀인 것을 특징으로 한다.

-- 제 1 실시예 --

도 6은 본 발명의 제 1 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 단면도로서, 전기적 연결 구조를 중심으로 개략적으로 도시하였다.

도시한 바와 같이, 화면을 구현하는 최소단위인 서브픽셀 단위로 제 1, 2 기 판(110, 150)이 서로 일정간격을 유지하며, 대향되게 배치되어 있다.

상기 제 1 기판(110, 150)의 내부면에는 서브픽셀 단위로 형성된 다수 개의 구동 박막트랜지스터(T_D)를 포함하는 어레이 소자층(140)이 형성되어 있고, 어레이 소자층(140) 상부에는 구동 박막트랜지스터(T_D)와 연결되어 전기적 연결 패턴(142)이 형성되어 있다.

상기 전기적 연결 패턴(142)은 전도성 물질에서 선택되며, 상기 전기적 연결 패턴(142)은 두께감있게 형성되기 위해 절연물질을 포함하는 다중층으로 형성될 수도 있고, 별도의 연결 전극을 통해 구동 박막트랜지스터(T_D)와 연결될 수도 있다.

그리고, 상기 구동 박막트랜지스터(T_D)는 게이트 전극(112), 반도체층(114), 소스 전극(116) 및 드레인 전극(118)으로 이루어지고, 실질적으로 전술한 전기적 연결 패턴(142)은 드레인 전극(118)과 연결되어 있다.

그리고, 상기 제 2 기판(150) 내부 전면에는 제 1 전극(152)이 형성되어 있고, 제 1 전극(152) 하부에는 서브픽셀 단위로 반복배열되는 적, 녹, 청 발광층(156a, 156b, 156c)을 포함하는 유기전계발광층(160)이 형성되어 있고, 유기전계발광층(160) 하부에는 서브픽셀 단위로 제 2 전극(162)이 형성되어 있다.

좀 더 상세히 설명하면, 상기 유기전계발광층(160)에는 제 1 전극(152) 하부 면과 접촉되는 제 1 캐리어 전달층(154)과, 적, 녹, 청 발광층(156a, 156b, 156c) 하부에 위치하며, 제 2 전극(162) 상부면과 접촉되는 제 2 캐리어 전달층(158)이 더욱 포함된다.

한 예로, 상기 제 1 전극(152)이 양극, 제 2 전극(162)이 음극에 해당될 경우, 제 1 캐리어 전달층(154)은 차례대로 정공주입층, 정공수송층에 해당되고, 제 2 캐리어 전달층(158)은 차례대로 전자수송층, 전자주입층에 해당된다.

그리고, 상기 제 1, 2 전극(152, 162)과 제 1, 2 전극(152, 162) 사이에 개재된 유기전계발광층(160)은 유기전계발광 다이오드 소자(E)에 해당된다.

본 발명에서는, 상기 전기적 연결패턴(142)의 최상부면이 제 2 전극(162) 하부면과 연결되어, 구동 박막트랜지스터(T_D)로부터 공급되는 전류가 전기적 연결패턴(142)을 통해 제 2 전극(162)으로 전달되는 것을 특징으로 한다.

그리고, 상기 제 1, 2 기판(110, 150)의 가장자리부에는 씰패턴(170)이 위치하여, 상기 제 1, 2 기판(110, 150)을 합착시키고 있다.

본 실시예에서는, 유기전계발광 다이오드 소자(E)와 어레이 소자층(140)을 서로 다른 기판에 형성하되, 전기적 연결패턴(142)을 이용하여 두 소자를 연결시키는 방식의 듀얼패널타입으로 구성하는 것을 특징으로 한다.

설명의 편의상, 3개의 서브픽셀이 하나의 픽셀을 이루는 2 픽셀 구조를 일 예로 도시하였으며, 박막트랜지스터 구조 및 전기적 연결패턴의 연결방식은 다양하게 변경될 수 있다.

또한, 본 발명에 따른 듀얼패널타입 유기전계발광 소자는 도면 상의 발광 방향과 같이 상부발광방식이기 때문에, 박막트랜지스터 설계가 용이해지고 고개구율/고해상도 구현이 가능한 장점을 가진다.

-- 제 2 실시예 --

도 7은 본 발명의 제 2 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 평면도이다.

도시한 바와 같이, 제 1 방향으로 게이트 배선(212)이 형성되어 있고, 제 1 방향과 교차되는 제 2 방향으로 데이터 배선(240) 및 전력공급 배선(220)이 서로 이격되게 형성되어 있으며, 상기 게이트 배선(212) 및 데이터 배선(240)이 교차되는 지점에는 스위칭 박막트랜지스터(T_S)가 형성되어 있다. 상기 스위칭 박막트랜지스터(T_S)에는 게이트 배선(212)에서 분기된 게이트 전극(214)과, 데이터 배선(240)에서 분기된 소스 전극(232)과, 소스 전극(232)과 이격되게 배치된 드레인 전극(236)과, 소스 전극 및 드레인 전극(232, 236)의 이격 구간을 포함하여, 소스 전극 및 드레인 전극(232, 236)과 대응되는 패턴 구조를 가지는 반도체층(228)이 형성되어 있다.

상기 전력공급 배선(220)은 게이트 배선(212)과 동일 공정에서 동일 물질로 이루어진 것을 특징으로 한다.

그리고, 상기 스위칭 박막트랜지스터(T_S) 및 전력공급 배선(220)과 연결되어 구동 박막트랜지스터(T_D)가 형성되어 있다. 상기 구동 박막트랜지스터(T_D)에는 상기 게이트 배선(212)과 동일 공정에서 동일 물질로 이루어지고, 상기 드레인 전극(236)과 연결되는 구동용 게이트 전극(216)과, 상기 구동용 게이트 전극(216)의 양측과 일정간격 중첩되어 서로 이격되게 위치하고, 상기 데이터 배선(240)과 동일 공정에서 동일 물질로 이루어진 구동용 소스 전극 및 드레인 전극(234, 238)과, 상기 구동용 소스 전극 및 드레인 전극(234, 238) 사이 이격구간을 포함하여, 구동용 소스 전극 및 드레인 전극(234, 238)과 대응되는 패턴 구조를 가지는 구동용 반도체층(230)이 형성되어 있다.

상기 구동용 소스 전극(234)과 소스 콘택홀(248)을 통해 연결되어 파워 전극(262)이 형성되어 있고, 파워 전극(262)의 일측은 전력공급 콘택홀(246)을 통해 전력공급 배선(220)과 연결된다.

그리고, 상기 구동용 드레인 전극(238)과 연결되어 전기적 연결부(IV) 영역에 전기적 연결 패턴(260)이 형성되어 있다. 상기 파워 전극(262) 및 전기적 연결 패턴(260)은 동일 공정에서 동일 물질로 이루어지며, 전도성 고분자 물질에서 선택되는 것을 특징으로 한다.

상기 전기적 연결부(IV)는 미도시한 유기전계발광 다이오드 기판의 제 2 전극과 대응되는 영역 범위에 해당된다.

그리고, 상기 드레인 전극(236)에는 상기 전력공급 배선(220)과 중첩되게 연장 형성된 캐패시터 전극(244)을 포함하여, 상기 캐패시터 전극(244) 및 전력공급 배선(220)이 중첩된 영역은 스토리지 캐패시턴스(C_{ST})를 이룬다.

상기 데이터 배선(240), 게이트 배선(212), 전력공급 배선(220)의 각각의 일끝단에는 데이터 패드(242), 게이트 패드(218), 전력공급 패드(222)가 형성되어 있으며, 데이터 패드(242), 게이트 패드(218), 전력공급 패드(222)를 덮는 영역에는, 전술한 전술한 전기적 연결 패턴(260)과 동일 공정에서 동일 물질로 이루어진 데이터패드 전극(264), 게이트 패드 전극(266), 전력공급패드 전극(268)이 각각 형성되어 있다.

그리고, 상기 데이터 배선(240), 데이터 패드(242), 캐패시터 전극(244)의 하부층에는, 서로 대응되는 패턴 구조를 이루며, 상기 반도체층(228) 및 구동용 반도체층(230)의 오믹콘택층(미도시)와 동일한 물질로 이루어진 불순물 실리콘층(224b)이 존재하는 것을 특징으로 한다.

특히, 본 실시예에서는 게이트 배선(212)과 전력공급 배선(220)을 동일 공정동일 물질로 형성함에 따라, 게이트 배선(212)과 전력공급 배선(220)이 교차부에서 단락되는 것을 방지하기 위하여, 데이터 배선(240)과 동일 공정에서 동일 물질로 이루어진 전력공급 제 1 링크 배선(241a)을 게이트 배선(212)과 교차되는 영역의 전력공급 배선(220)의 연결배선으로 삼는다.

좀 더 상세히 설명하면, 상기 전력공급 제 1 링크배선(241a)의 양측에는, 전기적 연결 패턴(260)과 동일 공정에서 동일 물질로 이루어진 전력공급 제 2 링크배선(241b)이 각각 위치하여, 전력공급 제 2 링크배선(241b)을 통해 전력공급 배선(220)과 실질적으로 연결된다.

이때, 상기 데이터 패드(242) 및 전력공급 패드(222)는 서로 다른 신호전압이 인가되기 때문에, 도면에서와 같이 서로 역방향 일끝단에 형성하는 것이 바람직하다.

-- 제 3 실시예 --

도 8a 내지 8d, 도 9a 내지 9d, 도 10a 내지 10d, 도 11a 내지 11d는 상기 도 7의 절단선 IIa-IIa, IIb-IIb, IIc-IIc, IId-IId에 따라 절단된 각각의 단면을 제조 단계별로 나타낸 단면도이며, IIa-IIa는 구동 박막트랜지스터부, IIb-IIb는 데이터 패드부, IIc-IIc는 게이트 패드부, IId-IId는 전력공급 패드부에 대한 도면이고, 설명의 편의상 구동용 게이트 전극, 구동용 반도체층, 구동용 소스 전극 및 드레인 전극은 게이트 전극, 반도체층, 소스 전극 및 드레인 전극으로 약칭하여 설명한다.

도 8a, 9a, 10a, 11a는, 기판(210) 상에 제 1 금속물질을 이용한 제 1 마스크 공정에 의해 게이트 전극(216), 게이트 패드(218), 전력공급 패드(222)를 형성하는 단계이다.

도면으로 제시하지는 않았지만, 이 단계에서는 상기 전력공급 패드(222)와 일체형 패턴으로 전력공급 배선이 형성된다.

상기 제 1 금속물질은, 비저항값이 낮은 금속물질에서 선택되며, 바람직하게는 알루미늄을 포함하는 금속물질에서 선택하는 것이다.

도면으로 상세히 제시하지는 않았지만, 본 발명에 이용되는 마스크 공정은, 감광성 물질인 PR을 도포한 다음, 원하는 패턴을 가지는 마스크를 배치한 다음 노광, 현상 처리를 통해 형성된 PR패턴을 마스크로 이용하여 노출된 피식각층을 식각하는 방법으로 패터닝하는 방법에 해당된다.

도 8b, 9b, 10b, 11b는, 상기 게이트 전극(216), 게이트 패드(218), 전력공 급 패드(222)를 덮는 영역에 제 1 절연물질, 비정질 실리콘 물질(a-Si), 불순물 실리콘 물질(n+ a-Si), 제 2 금속물질을 차례대로 형성한 다음, 상기 제 1 절연물질, 비정질 실리콘 물질(a-Si)은 게이트 절연막(223) 및 비정질 실리콘층(224a)으로 삼고, 제 2 마스크 공정에 의해 상기 제 2 금속물질, 불순물 실리콘 물질(n+ a-Si)을 연속적으로 식각하여, 게이트 전극(216)을 덮는 영역에 위치하는 반도체층(230)과, 상기 반도체층(230)과 대응되는 패턴 구조를 가지며, 상기 반도체층(230) 상부에서 서로 이격되게 위치하는 소스 전극(234) 및 드레인 전극(238)과, 데이터 형성부(III)에 데이터 패드(242)를 형성하는 단계이다.

상기 반도체층(230)은 비정질 실리콘 물질로 이루어진 액티브층(230a)과, 불순물 비정질 실리콘 물질로 이루어진 오믹콘택층(230b)이 차례대로 적층된 구조로 이루어진다.

또한, 상기 소스 전극(234) 및 드레인 전극(238) 사이 이격구간에서 노출된 액티브층(230a) 영역은 채널(ch)을 이룬다.

도면으로 제시하지는 않았지만, 이 단계에서는 제 2 방향으로 데이터 배선을 형성하는 단계를 포함하고, 상기 데이터 패드 형성부(III)는 데이터 배선의 일끝단부 영역에 해당되고, 바람직하게는 상기 전력공급 패드(222)와 서로 역방향 일끝단부에 위치하는 것이다.

상기 게이트 전극(216), 반도체층(230), 소스 전극(234) 및 드레인 전극(238)은 구동용 박막트랜지스터(T_D)를 이룬다.

상기 데이터 패드(242)의 하부에는, 상기 데이터 패드(242)와 대응된 패턴 구조를 가지며, 상기 반도체층(230)의 오믹콘택층(230b)과 동일한 물질로 이루어진 불순물 실리콘 물질층(224b)이 존재한다.

상기 제 1 절연물질은 실리콘 절연물질에서 선택되는 것이 바람직하며, 더욱 바람직하게는 실리콘 질화막(SiNx)으로 하는 것이고, 상기 제 2 금속물질은 화학적 내식성이 강한 금속물질에서 선택되며, 바람직하게는 몰리브덴(Mo), 티탄(Ti), 크롬(Cr), 텅스텐(W) 중 어느 하나에서 선택하는 것이다.

도 8c, 9c, 10c, 11c는, 상기 구동용 박막트랜지스터(T_D) 및 데이터 패드(242), 게이트 패드(218), 전력공급 패드(222)를 덮는 영역에, 제 2 절연물질을 형성한 다음, 제 3 마스크 공정에 의해, 상기 소스 전극(234), 드레인 전극(238), 데이터 패드(242), 게이트 패드(218), 전력공급 패드(222)를 각각 일부 노출시키는 소스 콘택홀(248), 드레인 콘택홀(250), 데이터패드 콘택홀(252), 게이트패드 콘택홀(254), 전력공급패드 콘택홀(256)을 가지는 보호층(258)을 형성하는 단계이다.

이때, 상기 게이트패드 콘택홀(254) 및 전력공급패드 콘택홀(256)은 게이트 패드(218) 및 전력공급 패드(222)를 덮는 영역의 게이트 절연막(320), 비정질 실리콘층(224a), 보호층(258)이 공통적으로 가지는 각각의 콘택홀에 해당된다.

상기 드레인 콘택홀(250)은, 미도시한 유기전계발광 다이오드 소자의 제 2 전극과 대응되는 영역으로 정의되는 전기적 연결부(IV)에 위치하는 것을 특징으로 한다.

도 8d, 9d, 10d, 11d는, 상기 보호층(258) 상부에 전도성 고분자 물질을 형성한 다음, 제 4 마스크 공정에 의해, 상기 드레인 콘택홀(250)을 통해 드레인 전극(238)과 연결되는 전기적 연결 패턴(260)과, 상기 소스 콘택홀(248)을 통해 소스 전극(234)과 연결되는 파워 전극(262)과, 데이터패드 콘택홀(252), 게이트패드 콘택홀(254), 전력공급패드 콘택홀(256)을 통해 데이터 패드(242), 게이트 패드(218), 전력공급 패드(222)와 연결되는 데이터패드 전극(264), 게이트패드 전극(266), 전력공급패드 전극(268)을 각각 형성하는 단계이다.

그러나, 본 발명은 상기 실시예로 한정되지 않고, 본 발명의 취지에 벗어나지 않는 한도내에서 다양하게 변경하여 실시할 수 있다.

발명의 효과

이상과 같이, 본 발명에 따른 듀얼패널타입 유기전계발광 소자 및 그 제조방법에 의하면, 첫째, 어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기판 상에 형성하기 때문에 생산수율 및 생산관리 효율을 향상시킬 수 있고, 제품 수명을 늘릴 수 있으며, 둘째, 상부발광방식이기 때문에 박막트랜지스터 설계가 용이해지고 고개구율/고해상도 구현이 가능하고, 셋째, 비정질 실리콘 물질을 이용한 역스태거드형 박막트랜지스터 구조의 채용으로 저온 공정이 가능하고, 별도의 전기적 연결 패턴을 추가하더라도 기존보다 마스크 공정수를 줄일 수 있어, 공정 단순화를 통해 생산 수율을 보다 효과적으로 높일 수 있는 장점을 가진다.

(57) 청구의 범위

청구항 1.

서로 이격되게 배치된 제 1 기판(어레이 기판) 및 제 2 기판(유기전계발광 다이오드 기판)과, 상기 제 1, 2 기판 사이에 위치하며, 상기 제 1, 2 기판을 전기적으로 연결시키는 패턴부를 포함하는 듀얼패널타입 유기전계발광 소자에 있어서,

상기 제 1 기판 상에 제 1 방향으로 형성된 게이트 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과;

상기 제 2 방향으로 형성되며, 상기 데이터 배선과 이격되게 위치하고, 상기 게이트 배선과 동일 공정에서 동일 물질로 이루어지며, 상기 게이트 배선과의 교차부에서는 별도의 전력공급 링크배선을 가지는 전력공급 배선과;

상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 비정질 실리콘(a-Si)으로 이루어진 반도체층을 가지는 스위칭용 박막트랜지스터와;

상기 스위칭용 박막트랜지스터와 전력공급 배선 사이 교차지점에 형성되며, 상기 스위칭용 박막트랜지스터와 동일한 물질로 이루어진 반도체층을 가지는 구동용 박막트랜지스터와;

상기 구동용 박막트랜지스터와 연결되며, 전도성 고분자 물질로 이루어진 기둥형상의 전기적 연결 패턴

을 포함하며, 상기 반도체층의 불순물 실리콘 물질층은 상기 데이터 배선과 동일 공정에서 패터닝되어, 상기 데이터 배선과 대응된 패턴 구조로 이루어지는 듀얼패널타입 유기전계발광 소자용 어레이 기판.

청구항 2.

제 1 항에 있어서,

상기 게이트 배선, 데이터 배선, 전력공급 배선의 일끝단에는 게이트 패드, 데이터 패드, 전력공급 패드가 각각 형성되어 있는 듀얼패널타입 유기전계발광 소자용 어레이 기판.

청구항 3.

제 1 항에 있어서,

상기 스위칭용 박막트랜지스터에는, 상기 게이트 배선에서 분기된 게이트 전극과, 상기 게이트 전극을 덮는 영역에 위치하며, 비정질 실리콘 물질로 이루어진 액티브층 및 불순물 실리콘 물질로 이루어진 오믹콘택층이 차례대로 적층된 구조의 반도체층과, 상기 반도체층 상부에서 서로 이격되게 위치하는 소스 전극 및 드레인 전극으로 이루어지고, 상기 구동용 박막트랜지스터에는, 상기 드레인 전극과 연결되는 구동용 게이트 전극과, 상기 구동용 게이트 전극을

덮는 위치의 구동용 반도체층과, 상기 구동용 반도체층 상부에서 서로 이격되게 위치하는 구동용 소스 전극 및 드레인 전극으로 이루어지는 듀얼패널타입 유기전계발광 소자용 어레이 기판.

청구항 4.
제 2 항 또는 제 3 항중 어느 하나의 항에 있어서,

상기 박막트랜지스터를 덮는 영역에 보호층이 위치하며, 상기 보호층에는 소 스 전극, 드레인 전극, 게이트 패드, 데이터 패드, 전력공급 패드를 일부 노출시키는 소스 콘택홀, 드레인 콘택홀, 데이터패드 콘택홀, 게이트패드 콘택홀, 전력공급패드 콘택홀을 가지는 듀얼패널타입 유기전계발광 소자용 어레이 기판.

청구항 5.
제 4 항에 있어서,

상기 게이트 패드 및 전력공급 패드를 덮는 영역에는, 절연층, 비정질 실리콘 물질층이 차례대로 적층되어 있고, 상기 게이트패드 콘택홀, 전력공급패드 콘택홀은 상기 절연층, 비정질 실리콘 물질층, 보호층이 공통적으로 가지는 콘택홀인 듀얼패널타입 유기전계발광 소자용 어레이 기판.

청구항 6.
제 5 항에 있어서,

상기 게이트패드 콘택홀, 전력공급패드 콘택홀 상부에는, 상기 게이트패드 콘택홀, 전력공급패드 콘택홀을 통해 게이트 패드 및 전력공급 패드와 각각 연결되고, 상기 전기적 연결 패턴과 동일공정에서 동일 물질로 이루어진 게이트패드 전극 및 전력공급패드 전극을 각각 포함하는 듀얼패널타입 유기전계발광 소자용 어레이 기판.

청구항 7.
제 3 항에 있어서,

상기 소스 전극과 드레인 전극 사이 이격구간과, 상기 구동용 소스 전극 및 드레인 전극 사이 이격구간에는 비정질 실리콘 물질로 이루어진 액티브층이 노출되어 채널을 이루며, 상기 채널부는 별도의 식각 공정없이, 상기 데이터 배선과 불순물 실리콘 물질의 식각 공정을 통해 동시에 형성되는 듀얼패널타입 유기전계발광 소자용 어레이 기판.

청구항 8.
제 4 항에 있어서,

상기 연결 전극과 동일 공정에서 동일 물질로 이루어지며, 상기 소스 콘택홀을 통해 소스 전극과 연결되는 파워 전극을 포함하고, 상기 파워 전극은 전력공급 배선과도 연결되는 듀얼패널타입 유기전계발광 소자용 어레이 기판.

청구항 9.
제 1 항에 있어서,

상기 전력공급 링크배선은, 상기 데이터 배선과 동일 공정에서 동일 물질로 이루어지며, 상기 전력공급 링크배선과 전력공급 배선은 상기 전기적 연결 패턴과 동일 공정에서 동일 물질로 이루어진 패턴을 통해 서로 연결되는 듀얼패널타입 유기전계발광 소자용 어레이 기판.

청구항 10.
어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기판에 구성하고, 별도의 전기적 연결패턴을 통해 두 소자를 전기적으로 연결시키는 방식의 듀얼패널타입 유기전계발광 소자용 어레이 기판의 제조 방법에 있어서,

기판 상에 제 1 금속물질을 형성한 다음, 감광성 물질인 PR(photo-resist)을 이용한 사진 식각 공정에 의해 패터닝하는 일련의 공정인 제 1 마스크 공정에 의해 게이트 전극, 게이트 패드, 전력공급 패드를 형성하는 단계와;

상기 게이트 전극, 게이트 패드를 덮는 위치에 제 1 절연물질, 비정질 실리콘 물질, 불순물 실리콘 물질, 제 2 금속물질을 연속적으로 형성한 다음, 상기 제 1 절연물질 및 비정질 실리콘 물질은 절연층 및 비정질 실리콘 물질층으로 삼고, 상기 불순물 실리콘 물질 및 제 2 금속물질은 제 2 마스크 공정에 의해 상기 게이트 전극 중앙부와 대응된 영역으로 정의되는 채널부에서 서로 이격되게 위치하는 소스 전극 및 드레인 전극과, 데이터 패드를 형성하고, 상기 소스 전극 및 드레인 전극 이격 구간에서 노출된 비정질 실리콘 물질층 영역은 채널로 구성하고, 상기 소스 전극 및 드레인 전극과 대응되는 비정질 실리콘 물질층 및 불순물 실리콘 물질층 영역은 반도체층으로 삼고, 상기 반도체층의 비정질

실리콘 물질층, 불순물 실리콘 물질층은 차례대로 액티브층, 오믹콘택층으로 구성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터 및 데이터 패드 상부에 제 2 절연물질을 형성한 다음, 제 3 마스크 공정에 의해 상기 소스 전극, 드레인 전극, 데이터 패드, 게이트 패드, 전력공급 패드를 일부 노출시키는 소스 콘택홀, 드레인 콘택홀, 데이터패드 콘택홀, 게이트패드 콘택홀, 전력공급패드 콘택홀을 각각 가지는 보호층을 형성하는 단계와;

상기 보호층 상부에 전도성 고분자 물질을 이용한 제 4 마스크 공정에 의해, 상기 유기전계발광 다이오드 소자와 연결되는 영역으로 정의되는 전기적 연결부에 위치하며, 상기 드레인 콘택홀을 통해 드레인 전극과 연결되는 기둥형상의 전기적 연결 패턴과, 상기 소스 콘택홀을 통해 소스 전극과 연결되는 파워 전극, 상기 데이터패드 콘택홀을 통해 데이터 패드와 연결되는 데이터패드 전극, 상기 게이트패드 콘택홀을 통해 게이트 패드와 연결되는 게이트패드 전극, 상기 전력공급패드 콘택홀을 통해 전력공급 패드와 연결되는 전력공급패드 전극을 형성하는 단계

를 포함하는 듀얼패널타입 유기전계발광 소자용 어레이 기판의 제조방법.

청구항 11.
제 10 항에 있어서,

상기 제 1 마스크 공정에서는, 상기 게이트 전극과 연결되는 게이트 배선과, 상기 게이트 배선과 교차되고, 상기 전력공급 패드와 연결되는 전력공급 배선을 형성하는 단계를 포함하고, 상기 제 2 마스크 공정에서는, 상기 전력공급 배선과 동일 방향으로 서로 이격되게 데이터 배선을 형성하는 단계 및 상기 게이트 배선과의 교차부에 위치하는 전력공급 배선부인 전력공급 링크배선을 형성하는 단계를 포함하고 제 4 마스크 공정에서는, 상기 전력공급 배선과 전력공급 링크배선을 전기적 으로 연결시키는 패턴을 형성하는 단계 및 상기 파워 전극과 전력공급 배선을 전기적으로 연결시키는 단계를 포함하는 듀얼패널타입 유기전계발광 소자용 어레이 기판의 제조방법.

청구항 12.
제 10 항에 있어서,

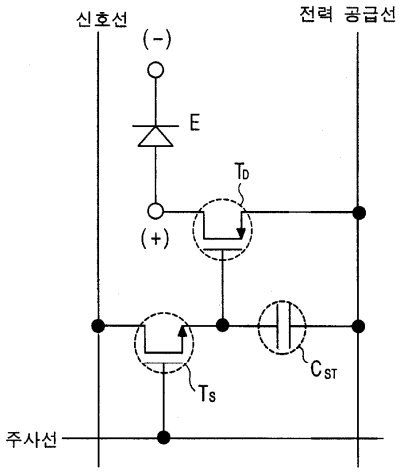
상기 박막트랜지스터는 유기전계발광 다이오드 소자와 연결되는 구동용 박막트랜지스터에 해당되는 듀얼패널타입 유기전계발광 소자용 어레이 기판의 제조방법.

청구항 13.
제 10 항에 있어서,

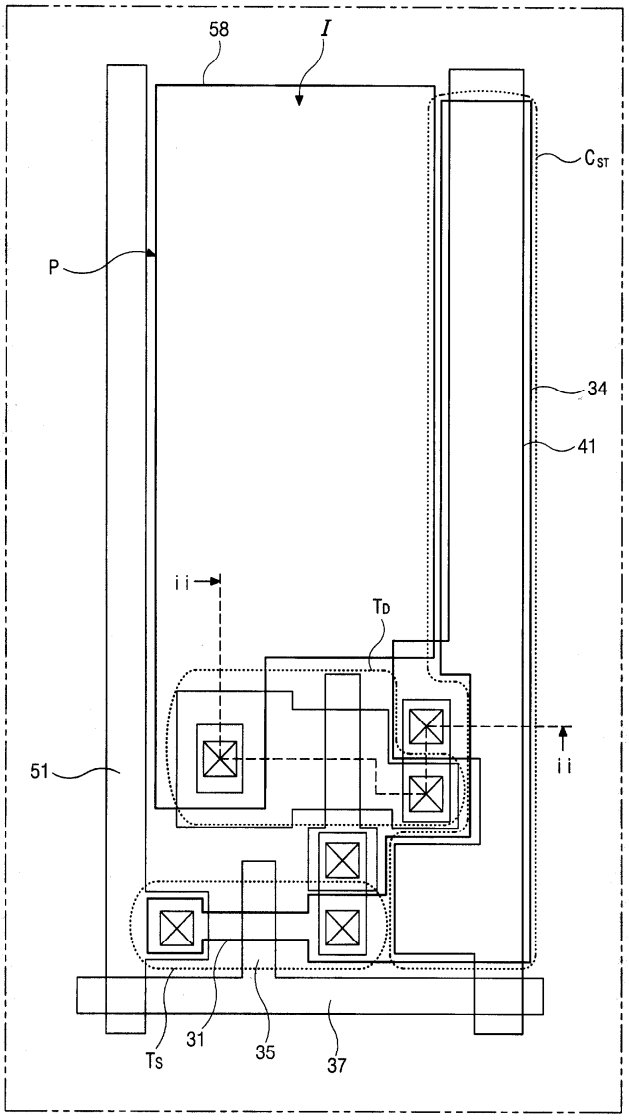
상기 게이트패드 콘택홀 및 전력공급패드 콘택홀은, 상기 절연층, 비정질 실리콘 물질층, 보호층이 공통적으로 가지는 콘택홀인 듀얼패널타입 유기전계발광 소자용 어레이 기판의 제조방법.

도면

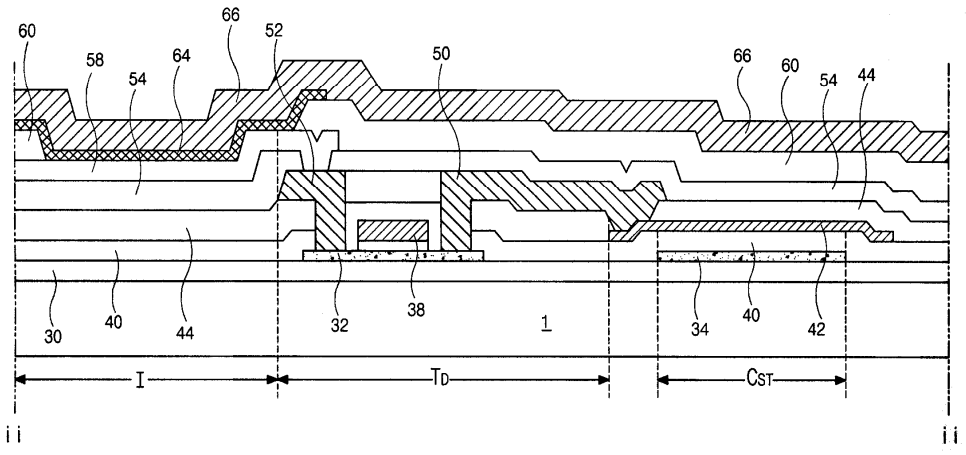
도면1



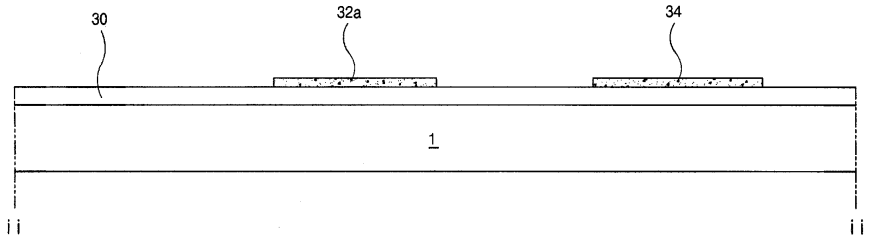
도면2



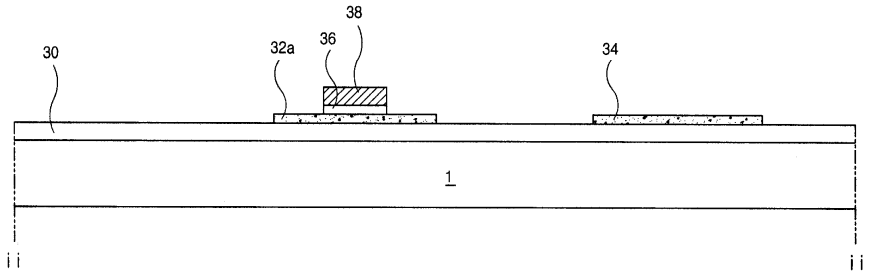
도면3



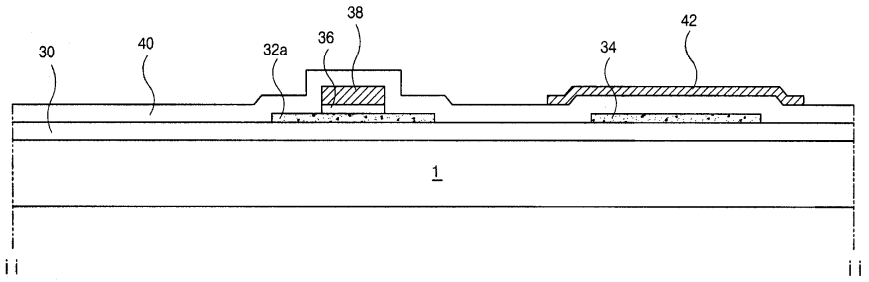
도면4a



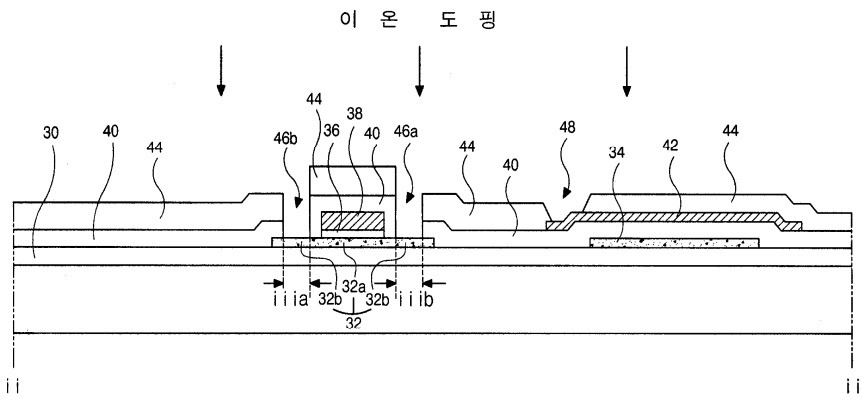
도면4b



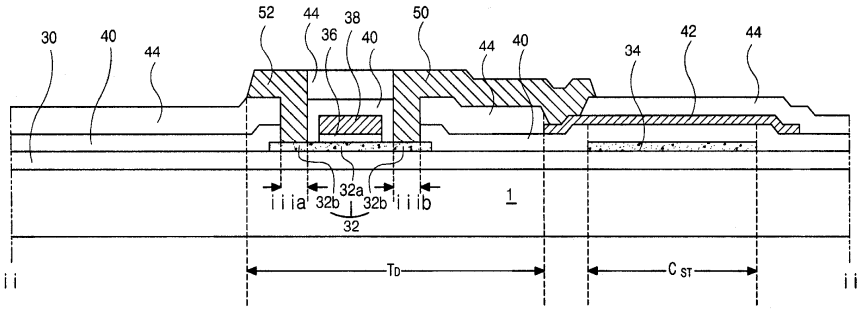
도면4c



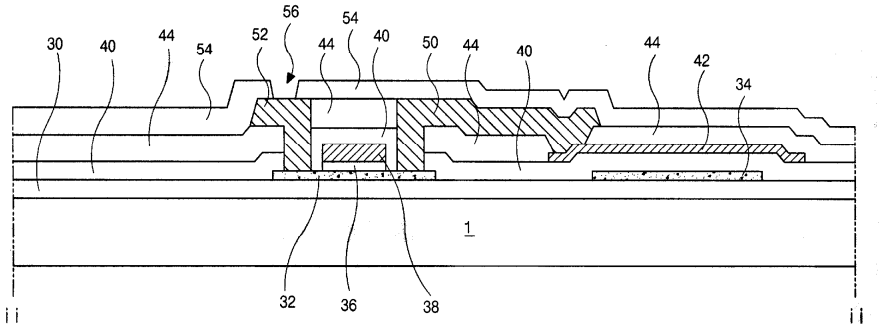
도면4d



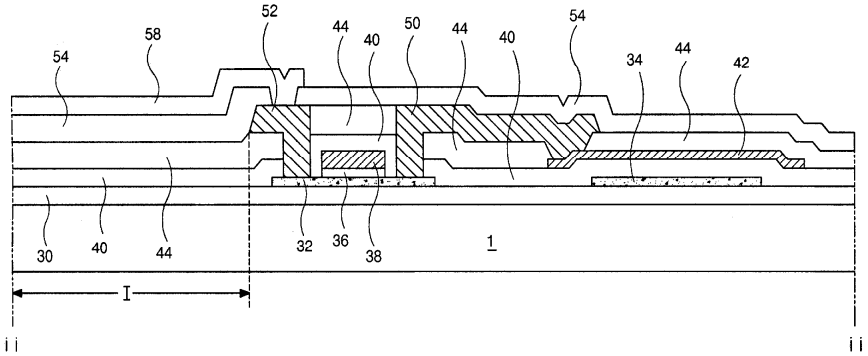
도면4e



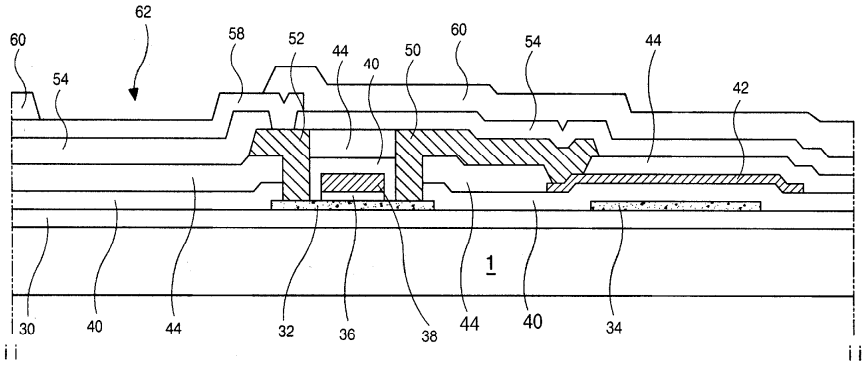
도면4f



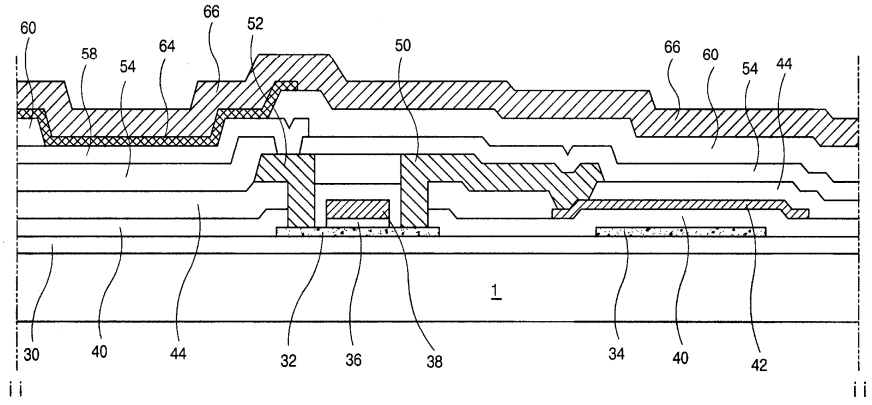
도면4g



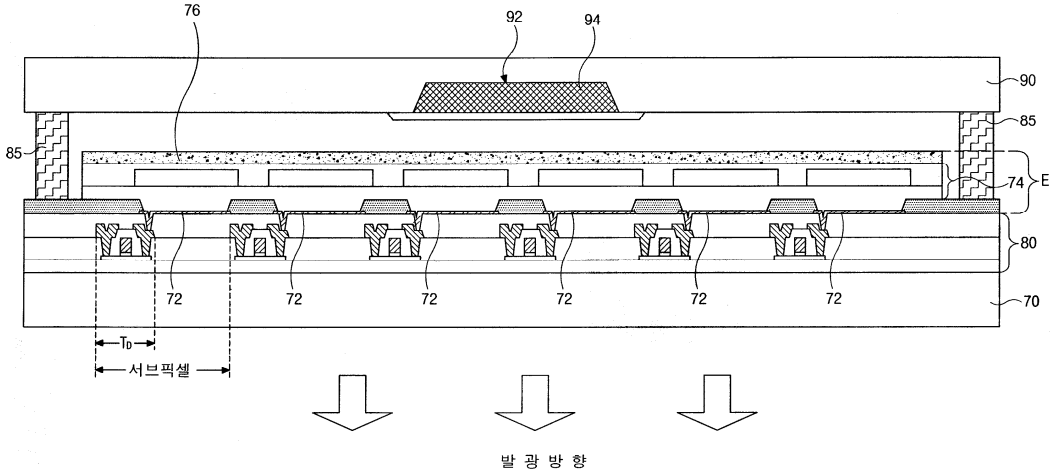
도면4h



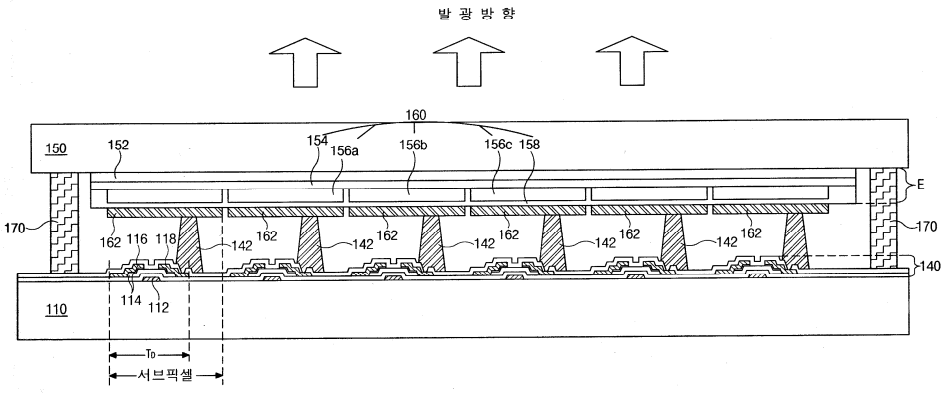
도면4i



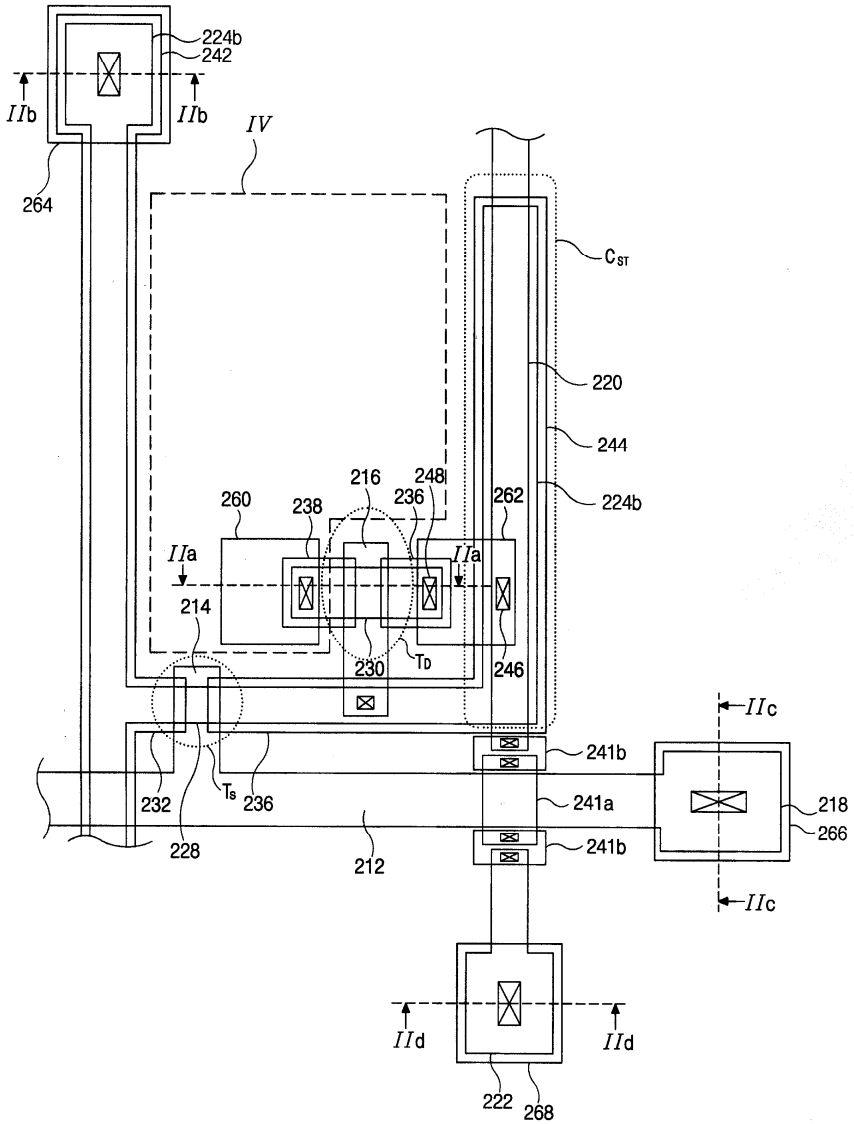
도면5



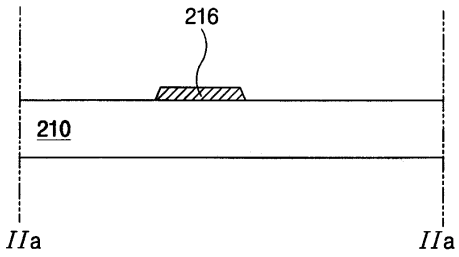
도면6


발 광 방 향
160
150
152
154
156a
156b
156c
158
E
170
162
116
118
142
140
110
114
112
To
서브픽셀

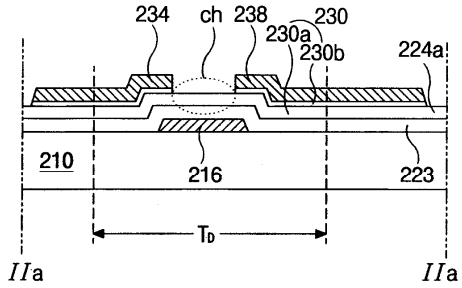
도면7


224b
242
IIb
IIb
IV
264
CST
220
244
224b
216
248
260
238
236
262
IIa
IIa
214
230
TD
246
IIc
241b
232
Ts
236
241a
218
266
228
212
241b
IIc
IId
IId
222
268

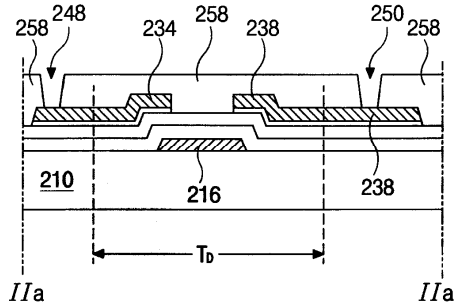
도면8a



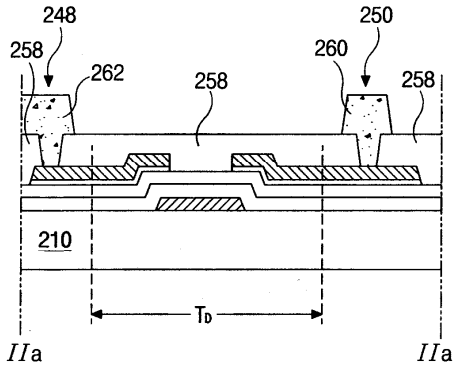
도면8b



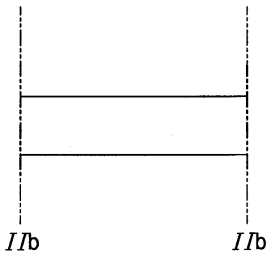
도면8c



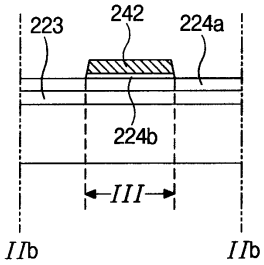
도면8d



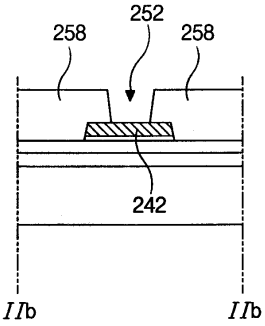
도면9a



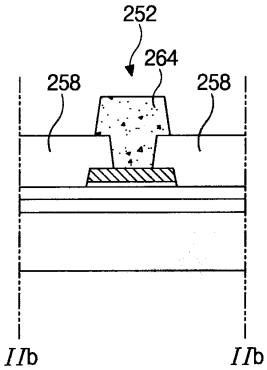
도면9b



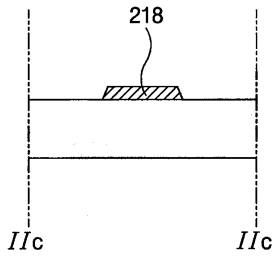
도면9c



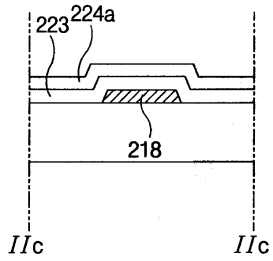
도면9d



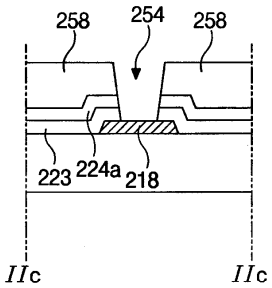
도면10a



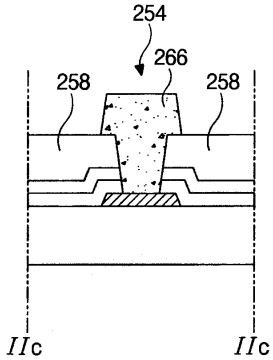
도면10b



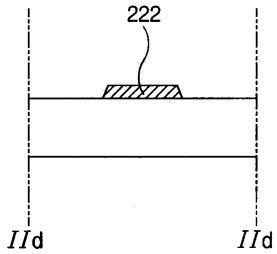
도면10c



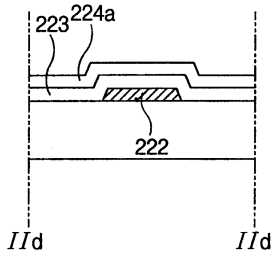
도면10d



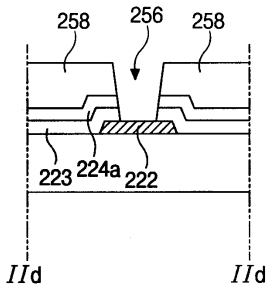
도면11a



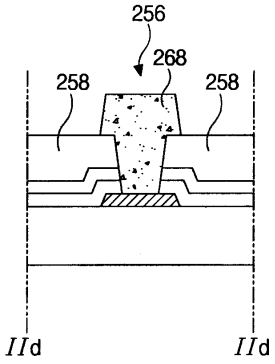
도면11b



도면11c



도면11d



专利名称(译)	双面板型有机电致发光器件及其制造方法		
公开(公告)号	KR1020040058448A	公开(公告)日	2004-07-05
申请号	KR1020020084579	申请日	2002-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JAEYONG 박재용 HWANG KWANGJO 황광조		
发明人	박재용 황광조		
IPC分类号	H01L51/50 H01L27/32 G09F9/30 H05B33/10		
CPC分类号	H01L27/3276 H01L27/3253		
其他公开文献	KR100497096B1		
外部链接	Espacenet		

摘要(译)

根据本发明的双面板型有机电致发光器件，以及它们的制造方法。首先，由于在不同基板上形成阵列器件和有机发光二极管器件，可以提高产量和生产管理效率。它可以增加产品周期，其次，对于使用非晶硅材料的反向交错TFT结构的草药，低温工艺是可能的，它是顶部发射型。尽管添加了单独的电接触图案，但是可以减少掩模工艺计数。它具有通过简化加工更有效地提高产量的优点。