

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl. 7
G09G 3/30

(11) 공개번호 특2003-0037393
(43) 공개일자 2003년05월14일

(21) 출원번호 10-2001-0068395
(22) 출원일자 2001년11월03일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 배성준
경기도성남시분당구금곡동청솔마을104동703호

(74) 대리인 김영호

심사청구 : 없음

(54) 일렉트로 루미네센스 패널

요약

본 발명은 스토리지 캐패시터 용량을 최대화할 수 있도록 한 일렉트로 루미네센스 패널에 관한 것이다.

본 발명에 따른 일렉트로 루미네센스 패널은 게이트 라인들과, 게이트 라인들과 교차되게 배열된 데이터 라인들과, 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 일렉트로 루미네센스 셀(OLED)들과, 일렉트로 루미네센스 셀들을 구동시키기 위한 일렉트로 루미네센스 셀 구동회로를 구비하고; 일렉트로 루미네센스 셀 구동회로는 일렉트로 루미네센스 셀(OLED)들에 전원을 공급하는 공급전원과, 공급전원과 일렉트로 루미네센스 셀 사이에 접속된 제1 피모스(PMOS) 박막트랜지스터와, 데이터 라인과 제1 피모스(PMOS) 박막트랜지스터의 게이트 전극 사이에 접속되어 일렉트로 루미네센스 셀의 스위치 역할을 하는 제2 피모스(PMOS) 박막트랜지스터와, 제1 피모스(PMOS) 박막트랜지스터의 게이트 전극과 전단 게이트라인 사이에 접속되어진 제1 캐패시터를 구비하는 것을 특징으로 한다.

본 발명에 의하면, 스토리지 캐패시터 형성시 전단 게이트라인을 이용함으로써 캐패시터의 정전용량을 최대화하여 킥백 현상으로 인한 플리커 현상을 방지할 수 있다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 종래의 일렉트로 루미네센스 패널을 개략적으로 도시하는 도면.

도 2는 도 1에 도시된 화소 소자를 상세히 나타내는 회로도.

도 3은 도 1에 도시된 화소 소자를 상세히 나타내는 다른 회로도.

도 4는 본 발명의 제1 실시예에 따른 일렉트로 루미네센스 패널의 화소 소자를 상세히 나타내는 회로도.

도 5는 도 4에 도시된 화소 소자에 공급될 게이트 신호들을 도시하는 신호 파형도.

도 6은 본 발명의 제2 실시예에 따른 일렉트로 루미네센스 패널의 화소 소자를 상세히 나타내는 회로도.

도 7은 도 6에 도시된 화소 소자에 공급될 게이트 신호들을 도시하는 신호 파형도.

도 8은 본 발명의 제3 실시예에 따른 일렉트로 루미네센스 패널의 화소 소자를 상세히 나타내는 회로도.

도 9는 도 8에 도시된 화소 소자에 공급될 게이트 신호들을 도시하는 신호 파형도.

도 10은 본 발명의 제4 실시예에 따른 일렉트로 루미네센스 패널의 화소 소자를 상세히 나타내는 회로도.

도 11은 도 10에 도시된 화소 소자에 공급될 게이트 신호들을 도시하는 신호 파형도.

〈도면의 주요 부분에 대한 부호의 설명〉

12 : 게이트 드라이버 14, 24 : 데이터 드라이버

16, 26, 36, 46, 56, 66 : 셀 구동회로 PE : 화소소자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일렉트로 루미네센스 패널에 관한 것으로, 특히 스토리지 캐패시터 용량을 최대화할 수 있도록 한 일렉트로 루미네센스 패널에 관한 것이다.

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다. 이러한 평판표시장치는 액정표시장치(Liquid Crystal Display : 이하 'LCD'라 함), 전계 방출 표시장치(Field Emission Display), 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 'PDP'라 함) 및 일렉트로 루미네센스(Electro Luminescence : 이하 'EL'라 함) 표시장치 등이 있다.

이와 같은 평판표시장치의 표시품질을 높이고 대화면화를 시도하는 연구들이 활발히 진행되고 있다. 이들 중 EL소자는 스스로 발광하는 자발광소자이다.

이러한, EL 표시소자는 전자 및 정공 등의 캐리어를 이용하여 형광물질을 여기 시킴으로써 화상 또는 영상을 표시하게 되며, 직류 저전압으로 구동이 가능하고 응답속도가 빠르다.

EL 패널은 도 1과 같이 유리 기판(10) 상에 서로 교차되게 배열되어진 게이트 라인들(GL1 내지 GLm) 및 데이터 라인(DL1 내지 DLn)과, 게이트 라인들(GL1 내지 GLm)과 데이터 라인(DL1 내지 DLn)의 교차부들 각각에 배열되어진 화소 소자들(PE)을 구비한다.

화소 소자들(PE) 각각은 게이트 라인들(GL1 내지 GLn)의 게이트 신호들이 인에이블될 때에 구동되어 데이터 라인(DL)상의 화소 신호의 크기에 상응하는 빛을 발생하게 된다.

이러한 EL 패널을 구동하기 위하여, 게이트 드라이버(12)가 게이트 라인들(GL1 내지 GLm)에 접속됨과 아울러 데이터 드라이버(14)가 데이터 라인들(DL1 내지 DLn)에 접속되게 된다. 게이트 드라이버(12)는 게이트 라인들(GL1 내지 GLm)을 순차적으로 구동시키게 된다. 데이터 드라이버(14)는 데이터 라인들(DL1 내지 DLn)을 통해 화소들(PE)에 화소신호를 공급하게 된다.

이와 같이, 게이트 드라이버(12) 및 데이터 드라이버(14)에 의해 구동되는 화소 소자들(PE)은 도 2에 도시된 바와 같이 기저전압라인(GND)에 접속되어진 EL 셀(OLED)과, 이 EL 셀(OLED)을 구동하기 위한 셀 구동회로(16)로 구성된다.

도 2는 도 1의 화소 소자(PE)를 도시한 회로도로서, 게이트 라인(GL)과 데이터 라인(DL)의 교차부에 적용된 구동회로로 2개의 박막트랜지스터(Thin Film Transistor; 이하 'TFT'라 함, T1, T2)로 구성된다.

도 2를 참조하면, 화소 소자(PE)는 기저전위원(GND)에 접속되어진 EL 셀(OLED)과, EL 셀(OLED) 및 데이터 라인(DL) 사이에 접속되어진 EL 셀(OLED) 구동회로(16)를 구비한다.

EL 셀(OLED) 구동회로(16)는 EL 셀(OLED)과 공급전압라인(VDD)에 사이에 접속되어 구동역할을 하는 제2 PMOS TFT(T2)와; 데이터 라인(DL)과 제2 PMOS TFT(T2)의 게이트 전극 사이에 접속되어 EL 셀(OLED)의 스위치 역할을 하는 제1 PMOS TFT(T1)와; 제1 PMOS TFT(T1)의 드레인 전극과 공급전압라인(VDD) 사이에 접속되어진 스토리지 캐패시터(Cst)를 구비한다.

이 경우 공급전압라인(VDD)을 대향전극으로 스토리지 캐패시터(Cst)를 형성시 게이트 전압이 Von에서 Voff로 바뀔 때 정전용량값($Q=CV$)이 작아져 데이터 전압이 정상 레벨보다 약간 떨어진 전압이 인가되는 킥백 현상이 크게 나타나는 문제점이 있게 된다.

도 3는 도 1의 화소 소자(PE)를 도시한 다른 회로도로서, 게이트 라인(GL)과 데이터 라인(DL)의 교차부에 적용된 구동회로로 2개의 박막트랜지스터(Thin Film Transistor; 이하 'TFT'라 함, T1, T2)로 구성된다.

도 3을 참조하면, 화소 소자(PE)는 기저전위원(GND)에 접속되어진 EL 셀(OLED)과, EL 셀(OLED) 및 데이터 라인(DL) 사이에 접속되어진 EL 셀(OLED) 구동 회로(26)를 구비한다.

EL 셀(OLED) 구동회로(26)는 EL 셀(OLED)과 공급전압라인(VDD)에 사이에 접속되어 구동역할을 하는 제2 PMOS TFT(T2)와; 데이터 라인(DL)과 제2 PMOS TFT(T2)의 게이트 전극 사이에 접속되어 EL 셀(OLED)의 스위치 역할을 하는 제1 PMOS TFT(T1)와; 제1 PMOS TFT(T1)의 드레인 전극과 기저전압라인(GND) 또는 공통전압라인 사이에 접속되어진 스토리지 캐패시터(Cst)를 구비한다.

이 경우 스토리지 캐패시터(Cst)에 킥백 효과를 보상하기 위한 공통전압라인을 구비할 경우 별도의 라인을 필요로 하게 되므로, 이에 따른 개구율이 감소됨과 아울러 전압라인을 형성하기 위한 공정 안정성이 떨어지는 문제점이 있게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 일렉트로 루미네센스 패널의 스토리지 캐패시터 형성시 전단 게이트라인을 이용하여 스토리지 캐패시터 용량을 최대화함으로써 킥백 효과를 줄일 수 있도록 한 일렉트로 루미네센스패널을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 일렉트로 루미네센스패널은 게이트 라인들과, 상기 게이트 라인들과 교차되게 배열된 데이터 라인들과, 상기 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 일렉트로 루미네센스 셀(OLED)들과, 상기 일렉트로 루미네센스 셀들을 구동시키기 위한 일렉트로 루미네센스 셀 구동회로를 구비하고; 상기 일렉트로 루미네센스 셀 구동회로는 일렉트로 루미네센스 셀(OLED)들에 전원을 공급하는 공급전원과, 상기 공급전원과 일렉트로 루미네센스 셀 사이에 접속된 제1 피모스(PMOS) 박막트랜지스터와, 상기 데이터 라인과 제1 피모스(PMOS) 박막트랜지스터의 게이트 전극 사이에 접속되어 상기 일렉트로 루미네센스 셀의 스위치 역할을 하는 제2 피모스(PMOS) 박막트랜지스터와, 상기 제1 피모스(PMOS) 박막트랜지스터의 게이트 전극과 전단 게이트라인 사이에 접속되어진 제1 캐패시터를 구비하는 것을 특징으로 한다.

본 발명에서 제1 피모스(PMOS) 박막트랜지스터의 게이트 전극과 공급전원 사이에 접속되어진 제2 캐패시터를 추가로 구비하는 것을 특징으로 한다.

본 발명에 따른 다른 일렉트로 루미네센스 패널은 게이트 라인들과, 상기 게이트 라인들과 교차되게 배열된 데이터 라인들과, 상기 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 일렉트로 루미네센스 셀(OLED)들과, 상기 일렉트로 루미네센스 셀들을 구동시키기 위한 일렉트로 루미네센스 셀 구동회로를 구비하고; 상기 일렉트로 루미네센스 셀 구동회로는 일렉트로 루미네센스 셀(OLED)들에 전원을 공급하는 공급전원과, 상기 공급전원과 일렉트로 루미네센스 셀 사이에 접속된 제1 앤모스(NMOS) 박막트랜지스터와, 상기 데이터 라인과 제1 앤모스(NMOS) 박막트랜지스터의 게이트 전극 사이에 접속되어 상기 일렉트로 루미네센스 셀의 스위치 역할을 하는 제2 앤모스(NMOS) 박막트랜지스터와, 상기 제1 앤모스(NMOS) 박막트랜지스터의 게이트 전극과 전단 게이트라인 사이에 접속되어진 제1 캐

패시터를 구비하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징은 첨부도면을 참조한 실시 예에 대한 설명으로 나타나게 될 것이다.

이하, 도 4 및 도 11을 참조하여 본 발명의 실시예에 대하여 설명하기로 한다.

EL 패널은 도 1에서와 같이 유리 기판(10) 상에 서로 교차되게 배열되어진 게이트 라인들(GL1 내지 GLm) 및 데이터 라인(DL1 내지 DLn)과, 게이트 라인들(GL1 내지 GLm)과 데이터 라인(DL1 내지 DLn)의 교차부들 각각에 배열되어진 화소 소자들(PE)을 구비한다.

화소 소자들(PE) 각각은 게이트 라인들(GL1 내지 GLn)의 게이트 신호들이 인에이블될 때에 구동되어 데이터 라인(DL)상의 화소 신호의 크기에 상응하는 빛을 발생하게 된다.

이러한 EL 패널을 구동하기 위하여, 게이트 드라이버(12)가 게이트 라인들(GL1 내지 GLm)에 접속됨과 아울러 데이터 드라이버(14)가 데이터 라인들(DL1 내지 DLn)에 접속되게 된다. 게이트 드라이버(12)는 게이트 라인들(GL1 내지 GLm)을 순차적으로 구동시키게 된다. 데이터 드라이버(14)는 데이터 라인들(DL1 내지 DLn)을 통해 화소들(PE)에 화소신호를 공급하게 된다.

도 4는 본 발명의 제1 실시예에 따른 일렉트로 루미네센스 패널을 나타내는 도면으로서, 일렉트로 루미네센스 패널의 화소 소자들(PE)은 기저전압라인(GND)에 접속되어진 EL 셀(OLED)과, 이 EL 셀(OLED)을 구동하기 위한 셀 구동회로(36)로 구성된다.

도 4를 참조하면, EL 셀 구동회로(36)는 EL 셀(OLED)과 공급전압라인(VDD)에 사이에 접속되어 구동역할을 하는 제2 PMOS TFT(T2)와; 데이터 라인(DL)과 제2 PMOS TFT(T2)의 게이트 전극 사이에 접속되어 EL 셀(OLED)의 스위치 역할을 하는 제1 PMOS TFT(T1)와; 제1 PMOS TFT(T1)의 드레인 전극과 전단 게이트라인(GLn-1) 사이에 접속되어진 스토리지 캐패시터(Cst)를 구비한다.

이를 도 5의 구동파형도를 이용하여 동작을 살펴보면, 게이트 라인(GL)에 로우(LOW) 입력신호 즉 게이트 드라이버(12)로부터의 스캔신호가 입력되면 제1 PMOS TFT(T1)가 턴-온 된다.

제1 PMOS TFT(T1)가 턴온되면 데이터 라인(DL)으로부터 스캔신호와 동기되게 입력되는 일정한 크기를 가진 비디오 신호가 제1 PMOS TFT(T1)를 통하여 흐르게 되고, 이 비디오 신호는 스토리지 캐패시터(Cst)에 충전된다. 스토리지 캐패시터(Cst)는 제1 PMOS TFT(T1)의 드레인 전극과 전단 게이트 라인(GLn-1)에 접속되어 게이트 라인(GL)의 로우 입력시간동안 데이터 라인(DL)으로부터 공급되는 비디오 신호를 충전한다.

스토리지 캐패시터(Cst)는 데이터라인(DL)으로부터 공급되어 충전된 비디오신호를 1 프레임 동안 홀딩(Holding) 시킨다. 이러한 홀딩시간으로 인해 데이터라인(DL)에서 공급되는 비디오신호가 EL 셀(OLED)에 공급되는 것을 스토리지 캐패시터(Cst)에 의해 유지하게 된다. 또한 이러한 구조에서 RGB 등의 각 화상신호가 입력되는 만큼 각 화상신호를 입력하는 데이터 라인(DL)의 수가 구비되어야 한다. 이 경우 전단 게이트 라인을 통하여 스토리지 캐패시터(Cst)에는 높은 게이트 전압 이 인가됨으로써 정전용량($Q=CV$) 값을 최대화할 수 있게 된다.

이후 스토리지 캐패시터(Cst)는 데이터 라인(DL)으로부터 제1 PMOS TFT(T1)를 통해 충전되어진 데이터전압을 제2 PMOS TFT(T2)의 게이트전극에 공급한다. 제2 PMOS TFT(T2)는 스토리지 캐패시터(Cst)에 충전되어진 데이터 전압에 의해 공급전압라인(VDD)이 EL 셀(OLED)의 애노드에 접속되게 한다. 이 결과, EL 셀(OLED)에는 공급전압(VDD)과 기저전압(GND)과의 전압차에 의해 구동되어 그 전압차에 상응하는 빛을 발생하게 된다.

도 6은 본 발명의 제2 실시예에 따른 일렉트로 루미네센스 패널을 나타내는 도면으로서, 일렉트로 루미네센스 패널의 화소 소자들(PE)은 기저전압라인(GND)에 접속되어진 EL 셀(OLED)과, 이 EL 셀(OLED)을 구동하기 위한 셀 구동회로(46)로 구성된다.

도 6을 참조하면, EL 셀 구동회로(46)는 EL 셀(OLED)과 공급전압라인(VDD)에 사이에 접속되어 구동역할을 하는 제2 NMOS TFT(T2)와; 데이터 라인(DL)과 제2 NMOS TFT(T2)의 게이트 전극 사이에 접속되어 EL 셀(OLED)의 스위치 역할을 하는 제1 NMOS TFT(T1)와; 제1 NMOS TFT(T1)의 드레인 전극과 전단 게이트라인(GLn-1) 사이에 접속되어진 스토리지 캐패시터(Cst)를 구비한다.

이를 도 7의 구동파형도를 이용하여 동작을 살펴보면, 게이트 라인(GL)에 하이(HIGH) 입력신호 즉 게이트 드라이버(12)로부터의 스캔신호가 입력되면 제1 NMOS TFT(T1)가 턴-온 된다.

제1 NMOS TFT(T1)가 턴온되면 데이터 라인(DL)으로부터 스캔신호와 동기되게 입력되는 일정한 크기를 가진 비디오 신호가 제1 NMOS TFT(T1)를 통하여 흐르게 되고, 이 비디오 신호는 스토리지 캐패시터(Cst)에 충전된다. 스토리지 캐패시터(Cst)는 제1 NMOS TFT(T1)의 드레인 전극과 전단 게이트 라인(GLn-1)에 접속되어 게이트 라인(GL)의 하이 입력시간동안 데이터 라인(DL)으로부터 공급되는 비디오 신호를 충전한다.

스토리지 캐패시터(Cst)는 데이터라인(DL)으로부터 공급되어 충전된 비디오신호를 1 프레임 동안 홀딩(Holding) 시킨다. 이러한 홀딩시간으로 인해 데이터라인(DL)에서 공급되는 비디오신호가 EL 셀(OLED)에 공급되는 것을 스토리지 캐패시터(Cst)에 의해 유지하게 된다. 또한 이러한 구조에서 RGB 등의 각 화상신호가 입력되는 만큼 각 화상신호를 입력하는 데이터 라인(DL)의 수가 구비되어야 한다. 이 경우 전단 게이트 라인을 통하여 스토리지 캐패시터(Cst)에는 높은 게이트 전압이 인가됨으로써 정전용량($Q=CV$) 값을 최대화할 수 있게 된다.

이후 스토리지 캐패시터(Cst)는 데이터 라인(DL)으로부터 제1 NMOS TFT(T1)를 통해 충전되어진 데이터전압을 제2 NMOS TFT(T2)의 게이트전극에 공급한다. 제2 NMOS TFT(T2)는 스토리지 캐패시터(Cst)에 충전되어진 데이터전압에 의해 공급전압라인(VDD)이 EL 셀(OLED)의 애노드에 접속되게 한다. 이 결과, EL 셀(OLED)에는 공급전압(VDD)과 기저전압(GND)과의 전압차에 의해 구동되어 그 전압차에 상응하는 빛을 발생하게 된다.

도 8은 본 발명의 제3 실시예에 따른 일렉트로 루미네센스 패널을 나타내는 도면으로서, 일렉트로 루미네센스 패널의 화소 소자들(PE)은 기저전압라인(GND)에 접속되어진 EL 셀(OLED)과, 이 EL 셀(OLED)을 구동하기 위한 셀 구동회로(56)로 구성된다.

도 8을 참조하면, EL 셀 구동회로(56)는 EL 셀(OLED)과 공급전압라인(VDD)에 사이에 접속되어 구동역할을 하는 제2 PMOS TFT(T2)와; 데이터 라인(DL)과 제2 PMOS TFT(T2)의 게이트 전극 사이에 접속되어 EL 셀(OLED)의 스위치 역할을 하는 제1 PMOS TFT(T1)와; 제1 PMOS TFT(T1)의 드레인 전극과 전단 게이트라인(GLn-1) 사이에 접속되어진 제1 스토리지 캐패시터(Cst1)와; 제1 PMOS TFT(T1)의 드레인 전극과 공급전압라인(VDD) 사이에 접속되어진 제2 스토리지 캐패시터(Cst2)를 구비한다.

이를 도 9의 구동파형도를 이용하여 동작을 살펴보면, 게이트 라인(GL)에 로우(LOW) 입력신호 즉 게이트 드라이버(12)로부터의 스캔신호가 입력되면 제1 PMOS TFT(T1)가 턴-온 된다.

제1 PMOS TFT(T1)가 턴온되면 데이터 라인(DL)으로부터 스캔신호와 동기되게 입력되는 일정한 크기를 가진 비디오 신호가 제1 PMOS TFT(T1)를 통하여 흐르게 되고, 이 비디오 신호는 제1 및 제2 스토리지 캐패시터(Cst1, Cst2)에 충전된다. 제1 및 제2 스토리지 캐패시터(Cst1, Cst2)는 제1 PMOS TFT(T1)의 드레인 전극과 전단 게이트 라인(GLn-1)에 접속되어 게이트 라인(GL)의 로우 입력시간동안 데이터 라인(DL)으로부터 공급되는 비디오 신호를 충전한다.

제1 및 제2 스토리지 캐패시터(Cst1, Cst2)는 데이터라인(DL)으로부터 공급되어 충전된 비디오신호를 1 프레임 동안 홀딩(Holding) 시킨다. 이러한 홀딩시간으로 인해 데이터라인(DL)에서 공급되는 비디오신호가 EL 셀(OLED)에 공급되는 것을 제1 및 제2 스토리지 캐패시터(Cst1, Cst2)에 의해 유지하게 된다. 또한 이러한 구조에서 RGB 등의 각 화상신호가 입력되는 만큼 각 화상신호를 입력하는 데이터 라인(DL)의 수가 구비되어야 한다. 이 경우 전단 게이트 라인을 통하여 스토리지 캐패시터(Cst)에는 높은 게이트 전압이 인가됨으로써 정전용량($Q=CV$) 값을 최대화할 수 있게 된다.

이후 제1 및 제2 스토리지 캐패시터(Cst1, Cst2)는 데이터 라인(DL)으로부터 제1 PMOS TFT(T1)를 통해 충전되어진 데이터전압을 제2 PMOS TFT(T2)의 게이트전극에 공급한다. 제2 PMOS TFT(T2)는 제1 및 제2 스토리지 캐패시터(Cst1, Cst2)에 충전되어진 데이터전압에 의해 공급전압라인(VDD)이 EL 셀(OLED)의 애노드에 접속되게 한다. 이 결과, EL 셀(OLED)에는 공급전압(VDD)과 기저전압(GND)과의 전압차에 의해 구동되어 그 전압차에 상응하는 빛을 발생하게 된다.

도 10은 본 발명의 제4 실시예에 따른 일렉트로 루미네센스 패널을 나타내는 도면으로서, 일렉트로 루미네센스 패널의 화소 소자들(PE)은 기저전압라인(GND)에 접속되어진 EL 셀(OLED)과, 이 EL 셀(OLED)을 구동하기 위한 셀 구동회로(66)로 구성된다.

도 10을 참조하면, EL 셀 구동회로(66)는 EL 셀(OLED)과 공급전압라인(VDD)에 사이에 접속되어 구동역할을 하는 제2 NMOS TFT(T2)와; 데이터 라인(DL)과 제2 NMOS TFT(T2)의 게이트 전극 사이에 접속되어 EL 셀(OLED)의 스위치 역할을 하는 제1 NMOS TFT(T1)와; 제1 NMOS TFT(T1)의 드레인 전극과 전단 게이트라인(GLn-1) 사이에 접속되어진 제1 스토리지 캐패시터(Cst1)와; 제1 NMOS TFT(T1)의 드레인 전극과 공급전압라인(VDD) 사이에 접속되어진 제2 스토리지 캐패시터(Cst2)를 구비한다.

이를 도 11의 구동파형도를 이용하여 동작을 살펴보면, 게이트 라인(GL)에 하이(HIGH) 입력신호 즉 게이트 드라이버(12)로부터의 스캔신호가 입력되면 제1 NMOS TFT(T1)가 턴-온 된다.

제1 NMOS TFT(T1)가 턴온되면 데이터 라인(DL)으로부터 스캔신호와 동기되게 입력되는 일정한 크기를 가진 비디오 신호가 제1 NMOS TFT(T1)를 통하여 흐르게 되고, 이 비디오 신호는 제1 및 제2 스토리지 캐패시터(Cst1, Cst2)에 충전된다. 제1 및 제2 스토리지 캐패시터(Cst1, Cst2)는 제1 NMOS TFT(T1)의 드레인 전극과 전단 게이트 라인(GLn-1)에 접속되어 게이트 라인(GL)의 로우 입력시간동안 데이터 라인(DL)으로부터 공급되는 비디오 신호를 충전한다.

제1 및 제2 스토리지 캐패시터(Cst1, Cst2)는 데이터라인(DL)으로부터 공급되어 충전된 비디오신호를 1 프레임 동안 홀딩(Holding) 시킨다. 이러한 홀딩시간으로 인해 데이터라인(DL)에서 공급되는 비디오신호가 EL 셀(OLED)에 공급되는 것을 제1 및 제2 스토리지 캐패시터(Cst1, Cst2)에 의해 유지하게 된다. 또한 이러한 구조에서 RGB 등의 각 화상신호가 입력되는 만큼 각 화상신호를 입력하는 데이터 라인(DL)의 수가 구비되어야 한다. 이 경우 전단 게이트 라인을 통하여 스토리지 캐패시터(Cst)에는 높은 게이트 전압이 인가됨으로써 정전용량($Q=CV$) 값을 최대화할 수 있게 된다.

이후 제1 및 제2 스토리지 캐패시터(Cst1, Cst2)는 데이터 라인(DL)으로부터 제1 NMOS TFT(T1)를 통해 충전되어진 데이터전압을 제2 NMOS TFT(T2)의 게이트전극에 공급한다. 제2 NMOS TFT(T2)는 제1 및 제2 스토리지 캐패시터(Cst1, Cst2)에 충전되어진 데이터전압에 의해 공급전압라인(VDD)이 EL 셀(OLED)의 애노드에 접속되게 한다. 이 결과, EL 셀(OLED)에는 공급전압(VDD)과 기저전압(GND)과의 전압차에 의해 구동되어 그 전압차에 상응하는 빛을 발생하게 된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 일렉트로 루미네센스패널은 스토리지 캐패시터 형성시 전단 게이트라인을 이용함으로써 캐패시터의 정전용량을 최대화하여 킥백 현상으로 인한 플리커 현상을 방지할 수 있다. 또한 정전용량 증대를 위한 추가 배선이 필요없게 되므로, 공정의 안정성 및 개구율을 향상시킬 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

게이트 라인들과,

상기 게이트 라인들과 교차되게 배열된 데이터 라인들과,

상기 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 일렉트로 루미네센스 셀(OLED)들과,

상기 일렉트로 루미네센스 셀들을 구동시키기 위한 일렉트로 루미네센스 셀 구동회로를 구비하고;

상기 일렉트로 루미네센스 셀 구동회로는 일렉트로 루미네센스 셀(OLED)들에 전원을 공급하는 공급전원과,

상기 공급전원과 일렉트로 루미네센스 셀 사이에 접속된 제1 피모스(PMOS) 박막트랜지스터와,

상기 데이터 라인과 제1 피모스(PMOS) 박막트랜지스터의 게이트 전극 사이에 접속되어 상기 일렉트로 루미네센스 셀의 스위치 역할을 하는 제2 피모스(PMOS) 박막트랜지스터와,

상기 제1 피모스(PMOS) 박막트랜지스터의 게이트 전극과 전단 게이트라인 사이에 접속되어진 제1 캐패시터를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 2.

제 1 항에 있어서,

상기 제1 피모스(PMOS) 박막트랜지스터의 게이트 전극과 공급전원 사이에 접속되어진 제2 캐패시터를 추가로 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 3.

게이트 라인들과,

상기 게이트 라인들과 교차되게 배열된 데이터 라인들과,

상기 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 일렉트로 루미네센스 셀(OLED)들과,

상기 일렉트로 루미네센스 셀들을 구동시키기 위한 일렉트로 루미네센스 셀 구동회로를 구비하고;

상기 일렉트로 루미네센스 셀 구동회로는 일렉트로 루미네센스 셀(OLED)들에 전원을 공급하는 공급전원과,

상기 공급전원과 일렉트로 루미네센스 셀 사이에 접속된 제1 앤모스(NMOS) 박막트랜지스터와,

상기 데이터 라인과 제1 앤모스(NMOS) 박막트랜지스터의 게이트 전극 사이에 접속되어 상기 일렉트로 루미네센스 셀의 스위치 역할을 하는 제2 앤모스(NMOS) 박막트랜지스터와,

상기 제1 앤모스(NMOS) 박막트랜지스터의 게이트 전극과 전단 게이트라인 사이에 접속되어진 제1 캐패시터를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

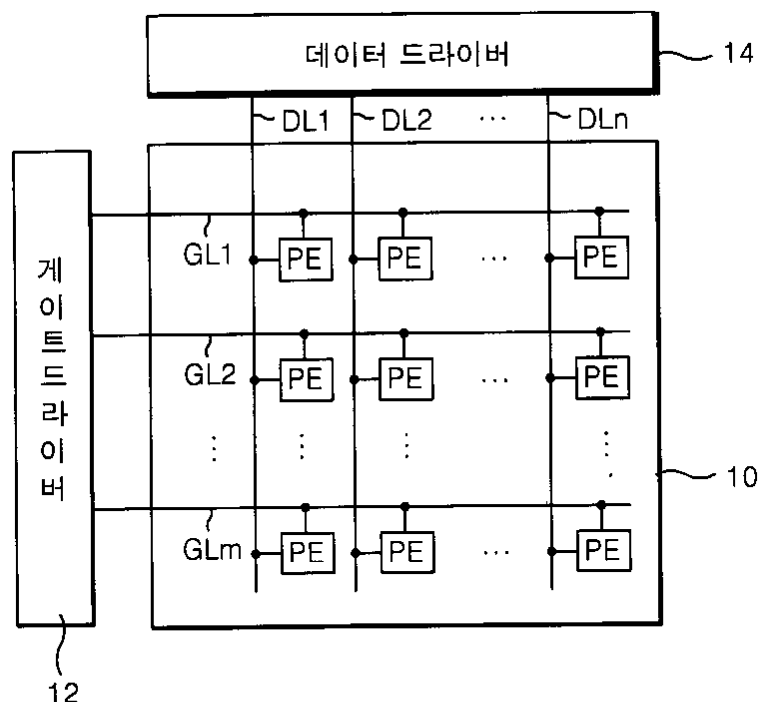
청구항 4.

제 3 항에 있어서,

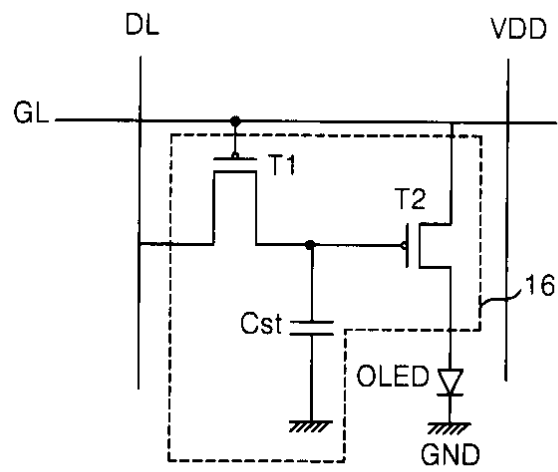
상기 제1 피모스(PMOS) 박막트랜지스터의 게이트 전극과 공급전원 사이에 접속되어진 제2 캐패시터를 추가로 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

도면

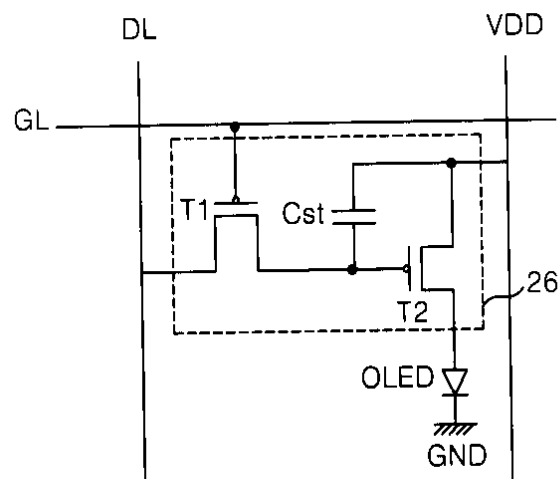
도면1



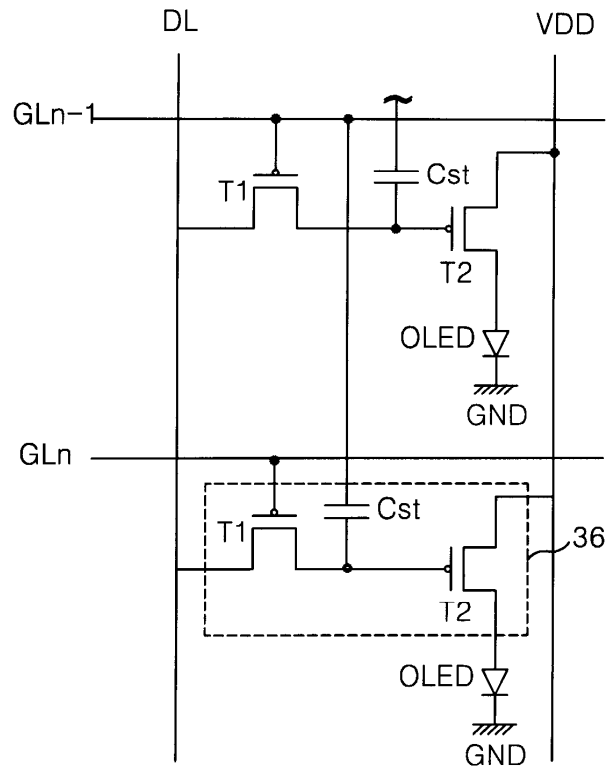
도면2



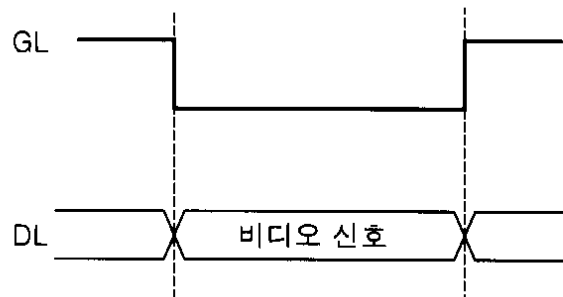
도면3



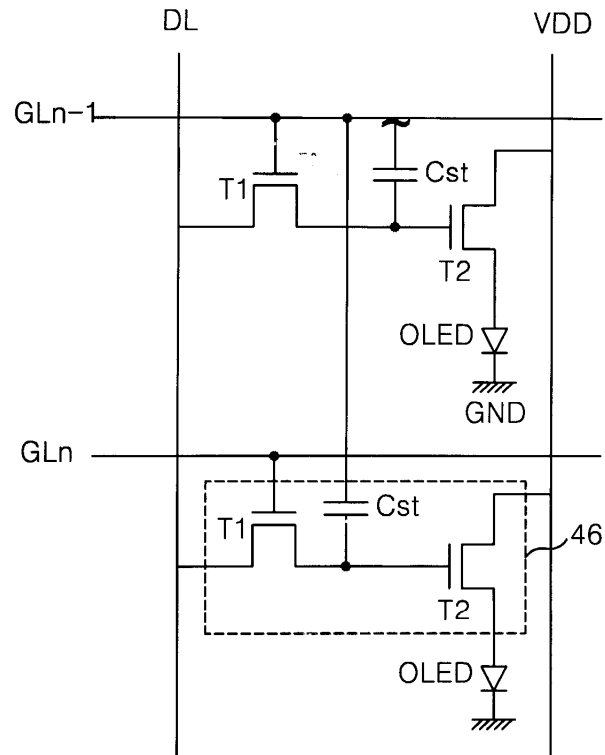
도면4



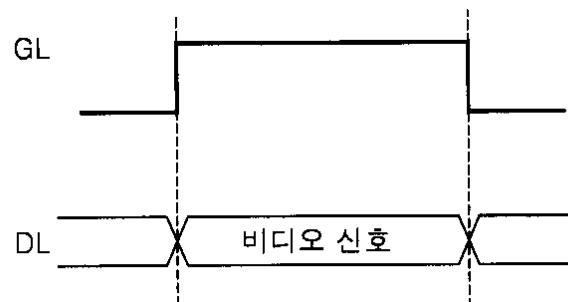
도면5



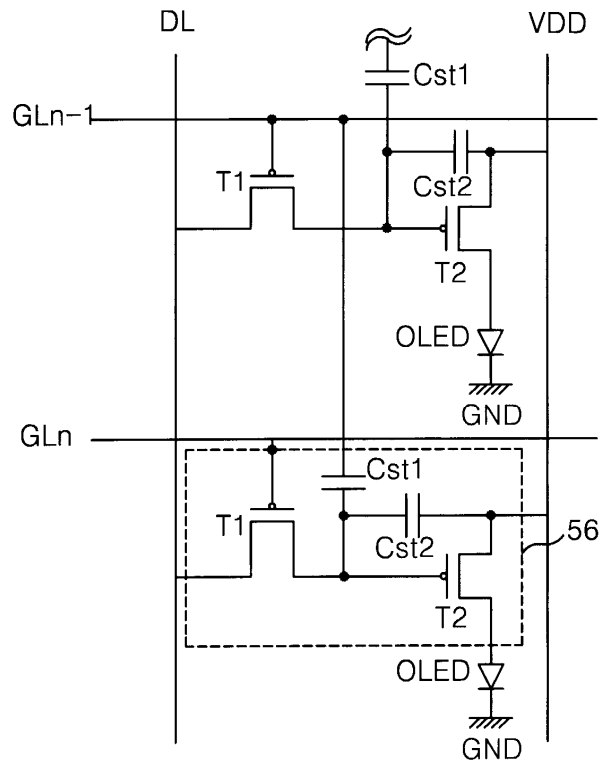
도면6



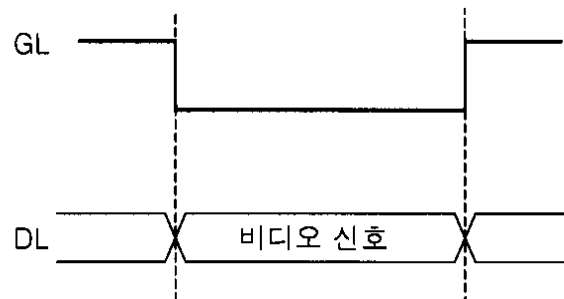
도면7



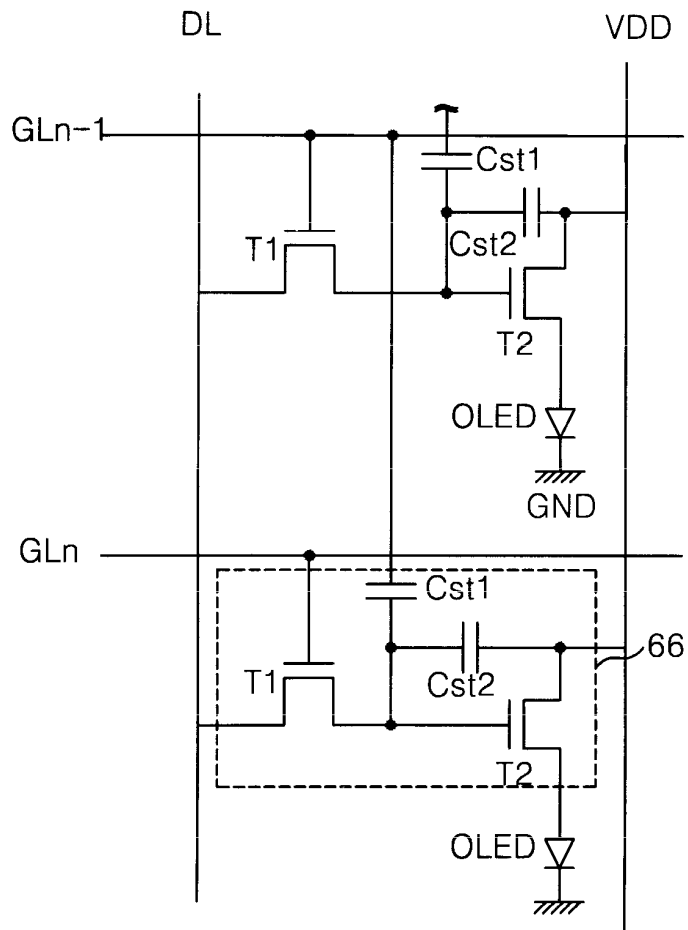
도면8



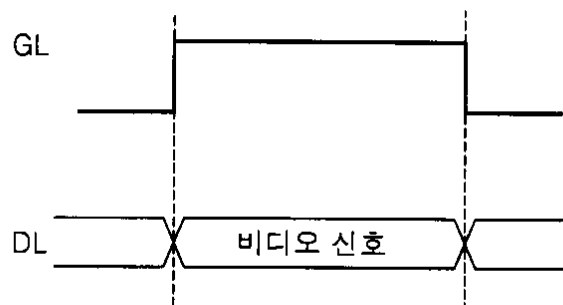
도면9



도면10



도면11



专利名称(译)	电致发光板		
公开(公告)号	KR1020030037393A	公开(公告)日	2003-05-14
申请号	KR1020010068395	申请日	2001-11-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	BAE SUNGJOON 배성준		
发明人	배성준		
IPC分类号	G09G3/30 G09G3/32 H01L27/32		
CPC分类号	G09G2300/0842 H01L27/3244 G09G3/32 G09G2320/0219		
其他公开文献	KR100826009B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种电致发光显示面板，通过使用前一级栅极线来最大化存储电容器的容量，从而减少反冲效应。组成：多条栅极线（GLn-1，GLn）和多条数据线（DL）相互交叉。在栅极线（GLn-1，GLn）和数据线（DL）之间的交叉点处形成多个电致发光单元（OLED）。电致发光单元驱动电路（36）用于驱动电致发光单元（OLED）。电致发光单元驱动电路形成有电源单元，第一PMOS TFT（T1），第二PMOS TFT（T2）和第一电容器（Cst）。电源单元向电致发光单元（OLED）供电。第一PMOS TFT（T1）连接在电源单元和电致发光单元（OLED）之间。第二PMOS TFT（T2）连接在数据线（DL）和第一PMOS TFT（T1）的栅极之间。第一电容器（Cst）连接在第一PMOS TFT（T1）的栅极和前一级的栅极线之间。

