



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년06월21일
(11) 등록번호 10-1749754
(24) 등록일자 2017년06월15일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) G09G 3/3208 (2016.01)
(21) 출원번호 10-2010-0104605
(22) 출원일자 2010년10월26일
심사청구일자 2015년10월15일
(65) 공개번호 10-2012-0043346
(43) 공개일자 2012년05월04일
(56) 선행기술조사문헌
KR1020090123562 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
유준석
경기도 고양시 일산서구 고양대로255번길 45, 대
화마을9단지아파트 903동 1101호 (대화동)
박수정
서울특별시 마포구 상암산로1길 57, 월드컵파크6
단지 609동 1501호 (상암동)
(74) 대리인
특허법인로알

전체 청구항 수 : 총 10 항

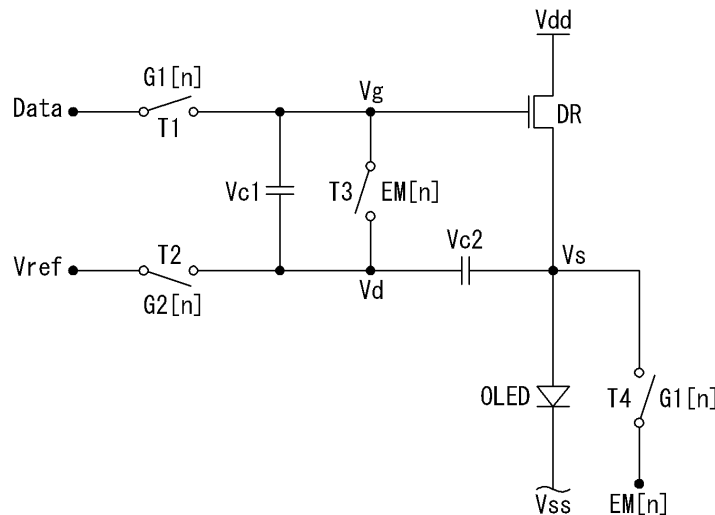
심사관 : 김호진

(54) 발명의 명칭 유기전계발광표시장치와 이의 구동방법

(57) 요약

본 발명의 실시예는, 제1스캔라인을 통해 공급된 제1스캔신호에 응답하여 데이터라인을 통해 공급된 데이터신호를 제1노드에 전달하는 제1트랜지스터; 제2스캔라인을 통해 공급된 제2스캔신호에 응답하여 레퍼런스라인을 통해 공급된 레퍼런스전압을 제2노드에 전달하는 제2트랜지스터; 레퍼런스전압과 데이터신호 간의 차전압을 저장하는 제1커패시터; 제3스캔라인을 통해 공급된 제3스캔신호에 응답하여 제1커패시터의 양단인 제1노드와 제2노드를 연결하는 제3트랜지스터; 제1노드에 공급된 데이터전압에 의해 구동전류를 생성하는 구동 트랜지스터; 제1스캔신호에 응답하여 구동 트랜지스터의 제2전극에 연결된 제3노드에 저전압을 공급하는 제4트랜지스터; 제2노드와 제3노드로부터 공급된 전압을 기반으로 데이터전압을 저장하는 제2커패시터; 및 구동 트랜지스터로부터 공급된 구동전류에 대응하여 빛을 발광하는 유기 발광다이오드를 포함하는 유기전계발광표시장치를 제공한다.

대표도 - 도2



명세서

청구범위

청구항 1

제1스캔라인을 통해 공급된 제1스캔신호에 응답하여 데이터라인을 통해 공급된 데이터신호를 제1노드에 전달하는 제1트랜지스터;

제2스캔라인을 통해 공급된 제2스캔신호에 응답하여 레퍼런스라인을 통해 공급된 레퍼런스전압을 제2노드에 전달하는 제2트랜지스터;

상기 레퍼런스전압과 상기 데이터신호 간의 차전압을 저장하는 제1커패시터;

제3스캔라인을 통해 공급된 제3스캔신호에 응답하여 상기 제1커패시터의 양단인 상기 제1노드와 상기 제2노드를 연결하는 제3트랜지스터;

상기 제1노드에 공급된 데이터전압에 의해 구동전류를 생성하는 구동 트랜지스터;

상기 제1스캔신호에 응답하여 상기 구동 트랜지스터의 제2전극에 연결된 제3노드에 저전압을 공급하는 제4트랜지스터;

상기 제2노드와 상기 제3노드로부터 공급된 전압을 기반으로 데이터전압을 저장하는 제2커패시터; 및

상기 구동 트랜지스터로부터 공급된 상기 구동전류에 대응하여 빛을 발광하는 유기 발광다이오드를 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 제4트랜지스터는,

상기 데이터신호와 상기 레퍼런스 전압이 공급될 때,

상기 유기 발광다이오드가 턴오프 상태를 유지하도록 상기 제3노드에 상기 저전압을 공급하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 제1트랜지스터는 상기 제1스캔라인에 게이트전극이 연결되고 상기 데이터라인에 제1전극이 연결되고 상기 제1노드에 제2전극이 연결되며,

상기 제2트랜지스터는 상기 제2스캔라인에 게이트전극이 연결되고 상기 레퍼런스라인에 제1전극이 연결되고 상기 제2노드에 제2전극이 연결되며,

상기 제1커패시터는 상기 제1노드에 일단이 연결되고 상기 제2노드에 타단이 연결되며,

상기 구동 트랜지스터는 상기 제1노드에 게이트전극이 연결되고 고전위전압이 공급되는 고전위전원라인에 제1전극이 연결되고 상기 제3노드에 제2전극이 연결되며,

상기 제3트랜지스터는 상기 제3스캔라인에 게이트전극이 연결되고 상기 제1노드에 제1전극이 연결되고 상기 제2노드에 제2전극이 연결되며,

상기 제2커패시터는 상기 제2노드에 일단이 연결되고 상기 제3노드에 타단이 연결되며,

상기 유기 발광다이오드는 상기 제3노드에 애노드전극이 연결되고 저전위전압이 공급되는 저전위전원라인에 캐소드전극이 연결되며,

상기 제4트랜지스터는 상기 제1스캔라인에 게이트전극이 연결되고 상기 제3노드에 제1전극이 연결되고 상기 제

전압을 공급하는 신호라인에 제2전극이 연결된 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제3항에 있어서,

상기 신호라인은,

상기 제3스캔라인인 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제1스캔라인을 통해 공급된 제1스캔신호에 응답하여 데이터라인을 통해 공급된 데이터신호를 제1노드에 전달하는 제1트랜지스터, 제2스캔라인을 통해 공급된 제2스캔신호에 응답하여 레퍼런스라인을 통해 공급된 레퍼런스전압을 제2노드에 전달하는 제2트랜지스터, 상기 레퍼런스전압과 상기 데이터신호 간의 차전압을 저장하는 제1커패시터, 제3스캔라인을 통해 공급된 제3스캔신호에 응답하여 상기 제1커패시터의 양단인 상기 제1노드와 상기 제2노드를 연결하는 제3트랜지스터, 상기 제1노드에 공급된 데이터전압에 의해 구동전류를 생성하는 구동 트랜지스터, 상기 제1스캔신호에 응답하여 상기 구동 트랜지스터의 제2전극에 연결된 제3노드에 저장압을 공급하는 제4트랜지스터, 상기 제2노드와 상기 제3노드로부터 공급된 전압을 기반으로 데이터전압을 저장하는 제2커패시터, 및 상기 구동 트랜지스터로부터 공급된 상기 구동전류에 대응하여 빛을 발광하는 유기 발광다이오드를 포함하는 유기전계발광표시장치의 구동방법에 있어서,

상기 제1트랜지스터 및 상기 제2트랜지스터를 턴온하여 상기 제1커패시터에 상기 데이터신호와 상기 레퍼런스전압을 각각 공급하고 상기 제4트랜지스터를 턴온하여 상기 제2커패시터에 상기 저장압을 공급하는 어드레싱하는 단계;

상기 제2트랜지스터의 턴온 상태를 유지하고 상기 제1트랜지스터 및 상기 제4트랜지스터를 턴오프하여 상기 제1 및 제2커패시터들에 상기 데이터전압을 저장하는 프로그래밍 단계; 및

상기 제2트랜지스터를 턴오프하고 상기 제3트랜지스터를 턴온하여 상기 제1 및 제2커패시터들에 저장된 상기 데이터전압으로 상기 구동 트랜지스터를 구동하고 상기 구동 트랜지스터로부터 발생된 상기 구동전류를 이용하여 상기 유기 발광다이오드를 발광시키는 발광 단계를 포함하는 유기전계발광표시장치의 구동방법.

청구항 6

제5항에 있어서,

상기 제1 및 상기 제4트랜지스터를 턴온시키는 상기 제1스캔신호와 상기 제2트랜지스터를 턴온시키는 상기 제2스캔신호는 상기 어드레싱 단계에서 중첩되되,

상기 제1스캔신호가 공급되는 시간은 상기 제2스캔신호가 공급되는 시간보다 앞서는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 7

제5항에 있어서,

상기 제1스캔신호가 로직 하이 신호 상태가 되면 상기 제3트랜지스터를 턴온시키는 상기 제3스캔신호는 로직로우 신호 상태가 되는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 8

제5항에 있어서,

상기 어드레싱 단계에서,

상기 제4트랜지스터는 상기 유기 발광다이오드가 턴오프 상태를 유지하도록 상기 제3노드에 상기 저장압을 공급하는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 9

제8항에 있어서,

상기 저전압의 레벨은,

상기 유기 발광다이오드의 캐소드전극에 공급되는 저전위전압의 레벨보다 낮은 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 10

제5항에 있어서,

상기 어드레싱 단계에서,

상기 레퍼런스전압은 상기 데이터신호의 최대값보다 낮은 레벨을 갖는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기전계발광표시장치와 이의 구동방법에 관한 것이다.

배경 기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다. 유기전계발광소자는 전자(electron) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태에서부터 기저상태로 떨어질 때 발광하는 소자이다.

[0003] 유기전계발광소자를 이용한 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 및 양면발광(Dual-Emission) 등이 있고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어진다.

[0004] 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀에 스캔 신호, 데이터 신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

[0005] 유기전계발광표시장치 중 일부에는 패널을 고속 구동을 하기 위해 데이터신호를 중첩하여 어드레싱하는 방식이 있다. 이러한 방식은 네거티브 문턱전압 영역과 저전위전압의 변화에도 유기 발광다이오드를 통해 흐르는 전류를 보상할 수 있는 장점이 있다. 위와 같은 장점에도, 종래 유기전계발광표시장치는 문턱전압 프로그래밍 시 전류가 흐르는 결함(current glitch)으로 인해 명암비(contrast ratio)가 떨어지는 문제가 있어 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 실시예는, 문턱전압 프로그래밍 시 원하지 않는 구간에 전류가 흐르는 결함(current glitch)을 방지하여 명암비(contrast ratio)를 향상시킬 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 것이다.

과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명의 실시예는, 제1스캔라인을 통해 공급된 제1스캔신호에 응답하여 데이터라인을 통해 공급된 데이터신호를 제1노드에 전달하는 제1트랜지스터; 제2스캔라인을 통해 공급된 제2스캔신호에 응답하여 레퍼런스라인을 통해 공급된 레퍼런스전압을 제2노드에 전달하는 제2트랜지스터; 레퍼런스전압과 데이터신호 간의 차전압을 저장하는 제1커패시터; 제3스캔라인을 통해 공급된 제3스캔신호에 응답하여 제1커패시터의 양단인 제1노드와 제2노드를 연결하는 제3트랜지스터; 제1노드에 공급된 데이터전압에 의해 구동전류를 생성하는 구동 트랜지스터; 제1스캔신호에 응답하여 구동 트랜지스터의 제2전극에 연결된 제3노드에 저전압을 공급

하는 제4트랜지스터; 제2노드와 제3노드로부터 공급된 전압을 기반으로 데이터전압을 저장하는 제2커패시터; 및 구동 트랜지스터로부터 공급된 구동전류에 대응하여 빛을 발광하는 유기 발광다이오드를 포함하는 유기전계발광 표시장치를 제공한다.

- [0008] 제4트랜지스터는, 데이터신호와 레퍼런스 전압이 공급될 때, 유기 발광다이오드가 턴오프 상태를 유지하도록 제3노드에 저전압을 공급할 수 있다.
- [0009] 제1트랜지스터는 제1스캔라인에 게이트전극이 연결되고 데이터라인에 제1전극이 연결되고 제1노드에 제2전극이 연결되며, 제2트랜지스터는 제2스캔라인에 게이트전극이 연결되고 레퍼런스라인에 제1전극이 연결되고 제2노드에 제2전극이 연결되며, 제1커패시터는 제1노드에 일단이 연결되고 제2노드에 타단이 연결되며, 구동 트랜지스터는 제1노드에 게이트전극이 연결되고 고전위전압이 공급되는 고전위전원라인에 제1전극이 연결되고 제3노드에 제2전극이 연결되며, 제3트랜지스터는 제3스캔라인에 게이트전극이 연결되고 제1노드에 제1전극이 연결되고 제2노드에 제2전극이 연결되며, 제2커패시터는 제2노드에 일단이 연결되고 제3노드에 타단이 연결되며, 유기 발광다이오드는 제3노드에 애노드전극이 연결되고 저전위전압이 공급되는 저전위전원라인에 캐소드전극이 연결되며, 제4트랜지스터는 제1스캔라인에 게이트전극이 연결되고 제3노드에 제1전극이 연결되고 저전압을 공급하는 신호라인에 제2전극이 연결될 수 있다.
- [0010] 신호라인은, 제3스캔라인일 수 있다.
- [0011] 다른 측면에서 본 발명의 실시예는, 제1트랜지스터 및 제2트랜지스터를 턴온하여 제1노드와 제2노드 사이에 연결된 제1커패시터에 데이터신호와 레퍼런스전압을 각각 공급하고 제4트랜지스터를 턴온하여 제2노드와 제3노드 사이에 연결된 제2커패시터에 저전압을 공급하는 어드레싱하는 단계; 제2트랜지스터의 턴온 상태를 유지하고 제1트랜지스터 및 제4트랜지스터를 턴오프하여 제1 및 제2커패시터에 데이터전압을 저장하는 프로그래밍 단계; 및 제2트랜지스터를 턴오프하고 제3트랜지스터를 턴온하여 제1 및 제2커패시터에 저장된 데이터전압으로 구동 트랜지스터를 구동하고 구동 트랜지스터로부터 발생된 구동전류를 이용하여 유기 발광다이오드를 발광시키는 발광 단계를 포함하는 유기전계발광표시장치의 구동방법을 제공한다.
- [0012] 제1 및 제4트랜지스터를 턴온시키는 제1스캔신호와 제2트랜지스터를 턴온시키는 제2스캔신호는 어드레싱 단계에서 중첩되되, 제1스캔신호가 공급되는 시간은 제2스캔신호가 공급되는 시간보다 앞설 수 있다.
- [0013] 제1스캔신호가 로직 하이 신호 상태가 되면 제3트랜지스터를 턴온시키는 제3스캔신호는 로직 로우 신호 상태가 될 수 있다.
- [0014] 어드레싱 단계에서, 제4트랜지스터는 유기 발광다이오드가 턴오프 상태를 유지하도록 제3노드에 상기 저전압을 공급할 수 있다.
- [0015] 저전압의 레벨은, 유기 발광다이오드의 캐소드전극에 공급되는 저전위전압의 레벨보다 매우 낮을 수 있다.
- [0016] 어드레싱 단계에서, 레퍼런스전압은 데이터신호의 최대값보다 낮은 레벨을 가질 수 있다.

발명의 효과

- [0017] 본 발명의 실시예는, 문턱전압 프로그래밍 시 원하지 않는 구간에 전류가 흐르는 결함을 방지하여 명암비를 향상시킬 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 효과가 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 유기전계발광표시장치의 개략적인 블록도.
- 도 2는 본 발명의 제1실시예에 따른 서브 픽셀의 회로구성도.
- 도 3 내지 도 5는 본 발명의 일 실시예에 따른 서브 픽셀의 구동방법을 설명하기 위한 회로 구성도.
- 도 6은 서브 픽셀의 구동 파형도.
- 도 7은 서브 픽셀의 시뮬레이션 파형도.

도 8 및 도 9는 종래 서브 픽셀의 시뮬레이션 과정과 실시예의 서브 픽셀의 시뮬레이션 과정도.

도 10은 본 발명의 다른 실시예에 따른 서브 픽셀의 회로구성도.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0020] 도 1은 본 발명의 유기전계발광표시장치의 개략적인 블록도이다.
- [0021] 도 1에 도시된 바와 같이 유기전계발광표시장치는 타이밍구동부(TCN), 표시패널(PNL), 스캔구동부(SDRV) 및 데이터구동부(DDRV)를 포함한다.
- [0022] 타이밍구동부(TCN)는 외부로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK), 데이터신호(RGB)를 공급받는다. 타이밍구동부(TCN)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK) 등의 타이밍신호를 이용하여 데이터 구동부(DDRV)와 스캔구동부(SDRV)의 동작 타이밍을 제어한다. 타이밍구동부(TCN)는 1 수평기간의 데이터 인에이블 신호(DE)를 카운트하여 프레임기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)는 생략될 수 있다. 타이밍구동부(TCN)에서 생성되는 제어신호들에는 스캔구동부(SDRV)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(DDRV)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함될 수 있다. 게이트 타이밍 제어신호(GDC)에는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 시프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등이 포함된다. 게이트 스타트 펄스(GSP)는 첫 번째 스캔신호가 발생하는 스캔구동부(SDRV)에 공급된다. 게이트 시프트 클럭(GSC)은 스캔구동부(SDRV)에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 시프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 스캔구동부(SDRV)의 출력을 제어한다. 데이터 타이밍 제어신호(DDC)에는 소스 스타트 펄스(Source, Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등이 포함된다. 소스 스타트 펄스(SSP)는 데이터구동부(DDRV)의 데이터 샘플링 시작 시점을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터구동부(DDRV) 내에서 데이터의 샘플링 동작을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터구동부(DDRV)의 출력을 제어한다. 한편, 데이터구동부(DDRV)에 공급되는 소스 스타트 펄스(SSP)는 데이터전송 방식에 따라 생략될 수도 있다.
- [0023] 스캔구동부(SDRV)는 타이밍구동부(TCN)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 표시패널(PNL)에 포함된 서브 픽셀들(SP)의 트랜지스터들이 동작 가능한 게이트 구동전압의 스윙폭으로 신호의 레벨을 시프트시키면서 스캔신호를 순차적으로 생성한다. 스캔구동부(SDRV)는 스캔라인들을 통해 생성된 스캔신호를 표시패널(PNL)에 포함된 서브 픽셀들(SP)에 공급한다.
- [0024] 데이터구동부(DDRV)는 타이밍구동부(TCN)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍구동부(TCN)로부터 공급되는 디지털 형태의 데이터신호(RGB)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터구동부(DDRV)는 병렬 데이터 체계의 데이터로 변환할 때, 디지털 형태의 데이터신호(RGB)를 감마 기준전압으로 변환하여 아날로그 형태의 데이터신호로 변환한다. 데이터구동부(DDRV)는 데이터라인들을 통해 변환된 데이터신호를 표시패널(PNL)에 포함된 서브 픽셀들(SP)에 공급한다.
- [0025] 표시패널(PNL)은 매트릭스형태로 배치된 서브 픽셀(SP)을 갖는 표시부를 포함한다. 서브 픽셀들(SP)은 각각 5개의 트랜지스터, 2개의 커패시터 및 1개의 유기 발광다이오드로 구성된다. 실시예에 따른 서브 픽셀들(SP)은 네거티브 문턱전압(negative Vth) 특성을 나타내는 소자나 비정질 실리콘 소자가 열화 등에 의해 문턱전압이 네거티브 시프트(negative shifr) 된 구동 소자를 이용한다.
- [0026] 이하, 표시패널(PNL)에 형성된 서브 픽셀에 대해 더욱 자세히 설명한다.
- [0027] 도 2는 본 발명의 일 실시예에 따른 서브 픽셀의 회로구성도이다.
- [0028] 도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따른 서브 픽셀에는 제1 내지 제4트랜지스터(T1~T4), 구동 트랜지스터(DR), 제1 및 제2커패시터(Vc1, Vc2) 및 유기 발광다이오드(OLED)가 포함된다.
- [0029] 서브 픽셀에 포함된 제1 내지 제4트랜지스터(T1~T4), 구동 트랜지스터(DR), 제1 및 제2커패시터(Vc1, Vc2) 및 유기 발광다이오드(OLED)의 연결 관계를 설명하면 다음과 같다.

- [0030] 제1트랜지스터(T1)는 제1스캔라인(G1[n])에 게이트전극이 연결되고 데이터라인(Data)에 제1전극이 연결되고 제1노드(Vg)에 제2전극이 연결된다. 제2트랜지스터(T2)는 제2스캔라인(G2[n])에 게이트전극이 연결되고 레퍼런스라인(Vref)에 제1전극이 연결되고 제2노드(Vd)에 제2전극이 연결된다. 제1커패시터(Vc1)는 제1노드(Vg)에 일단이 연결되고 제2노드(Vd)에 타단이 연결된다. 구동 트랜지스터(DR)는 제1노드(Vg)에 게이트전극이 연결되고 고전위 전압이 공급되는 고전위전원라인(Vdd)에 제1전극이 연결되고 제3노드(Vs)에 제2전극이 연결된다. 제3트랜지스터(T3)는 제3스캔라인(EM[n])에 게이트전극이 연결되고 제1노드(Vg)에 제1전극이 연결되고 제2노드(Vd)에 제2전극이 연결된다. 제2커패시터(Vc2)는 제2노드(Vd)에 일단이 연결되고 제3노드(Vs)에 타단이 연결된다. 유기 발광다이오드(OLED)는 제3노드(Vs)에 애노드전극이 연결되고 저전위전압이 공급되는 저전위전원라인(Vss)에 캐소드전극이 연결된다. 제4트랜지스터(T4)는 제1스캔라인(G1[n])에 게이트전극이 연결되고 제3노드(Vs)에 제1전극이 연결되고 저전압을 공급하는 신호라인(EM[n])에 제2전극이 연결된다. 여기서, 신호라인(EM[n])은 제3스캔라인(EM[n])과 동일한 라인을 사용할 수 있으나 이에 한정되지 않는다.
- [0031] 한편, 앞서 설명된 서브 픽셀에 포함된 제1 내지 제4트랜지스터(T1~T4), 구동 트랜지스터(DR), 제1 및 제2커패시터(Vc1, Vc2) 및 유기 발광다이오드(OLED)의 역할을 개략적으로 설명하면 다음과 같다.
- [0032] 제1트랜지스터(T1)는 제1스캔라인(G1[n])을 통해 공급된 제1스캔신호에 응답하여 데이터라인(Data)을 통해 공급된 데이터신호를 제1노드(Vg)에 전달하는 역할을 한다.
- [0033] 제2트랜지스터(T2)는 제2스캔라인(G2[n])을 통해 공급된 제2스캔신호에 응답하여 레퍼런스라인(Vref)을 통해 공급된 레퍼런스전압을 제2노드(Vd)에 전달하는 역할을 한다.
- [0034] 제1커패시터(Vc1)는 레퍼런스전압과 데이터신호 간의 차전압을 저장하는 역할을 한다.
- [0035] 제3트랜지스터(T3)는 제3스캔라인(EM[n])을 통해 공급된 제3스캔신호에 응답하여 제1커패시터(Vc1)의 양단인 제1노드(Vg)와 제2노드(Vd)를 연결하는 역할을 한다.
- [0036] 구동 트랜지스터(DR)는 제1노드(Vg)에 공급된 데이터전압에 의해 구동전류를 생성하는 역할을 한다.
- [0037] 제4트랜지스터(T4)는 제1스캔라인(G1[n])을 통해 공급된 제1스캔신호에 응답하여 구동 트랜지스터(DR)의 제2전극에 연결된 제3노드(Vs)에 저전압을 공급하는 역할을 한다. 여기서, 제4트랜지스터(T4)는 데이터신호와 레퍼런스 전압이 공급될 때, 유기 발광다이오드(OLED)가 턴오프 상태를 유지하도록 제3노드(Vs)에 저전압을 공급한다.
- [0038] 제2커패시터(Vc2)는 제2노드(Vd)와 제3노드(Vs)로부터 공급된 전압을 기반으로 데이터전압을 저장하는 역할을 한다.
- [0039] 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)로부터 공급된 구동전류에 대응하여 빛을 발광하는 역할을 한다.
- [0040] 이하, 본 발명의 일 실시예에 따른 서브 픽셀의 구동방법에 대해 더욱 자세히 설명한다.
- [0041] 도 3 내지 도 5는 본 발명의 일 실시예에 따른 서브 픽셀의 구동방법을 설명하기 위한 회로 구성도이고, 도 6은 서브 픽셀의 구동 파형도이며, 도 7은 서브 픽셀의 시뮬레이션 파형도 이고, 도 8 및 도 9는 비교예의 서브 픽셀의 시뮬레이션 파형과 실시예의 서브 픽셀의 시뮬레이션 파형도이다.
- [0042] 도 2 내지 도 6에 도시된 바와 같이, 본 발명의 일 실시예에 따른 서브 픽셀은 어드레싱 단계(도 3), 프로그래밍 단계(도 4) 및 발광 단계(도 5)의 순으로 구동된다.
- [0043] 어드레싱 단계(1)는 제1트랜지스터(T1) 및 제2트랜지스터(T2)를 턴온하여 제1노드(Vg)와 제2노드(Vd) 사이에 연결된 제1커패시터(Vc1)에 데이터신호와 레퍼런스전압을 각각 공급하고 제4트랜지스터(T4)를 턴온하여 제1노드(Vg)와 제3노드(Vs) 사이에 연결된 제2커패시터(Vc2)에 저전압을 공급하는 단계이다.
- [0044] 어드레싱 단계(1)에서, 제1트랜지스터(T1) 및 제4트랜지스터(T4)는 제1스캔라인(G1[n])을 통해 공급된 로직 하이 신호 상태의 제1스캔신호(G1[n])에 응답하여 턴온 상태가 된다. 그리고 제2트랜지스터(T2)는 제2스캔라인(G2[n])을 통해 공급된 로직 하이 신호 상태의 제2스캔신호(G2[n])에 응답하여 턴온 상태가 된다.
- [0045] 제1트랜지스터(T1)가 턴온됨에 따라 제1노드(Vg)에는 레퍼런스전압(Vref)과 데이터신호(Va) 간의 차에 해당하는 전압이 차징된다. 이를 수식으로 표현하면 $Vg = Vref - Va$ 와 같다. 그리고 제2트랜지스터(T2)가 턴온됨에 따라 제2노드(Vd)에는 데이터신호의 최대값(Va_{max})보다 큰 레퍼런스전압(Vref)이 차징된다. 이를 수식으로 표현하면 $Vd = Vref > Va_{max}$ 와 같다. 그리고 제4트랜지스터(T4)가 턴온됨에 따라 제3노드(Vs)에는 저전위전압(Vss)보다

매우 낮은 저전압(VGL)이 차징된다. 이를 수식으로 표현하면 $V_s = VGL \ll V_{ss}$ 와 같다. 위와 같은 전압이 차징됨에 따라 제1 및 제2커패시터들(V_{c1} , V_{c2})에는 레퍼런스전압(V_{ref})과 저전압(VGL) 간의 차에 해당하는 전압이 차징된다. 이를 수식으로 표현하면 $V_c = V_{ref} - VGL$ 과 같다.

[0046] 어드레싱 단계(1)에서 제4트랜지스터(T_4)를 통해 공급되는 저전압(VGL)이 저전위전압(V_{ss})보다 매우 낮으면 유기 발광다이오드(OLED)는 턴오프 상태를 유지하게 된다. 어드레싱 단계(1)에서 제1 및 제4트랜지스터(T_1 , T_4)를 턴온시키는 제1스캔신호($G1[n]$)와 제2트랜지스터(T_2)를 턴온시키는 제2스캔신호($G2[n]$)는 상호 일부 중첩되되, 제1스캔신호($G1[n]$)가 로직 하이 신호 상태로 공급되는 시간은 제2스캔신호($G2[n]$)가 로직 하이 신호 상태로 공급되는 시간보다 앞선다. 여기서, 제1스캔신호($G1[n]$)가 로직 하이 신호 상태로 공급될 때, 제3스캔신호($EM[n]$)는 로직 하이 신호 상태에서 로직 로우 신호 상태로 전환된다. 즉, 제1 및 제4트랜지스터(T_1 , T_4)를 턴온시키는 제1스캔신호($G1[n]$)가 로직 하이 신호 상태가 되면 제3트랜지스터를 턴온시키는 제3스캔신호($EM[n]$)는 로직 로우 신호 상태가 된다.

[0047] 이와 같이, 제1스캔신호($G1[n]$)가 로직 하이 신호 상태가 되고 제3스캔신호($EM[n]$)가 로직 로우 신호 상태로 전환되는 시점에서 각 노드(V_g , V_d , V_s)에 걸리는 전압의 상태와 유기 발광다이오드(OLED)를 통해 흐르는 전류(I_{oled})의 전압의 상태는 도 6과 같다.

[0048] 프로그래밍 단계(2)는 제2트랜지스터(T_2)의 턴온 상태를 유지하고 제1트랜지스터(T_1) 및 제4트랜지스터(T_4)를 턴오프하여 커패시터들(V_{c1} , V_{c2})에 데이터전압을 저장하는 단계이다.

[0049] 프로그래밍 단계(2)에서, 제2트랜지스터(T_2)는 제2스캔신호($G2[n]$)가 로직 하이 신호 상태를 유지하게 됨에 따라 이에 응답하여 턴온 상태를 유지하게 된다. 그리고 제1트랜지스터(T_1) 및 제4트랜지스터(T_4)는 제1스캔신호($G1[n]$)가 로직 로우 신호 상태로 전환됨에 따라 이에 응답하여 턴오프 상태가 된다.

[0050] 제1트랜지스터(T_1)가 턴오프됨에 따라 제1노드(V_g)에는 레퍼런스전압(V_{ref})과 데이터신호(V_a) 간의 차에 해당하는 전압이 유지된다. 이를 수식으로 표현하면 $V_g = V_{ref} - V_a$ 와 같다. 그리고 제2트랜지스터(T_2)가 턴온 상태를 유지함에 따라 제2노드(V_d)에는 레퍼런스전압(V_{ref})이 유지된다. 이를 수식으로 표현하면 $V_d = V_{ref}$ 와 같다. 그리고 제4트랜지스터(T_4)가 턴오프됨에 따라 제3노드(V_s)에는

[0051] 레퍼런스전압(V_{ref}), 데이터신호(V_a) 및 구동 트랜지스터의 문턱전압(V_{th}) 보다 큰 턴오프 유지전압(V_{T0}) 및 저전위전압(V_{ss})이 차징된다. 이를 수식으로 표현하면 $V_s = V_{ref} - V_a - V_{th} < V_{T0} + V_{ss}$ 와 같다. 위와 같은 전압이 차징됨에 따라 제1 및 제2커패시터들(V_{c1} , V_{c2})에는 데이터신호(V_a)와 구동 트랜지스터의 문턱전압(V_{th})을 합한 데이터전압(V_c)이 차징된다. 이를 수식으로 표현하면 $V_c = V_a + V_{th}$ 와 같다.

[0052] 위의 설명과 같이, 어드레싱 단계(1)와 프로그래밍 단계(2)에서 제4트랜지스터(T_4)는 유기 발광다이오드(OLED)가 턴오프 상태를 유지하도록 제3노드(V_s)에 저전압(VGL)을 공급하여 문턱전압 프로그래밍(V_{th} programming)시 전류가 유기 발광다이오드(OLED)로 흐르는 것을 차단하는 역할을 한다. 즉, 제4트랜지스터(T_4)는 원하지 않는 구간에 전류가 흐르는 결함(current glitch) 현상을 제거하도록 구동한다.

[0053] 발광 단계(0)는 제2트랜지스터(T_2)를 턴오프하고 제3트랜지스터(T_3)를 턴온하여 제1 및 제2커패시터(V_{c1} , V_{c2})에 저장된 데이터전압으로 구동 트랜지스터(DR)를 구동하고 구동 트랜지스터(DR)로부터 발생된 구동전류를 이용하여 유기 발광다이오드(OLED)를 발광시키는 단계이다.

[0054] 발광 단계(0)에서, 제2트랜지스터(T_2)는 제2스캔신호($G2[n]$)가 로직 로우 신호 상태로 전환됨에 따라 이에 응답하여 턴오프 상태가 된다. 그리고 제3트랜지스터(T_3)는 제3스캔라인($EM[n]$)을 통해 공급된 로직 하이 신호 상태의 제3스캔신호($EM[n]$)에 응답하여 턴온 상태가 된다.

[0055] 제2트랜지스터(T_2)가 턴오프 상태가 되고 제3트랜지스터(T_3)가 턴온 상태가 됨에 따라 구동 트랜지스터(DR)의 게이트전극과 소오스전극 간의 전압(V_{gs})은 데이터신호(V_a)와 구동 트랜지스터(DR)의 문턱전압(V_{th})을 합한 데이터전압(V_c)에 대응되고 이를 기초로 구동전류가 발생된다. 이를 수식으로 표현하면 $V_{gs} = V_a + V_{th} = V_c$ 와 같다. 위와 같이 구동 트랜지스터(DR)로부터 발생된 구동전류는 유기 발광다이오드(OLED)를 흐르게 되고 이에 대응하여 유기 발광다이오드(OLED)는 빛을 발광하게 된다. 이를 수식으로 표현하면 $I_{oled} = 1/2K(V_a + V_{th} - V_{th})^2$ 과 같다. 발광 단계(0)에, 제1노드(V_g)에는 데이터신호(V_a), 구동 트랜지스터(DR)의 문턱전압(V_{th}) 및 유

기 발광다이오드의 전압(Voled)를 합한 전압이 걸린다.

- [0056] 앞서 설명된 바와 같은 방식으로 실시예에 따른 서브 픽셀을 고속 구동 조건 하에 데이터신호를 중첩하여 어드레싱하고 시뮬레이션을 실행하면 도 7과 같은 구동 파형을 얻을 수 있게 된다.
- [0057] 도 8 및 도 9를 참조하면, 도 8의 비교예의 서브 픽셀은 문턱전압을 프로그래밍하는 과정에서 발생하는 전류의 흐름으로 원하지 않는 구간에 전류가 흐르는 결함(glitch)이 발생하는 것을 볼 수 있다. 반면, 도 9의 실시예의 서브 픽셀은 문턱전압을 프로그래밍하는 과정에서 전류의 흐름을 차단하므로 유기 발광다이오드(OLED)는 비발광 구간에서의 발광이 억제된다. 그러므로, 실시예에 따른 서브 픽셀은 원하지 않는 구간에서 유기 발광다이오드(OLED)로 전류가 흐르는 것을 차단할 수 있어 명암비(contrast ratio)를 향상시킬 수 있게 된다.
- [0058] 한편, 본 발명의 일 실시예는 서브 픽셀에 포함된 회로의 연결관계를 다음과 같이 변경하여도 위와 같은 효과를 얻을 수 있다.
- [0059] 도 10은 본 발명의 다른 실시예에 따른 서브 픽셀의 회로구성도이다.
- [0060] 도 10에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 서브 픽셀 또한 제1 내지 제4트랜지스터(T1~T4), 구동 트랜지스터(DR), 제1 및 제2커패시터(Vc1, Vc2) 및 유기 발광다이오드(OLED)가 포함된다.
- [0061] 서브 픽셀에 포함된 제1 내지 제4트랜지스터(T1~T4), 구동 트랜지스터(DR), 제1 및 제2커패시터(Vc1, Vc2) 및 유기 발광다이오드(OLED)의 연결 관계를 설명하면 다음과 같다.
- [0062] 제1트랜지스터(T1)는 제1스캔라인(G1[n])에 게이트전극이 연결되고 레퍼런스라인(Vref)에 제1전극이 연결되고 제1노드(Vg)에 제2전극이 연결된다. 제2트랜지스터(T2)는 제2스캔라인(G2[n])에 게이트전극이 연결되고 데이터라인(Data)에 제1전극이 연결되고 제2노드(Vd)에 제2전극이 연결된다. 제1커패시터(Vc1)는 제1노드(Vg)에 일단이 연결되고 제2노드(Vd)에 타단이 연결된다. 구동 트랜지스터(DR)는 제1노드(Vg)에 게이트전극이 연결되고 고전위전압이 공급되는 고전위전원라인(Vdd)에 제1전극이 연결되고 제3노드(Vs)에 제2전극이 연결된다. 제3트랜지스터(T3)는 제3스캔라인(EM[n])에 게이트전극이 연결되고 제1노드(Vg)에 제1전극이 연결되고 제2노드(Vd)에 제2전극이 연결된다. 제2커패시터(Vc2)는 제2노드(Vd)에 일단이 연결되고 제3노드(Vs)에 타단이 연결된다. 유기 발광다이오드(OLED)는 제3노드(Vs)에 애노드전극이 연결되고 저전위전압이 공급되는 저전위전원라인(Vss)에 캐소드전극이 연결된다. 제4트랜지스터(T4)는 제1스캔라인(G1[n])에 게이트전극이 연결되고 제3노드(Vs)에 제1전극이 연결되고 저전압을 공급하는 신호라인(EM[n])에 제2전극이 연결된다. 여기서, 신호라인(EM[n])은 제3스캔라인(EM[n])과 동일한 라인을 사용할 수 있으나 이에 한정되지 않는다.
- [0063] 본 발명의 다른 실시예에 따른 서브 픽셀은 각각의 제1 및 제2트랜지스터(T1, T2)의 제1전극에 연결된 레퍼런스라인(Vref)과 데이터라인(Data)을 상호 스위칭하더라도 본 발명의 일 실시예와 같은 효과를 달성할 수 있다.
- [0064] 이상 실시예에 따른 서브 픽셀은 이전 단의 서브 픽셀에 공급되는 제1스캔신호와 현재 단의 서브 픽셀에 공급되는 제1스캔신호가 일부 중첩되어 데이터라인을 통해 공급되는 데이터신호가 중첩되어 어드레싱되는 데이터 중첩 어드레싱(Data overlap addressing) 방식으로 이루어진다. 실시예에 따른 설명된 서브 픽셀은 위와 같은 연결 방식에 의해 문턱전압(Vth)을 저장하는 신호 선이 분리되어 있어 고속 구동하에서도 유기 발광다이오드에 흐르는 전류(Ioled) 변화에 대응되는 보상이 가능하다. 실시예에 따른 서브 픽셀은 데이터신호 입력 시, 구동 트랜지스터(DR)의 문턱전압(Vth)을 저장한 후 데이터신호를 입력하는 보상 구동이 진행된다.
- [0065] 또한, 실시예에 따른 서브 픽셀은 위와 같은 구동방식에 따라 네거티브 문턱전압(negative Vth)과 저전위전압 변동(ΔV_{ss})에 대응하여 유기 발광다이오드에 흐르는 전류(Ioled) 변화를 보상할 수 있게 된다. 실시예에 따른 서브 픽셀은 문턱전압 프로그래밍(Vth programming)시 발생하는 전류가 유기 발광다이오드(OLED)로 흐르는 것을 차단함으로써 원하지 않는 구간에 전류가 흐르는 결함(current glitch) 현상을 제거할 수 있어 명암비(contrast ratio)를 향상시킬 수 있게 된다.
- [0066] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는

후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

- [0067]
- T1: 제1트랜지스터

T2: 제2트랜지스터

T3: 제3트랜지스터

T4: 제4트랜지스터

DR: 구동 트랜지스터

Vc1: 제1커패시터

Vc2: 제2커패시터

OLED: 유기 발광다이오드

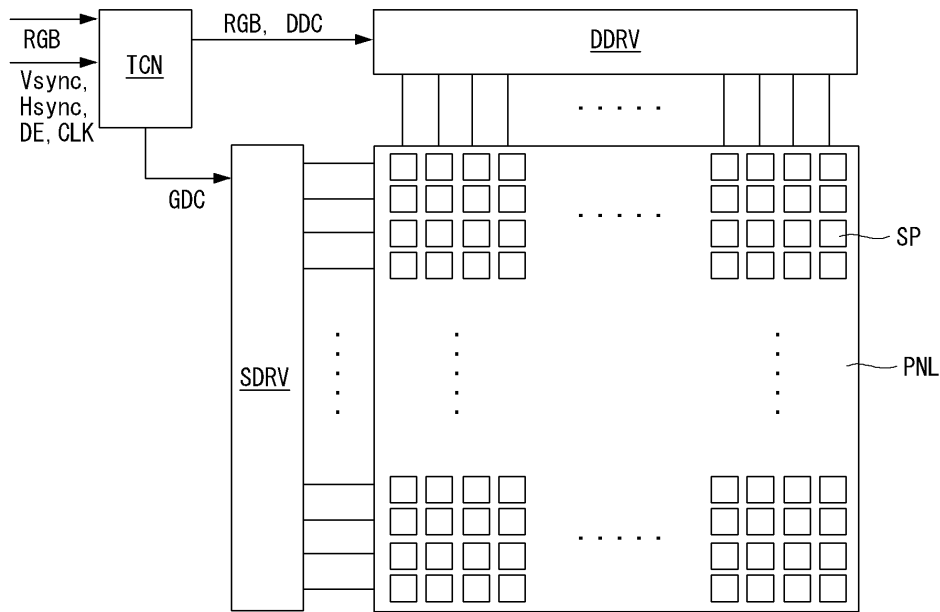
Vg: 제1노드

Vd: 제2노드

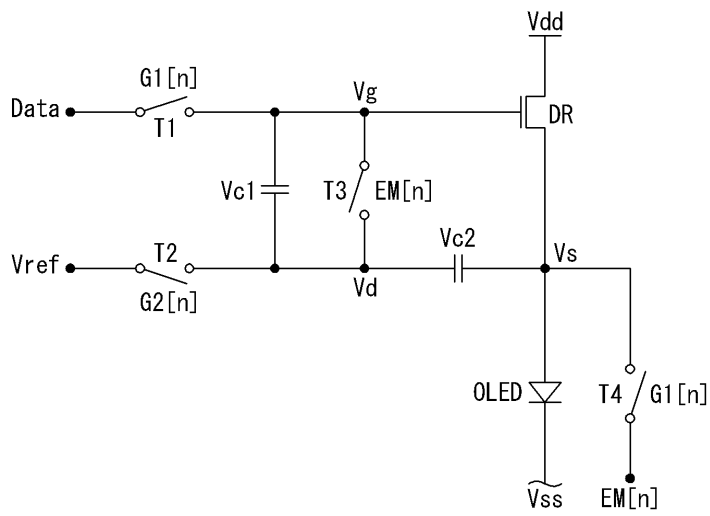
Vs: 제3노드

도면

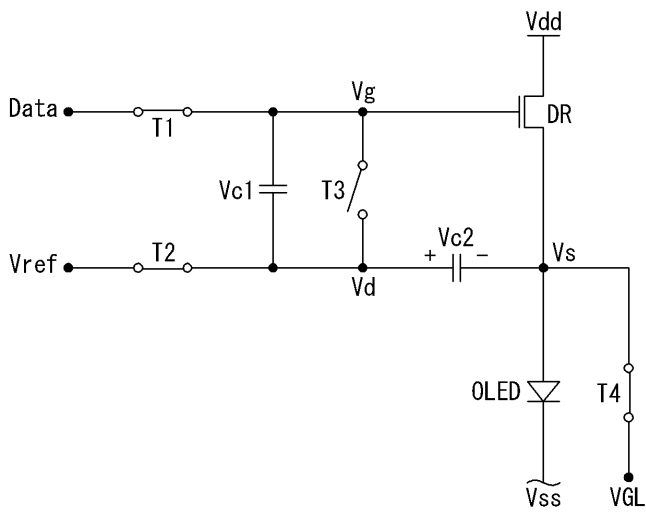
도면1



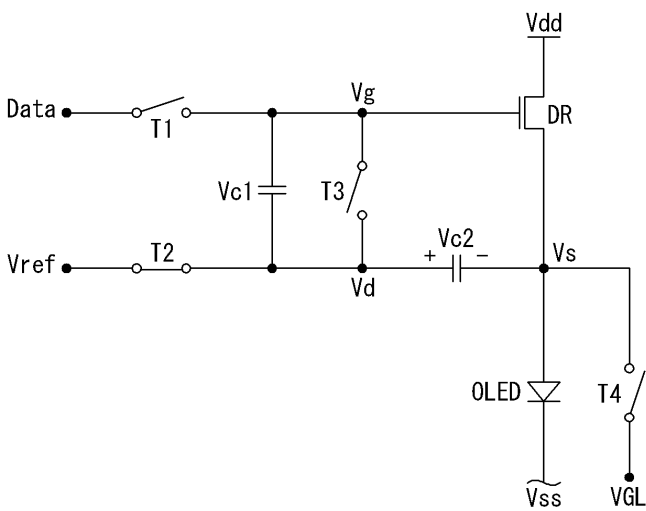
도면2



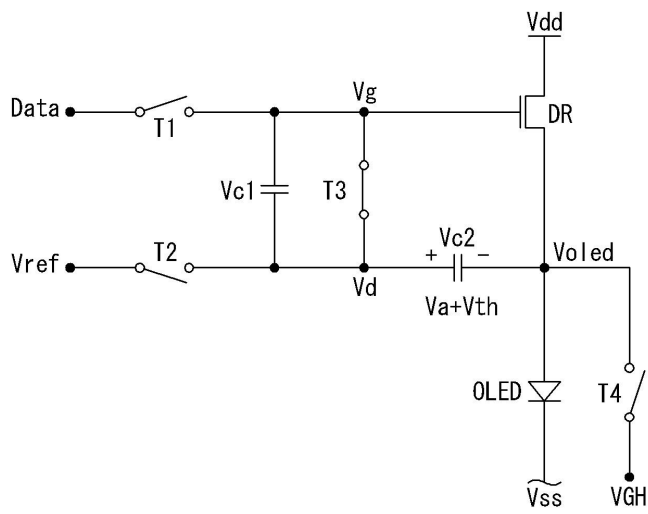
도면3



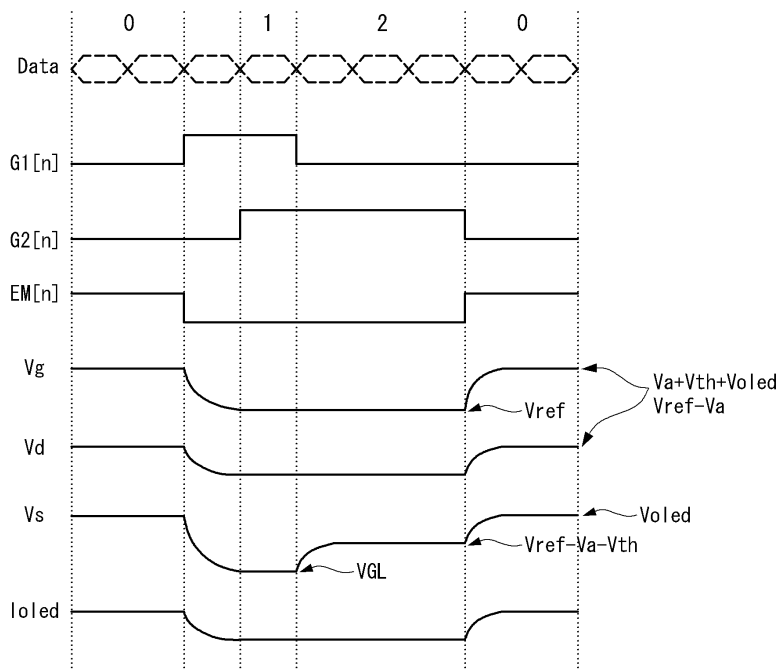
도면4



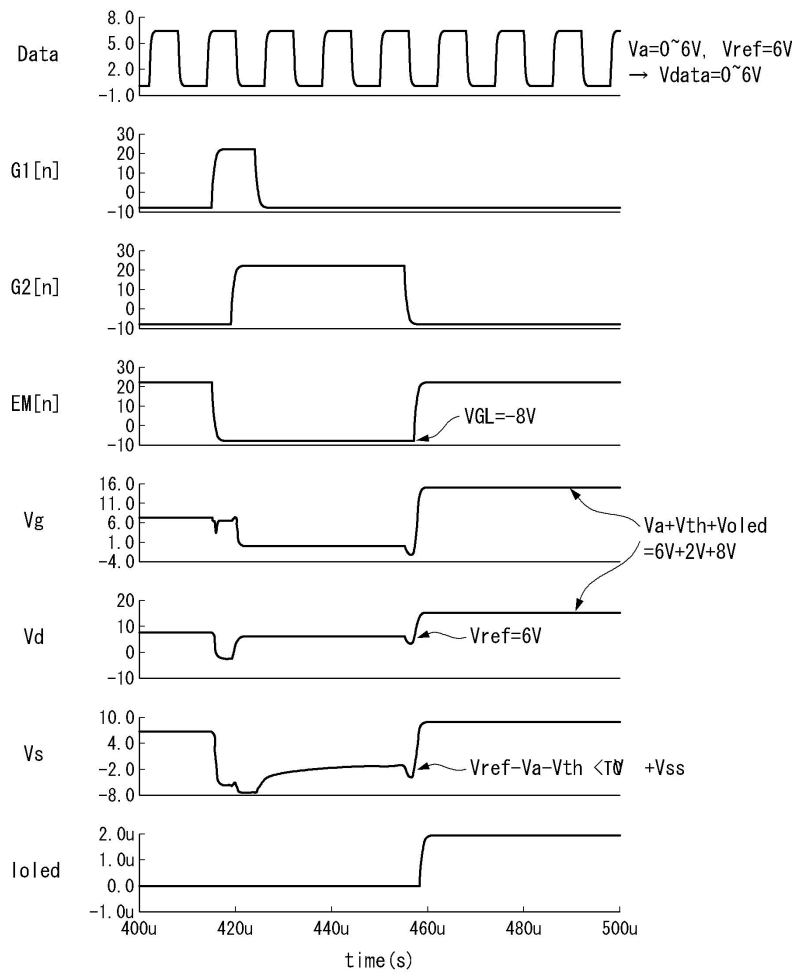
도면5



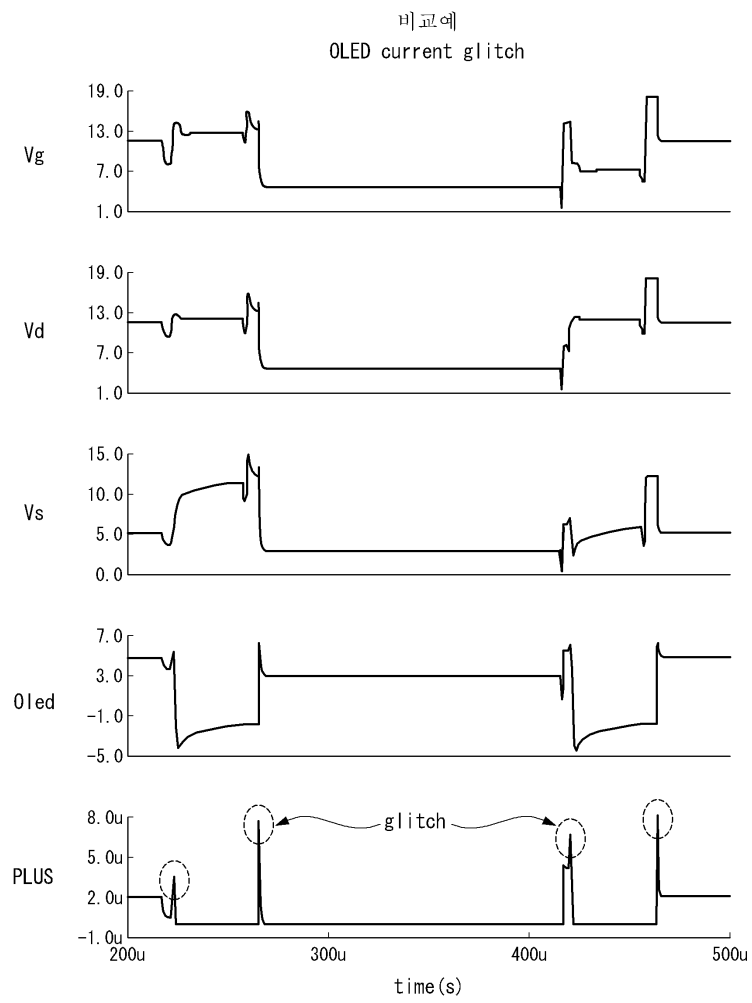
도면6



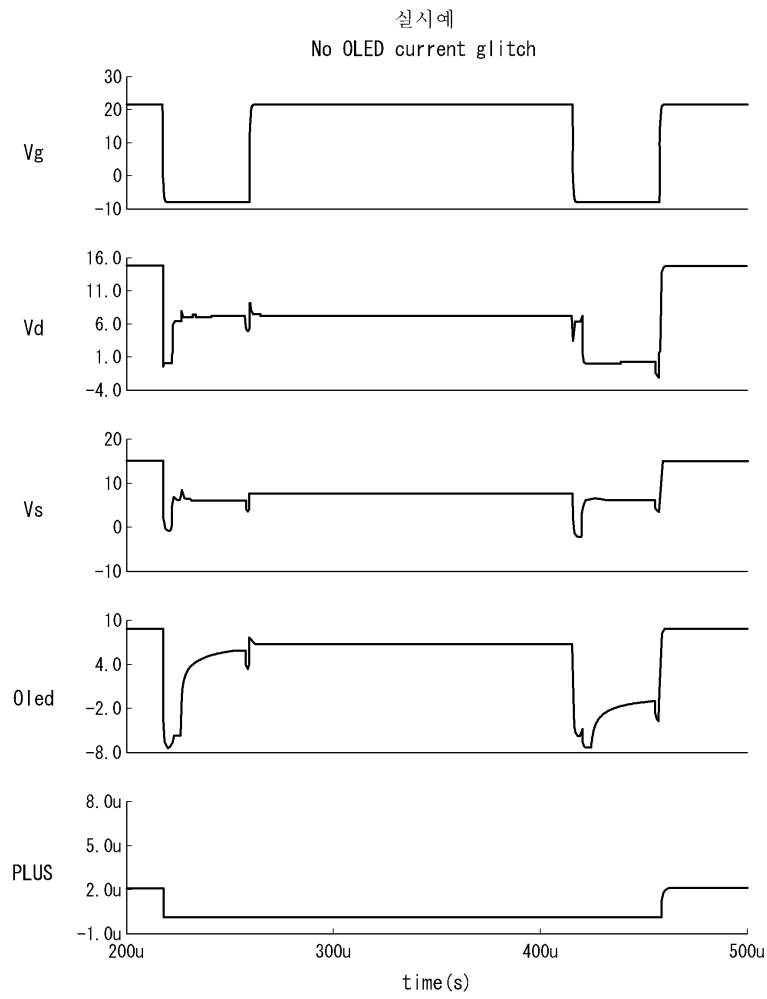
도면7



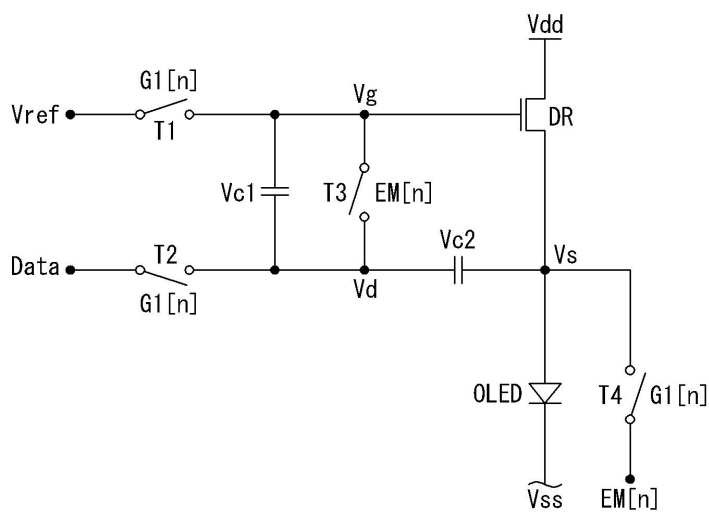
도면8



도면9



도면10



专利名称(译)	标题：有机电致发光显示装置及其驱动方法		
公开(公告)号	KR101749754B1	公开(公告)日	2017-06-21
申请号	KR1020100104605	申请日	2010-10-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOO JUHN SUK 유준석 PARK SOO JEONG 박수정		
发明人	유준석 박수정		
IPC分类号	G09G3/3233 G09G3/3208		
CPC分类号	G09G3/3233 G09G3/3208 G09G2320/066 G09G3/3258 G09G3/30 G09G3/32 G09G3/3225 G09G2320/02 G09G2320/045		
其他公开文献	KR1020120043346A		
外部链接	Espacenet		

摘要(译)

用途：提供一种有机电致发光面板及其驱动方法，以防止电流在不希望的部分中流动的缺陷，从而提高对比度。组成：第一晶体管（T1）将数据信号传输到第一节点。第二晶体管（T2）将参考电压传输到第二节点。第一电容器（Vc1）存储参考电压和数据信号之间的差分电压。第三晶体管（T3）连接第一节点和第二节点。驱动晶体管（DR）产生驱动电流。第四晶体管（T4）向第三节点提供低电压。第二电容器（Vc2）存储数据电压。有机发光二极管（OLED）通过接收驱动电流发光。

COPYRIGHT KIPO 2012

