



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년12월21일
(11) 등록번호 10-1002667
(24) 등록일자 2010년12월14일

(51) Int. Cl.

H01L 29/786 (2006.01) H05B 33/26 (2006.01)

H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0064001

(22) 출원일자 2008년07월02일

심사청구일자 2008년07월02일

(65) 공개번호 10-2010-0003936

(43) 공개일자 2010년01월12일

(56) 선행기술조사문헌

KR1020000031709 A

KR1020060055621 A*

KR1020050120368 A*

US6426246 B1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

안지수

경기도 수원시 영통구 신동 삼성SDI

김성철

경기도 수원시 영통구 신동 삼성SDI

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 16 항

심사관 : 김태훈

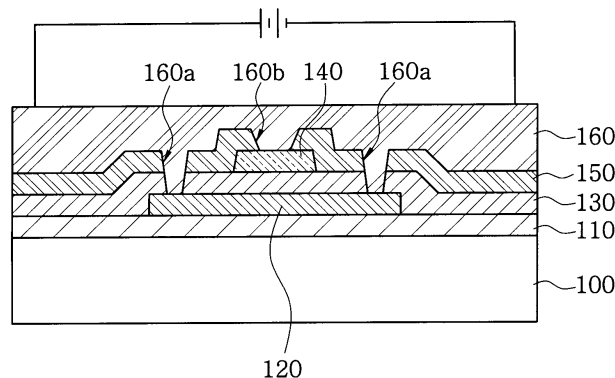
(54) 박막트랜지스터, 그의 제조방법 및 그를 포함하는유기전계발광표시장치

(57) 요약

본 발명은 박막트랜지스터, 그의 제조방법 및 그를 포함하는 유기전계발광표시장치에 관한 것으로써, 기판; 상기 기판 상에 위치하는 버퍼층; 상기 버퍼층 상에 위치하며 반도체층; 상기 반도체층 상에 위치하는 게이트 절연막; 상기 게이트 절연막 상에 위치하는 게이트 전극; 상기 게이트 전극을 포함하는 기판 전면에 걸쳐 위치하는, 제 1콘택홀 및 제 2 콘택홀을 포함하는 층간절연막; 및 상기 층간절연막 상에 위치하며, 상기 게이트 전극과 절연되며, 상기 제 1콘택홀을 통하여 상기 반도체층과 일부가 연결되는 소스/드레인 전극을 포함하는 박막트랜지스터 및 그의 제조방법에 관한 것이다.

또한, 기판; 상기 기판 상에 위치하는 버퍼층; 상기 버퍼층 상에 위치하며 반도체층; 상기 반도체층 상에 위치하는 게이트 절연막; 상기 게이트 절연막 상에 위치하는 게이트 전극; 상기 게이트 전극을 포함하는 기판 전면에 걸쳐 위치하는, 제 1콘택홀 및 제 2 콘택홀을 포함하는 층간절연막; 및 상기 층간절연막 상에 위치하며, 상기 게이트 전극과 절연되며, 상기 제 1콘택홀을 통하여 상기 반도체층과 일부가 연결되는 소스/드레인 전극; 상기 기판 전면에 걸쳐 위치하는 보호막; 및 상기 보호막 상에 위치하며, 상기 소스/드레인 전극과 전기적으로 연결되는 제 1 전극, 유기막층 및 제 2 전극을 포함하는 유기전계발광표시장치에 관한 것이다.

대표도 - 도1c



특허청구의 범위

청구항 1

기관;

상기 기관 상에 위치하는 버퍼층;

상기 버퍼층 상에 위치하며 반도체층;

상기 반도체층 상에 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하는 게이트 전극;

상기 게이트 전극을 포함하는 기관 전면에 걸쳐 위치하며, 제 1콘택홀 및 제 2 콘택홀을 포함하는 층간절연막; 및

상기 층간절연막 상에 위치하며, 상기 게이트 전극과 절연되며, 상기 제 1콘택홀을 통하여 상기 반도체층과 일부가 연결되는 소스/드레인 전극을 포함하고,

상기 게이트 전극 상에는 소스/드레인 전극용 금속막 패턴을 더 포함하고, 상기 소스/드레인 전극용 금속막 패턴의 두께는 50 내지 200nm인 박막트랜지스터.

청구항 2

삭제

청구항 3

제 1항에 있어서,

상기 제 1콘택홀과 제 2콘택홀은 서로 이격되어 위치하는 것을 특징으로 하는 박막트랜지스터.

청구항 4

제 1항에 있어서,

상기 제 2콘택홀은 상기 게이트 전극의 일부를 노출시키는 것을 특징으로 하는 박막트랜지스터.

청구항 5

제 1항에 있어서,

상기 제 1콘택홀은 상기 반도체층의 일부를 노출시키는 것을 특징으로 하는 박막트랜지스터.

청구항 6

제 1항에 있어서,

상기 제 2 콘택홀은 상기 반도체층의 채널영역에 대응되는 영역에 위치하는 것을 특징으로 하는 박막트랜지스터.

청구항 7

기관을 형성하고,

상기 기관 상에 버퍼층을 형성하고,

상기 버퍼층 상에 비정질 실리콘층을 형성하고,

상기 비정질 실리콘층을 패터닝하여 반도체층 패턴을 형성하고,

상기 반도체층 패턴 상에 게이트 절연막을 형성하고,

상기 게이트 절연막 상에 상기 반도체층 패턴에 대응되는 게이트 전극을 형성하고,

상기 기판 전면에 걸쳐 층간절연막을 형성하고,

상기 층간절연막 상에 반도체층의 일부를 노출시키는 제 1 콘택홀과 게이트 전극의 일부를 노출시키는 제 2 콘택홀을 형성하고,

상기 기판 전면에 걸쳐 소스/드레인 전극용 금속막을 형성하고,

상기 소스/드레인 전극용 금속막에 전계를 인가하여, 상기 반도체층 패턴을 결정화하여 다결정실리콘층으로 이루어진 반도체층으로 형성하고,

상기 소스/드레인 전극용 금속막을 패터닝하여 상기 제 1 콘택홀을 통하여 상기 게이트 전극과 절연되며 상기 반도체층과 전기적으로 연결되는 소스/드레인 전극을 형성하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 8

제 7항에 있어서,

상기 결정화는 제 2 콘택홀을 통하여 상기 소스/드레인 전극용 금속막과 상기 게이트 전극이 접촉한 상태에서 진행되는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 9

제 7항에 있어서,

상기 소스/드레인 전극용 금속막에는 100 내지 10000V/cm의 전계가 인가되는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 10

제 7항에 있어서,

소스/드레인 전극용 금속막은 상기 층간절연막을 노출시키지 않도록 형성한 후 전압을 인가하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 11

제 7항에 있어서,

상기 제 1콘택홀은 제 2콘택홀과 이격되도록 형성하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 12

제 7항에 있어서,

상기 제 2콘택홀은 상기 반도체층의 채널영역에 대응되도록 형성하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 13

기판;

상기 기판 상에 위치하는 버퍼층;

상기 버퍼층 상에 위치하며 반도체층;

상기 반도체층 상에 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하는 게이트 전극;

상기 게이트 전극을 포함하는 기판 전면에 걸쳐 위치하며, 제 1콘택홀 및 제 2 콘택홀을 포함하는 층간절연막; 및

상기 층간절연막 상에 위치하며, 상기 게이트 전극과 절연되며, 상기 제 1콘택홀을 통하여 상기 반도체층과 일

부가 연결되는 소스/드레인 전극;

상기 기판 전면에 걸쳐 위치하는 보호막; 및

상기 보호막 상에 위치하며, 상기 소스/드레인 전극과 전기적으로 연결되는 제 1 전극, 유기막층 및 제 2 전극을 포함하고,

상기 게이트 전극 상에는 소스/드레인 전극용 금속층을 더 포함하고, 상기 소스/드레인 전극용 금속막 패턴의 두께는 50 내지 200nm인 유기전계발광표시장치.

청구항 14

삭제

청구항 15

제 13항에 있어서,

상기 제 1콘택홀과 제 2콘택홀은 서로 이격되어 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 16

제 13항에 있어서,

상기 제 2콘택홀은 상기 게이트 전극의 일부를 노출시키는 것을 특징으로 하는 유기전계발광표시장치.

청구항 17

제 13항에 있어서,

상기 제 1콘택홀은 상기 반도체층의 일부를 노출시키는 것을 특징으로 하는 유기전계발광표시장치.

청구항 18

제 13항에 있어서,

상기 제 2 콘택홀은 상기 반도체층의 채널영역에 대응되는 영역에 위치하는 것을 특징으로 하는 유기전계발광표시장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 박막트랜지스터, 그의 제조방법 및 그를 포함하는 유기전계발광표시장치에 관한 것으로서, 게이트 전극용 금속 및 소스/드레인 전극용 금속을 이용하여 종래의 전계 인가를 이용한 줄열(joule heating)에 의한 결정화과정에서 발생하는 아크발생을 해결하여 소자의 불량률 최소화하고, 생산수율을 증진시킬 수 있는 방법을 제공한다.

배경기술

[0002] 일반적으로 열처리 방법에는 열처리로를 사용하는 로열처리(furnace annealing), 할로젠램프 등의 복사열을 이용하는 RTA(rapid thermal annealing), 레이저를 사용하는 레이저 어닐링(laser annealing), 주열 가열을 이용하는 열처리 방법등 다양하다. 이러한 열처리 방법들은 열처리의 온도범위, 열처리 온도의 균일성, 승온 속도, 냉각 속도, 구입가격, 유지비용 등에 의하여 재료 및 공정의 특성에 적합하게 선택된다. 특히, 고온의 열처리가 요구되거나, 재료 및 공정의 특정상 재료의 국부적인 영역에 고속 열처리가 필요한 경우, 선택할 수 있는 열처리 방법은 극히 한정되어 있다.

[0003] 상기의 열처리 방법들 중, 레이저 어닐링 방법은 재료의 표면에 급속 열처리가 가능하지만, 레이저의 파장 및 열처리가 필요한 물질의 종류에 따라 열처리의 가능 여부가 결정되기 때문에 열처리할 수 있는 재료가 한정되어 있다. 특히, 대면적을 열처리할 경우에는 라인 빔 타입의 레이저를 중첩하여 스캐닝하여야 하므로 레이저 빔 강

도의 불균일성 및 레이저 빔 자체의 시간에 따르는 조사량의 불균일성 등의 문제점이 발생한다. 또한 장비의 가격은 물론 유지비용이 매우 비싸다는 단점이 있다.

[0004] RTA 법은 반도체 제조공정에서 널리 사용되고 있으나, 현재 기술로는 직경 300 mm 실리콘 웨이퍼에만 적용이 가능하고, 그 보다 넓은 기판을 균일하게 열처리하는데 아직 한계가 있다. 또한, 열처리의 최대 승온 속도가 400 °C/sec로서, 이 보다 더 큰 승온 속도를 요하는 공정에서는 사용이 불가능하다.

[0005] 따라서, 상기 문제점들을 해결하고 공정상의 제약으로부터 자유로울 수 있는 열처리 방법에 대한 많은 연구가 행해지고 있으며, 그 중에는, 도전층에 전계를 인가하여 주열 가열하는 급속 열처리 방법이 있으며, 이러한 열처리 방법은 발생한 고열의 열전도에 의해 소망하는 소재를 선택적으로 급속 열처리할 수 있고, 상기 RTA 공정의 승온 속도보다 훨씬 더 큰 승온 속도를 기대할 수 있다.

[0006] 그러나, 상기와 같이 전계 인가에 의한 주열 가열을 이용한 열처리 방법들에서 주열 가열 중에 발생하는 아크 등의 물리적 현상에 의한 불량을 해결하지 못하는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명은 소자에서 사용되는 전극용 금속을 이용하여 전계인가에 의한 결정화한 반도체층을 포함하는 박막트랜지스터, 그의 제조방법 및 그를 포함하는 유기전계발광표시장치를 제공함으로써, 종래에 금속막의 전도열에 의해 비정질 실리콘층을 결정화하는 과정에서 발생하는 아크문제를 해결하는 데 목적이 있다.

과제 해결수단

[0008] 본 발명은 박막트랜지스터, 그의 제조방법 및 그를 포함하는 유기전계발광표시장치에 관한 것으로서, 기판; 상기 기판 상에 위치하는 버퍼층; 상기 버퍼층 상에 위치하며 반도체층; 상기 반도체층 상에 위치하는 게이트 절연막; 상기 게이트 절연막 상에 위치하는 게이트 전극; 상기 게이트 전극을 포함하는 기판 전면에 걸쳐 위치하는 제 1콘택홀 및 제 2 콘택홀을 포함하는 층간절연막; 및 상기 층간절연막 상에 위치하며, 상기 게이트 전극과 절연되며, 상기 제 1콘택홀을 통하여 상기 반도체층과 일부가 연결되는 소스/드레인 전극을 포함하는 박막트랜지스터 및 그의 제조방법에 관한 것이다.

[0009] 또한, 기판; 상기 기판 상에 위치하는 버퍼층; 상기 버퍼층 상에 위치하며 반도체층; 상기 반도체층 상에 위치하는 게이트 절연막; 상기 게이트 절연막 상에 위치하는 게이트 전극; 상기 게이트 전극을 포함하는 기판 전면에 걸쳐 위치하는 제 1콘택홀 및 제 2 콘택홀을 포함하는 층간절연막; 및 상기 층간절연막 상에 위치하며, 상기 게이트 전극과 절연되며, 상기 제 1콘택홀을 통하여 상기 반도체층과 일부가 연결되는 소스/드레인 전극; 상기 기판 전면에 걸쳐 위치하는 보호막; 및 상기 보호막 상에 위치하며, 상기 소스/드레인 전극과 전기적으로 연결되는 제 1 전극, 유기막층 및 제 2 전극을 포함하는 유기전계발광표시장치에 관한 것이다.

효 과

[0010] 본 발명은 전극을 형성할 때, 사용하는 소스/드레인 전극용 박막에 전계를 인가하여 사용하여 비정질실리콘층을 다결정실리콘층으로 결정화 함으로써, 종래의 줄열(Joule heating)에 의한 다결정실리콘층 제조시 발생하는 아크의 문제점을 해결할 수 있는 것으로, 불량을 감소하고 생산수율을 향상시킬 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0011] 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시 예를 첨부된 도면을 참조하여 보다 상세하게 설명한다. 그러나 본 발명은 여기서 설명되어지는 실시 예에 한정되지 않고 다른 형태로 구체화 될 수도 있다.

[0012] (실시예1)

[0013] 도 1a 내지 도 1d는 본 발명의 실시예에 따른 박막트랜지스터를 설명하기 위한 단면도이다.

[0014] 도 1a를 참조하면, 기판(100)이 위치한다. 상기 기판(100)은 유리 또는 플라스틱 등일 수 있다. 상기 기판(100) 상에 버퍼층(110)이 위치할 수 있다. 상기 버퍼층(110)은 상기 기판(100)에서 발생하는 수분 또는 불순물의 확산을 방지하거나, 결정화 시 열의 전달 속도를 조절함으로써, 비정질 실리콘층의 결정화가 잘 이루어질 수 있도록

록 하는 역할을 하며, 실리콘 산화막, 실리콘 질화막과 같은 절연막을 이용하여 단층 또는 이들의 복층으로 형성할 수 있다.

[0015] 그리고 나서, 상기 기판(100) 상에 비정질 실리콘층을 형성한 후, 이후 반도체층(도1c에 기재)으로 사용될 수 있도록 패터닝하여 반도체층 패턴(120a)을 형성한다.

[0016] 이어서, 도 1b를 참조하면, 상기 비정질 실리콘층(120a)을 포함하는 기판 전면에 걸쳐 게이트 절연막(130)이 위치한다. 상기 게이트 절연막(130)은 실리콘 산화막, 실리콘 질화막 또는 이들의 이중층일 수 있다.

[0017] 그리고 나서, 상기 게이트 절연막(130) 상에 상기 반도체층 패턴(120a)에 대응되는 게이트 전극(140)을 형성한다.

[0018] 상기 게이트 전극은 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일층이나, 크롬(Cr) 또는 몰리브덴(Mo) 합금 위에 알루미늄 합금이 적층된 다중층일 수 있다.

[0019] 그리고 나서, 상기 기판전면에 걸쳐 층간 절연막(150)을 형성한다. 상기 층간 절연막(150)은 실리콘 질화막, 실리콘 산화막 또는 이들의 다중층일 수도 있다.

[0020] 도 1c를 참조하면, 상기 층간절연막(150)을 형성한 후, 상기 층간절연막의 일부를 식각하여 제 1콘택홀(160a)과 제 2콘택홀(160b)를 형성한다. 이때, 제 1콘택홀(160a)는 상기 게이트 절연막(130) 과 상기 층간절연막(150)의 일부를 식각하여 상기 반도체층 패턴(120a)의 일부를 노출시키게 된다. 그리고 제 2콘택홀(160b)은 상기 게이트 전극(140)의 상부에 대응되는 층간절연막(160c)의 일부를 식각하여 상기 게이트 전극의 일부를 노출시키게 형성한다.

[0021] 그리고 나서, 상기 기판(100) 전면에 걸쳐 소스/드레인 전극용 금속막(160)을 전면에 걸쳐 형성한다. 이후, 상기 소스/드레인 전극용 금속막(160)에 전계를 인가하여 상기 소스/드레인 전극용 금속막을 가열함으로써, 상기 가열된 소스/드레인 전극용 금속막의 열전도에 의하여 하부에 위치하는 비정질 실리콘층으로 이루어진 상기 반도체층 패턴(120a)를 결정화하여 다결정실리콘층으로 이루어진 반도체층(120)을 완성한다.

[0022] 상기와 같이 소스/드레인 전극용 금속막(160a)가 상기 제 1콘택홀(160a)를 통하여, 상기 반도체층(120)과 연결되어 있기 때문에, 결정화시 발생하는 아크를 방지하여 불량을 줄일 수 있는 효과가 있다. 그리고 제 2 콘택홀(160b)를 통하여 상기 게이트 전극(140)과 연결되어 있으므로, 상기 소스/드레인 전극용 금속막(160a)의 전도율이 상기 게이트 전극(140)에도 전도되기 때문에 하부에 위치하는 상기 반도체층(120)에 열전도가 더욱 효과적이어서 결정화를 더 잘 이룰 수 있는 장점이 있다.

[0023] 이때, 상기 결정화를 바람직하게 진행하기 약 100내지 10000V/cm²를, 1 μ s 내지 1sec 동안 가해준다. 그 이유는 100V이하의 전계는 결정화를 진행하기 부족한 줄열을 내며, 10000V이상의 전계는 국부적인 아크를 발생시킨다. 그리고 1 μ s이하로 전계를 가해주면 불충분한 줄열(Joule heating)로 결정화가 진행되기 어려우며, 1sec이상 가해주면 기판이 휘거나 열전도로 인한 가장자리의 결정화불량이 발생하여 소자에 악영향을 줄 수 있기 때문이다.

[0024] 도 1d를 참조하면, 상기와 같이 결정화를 하여 다결정실리콘층으로 이루어진 반도체층(120)을 형성한 후, 상기 소스/드레인 전극용 금속막(160)을 패터닝하여, 소스/드레인 전극(160s, 160d)을 패터닝한다. 이때, 상기 게이트 전극(140) 상의 제 2콘택홀(160b)에는 상기 소스/드레인 전극용 금속막 패턴(160c)가 남을 수 있다.

[0025] 상기 소스/드레인 전극용 금속막(160a)은 일반적으로 상기 소스/드레인 전극(160s, 160d)을 형성하기 위한 두께로 형성하면 되고, 바람직하게 50 내지 200 nm로 형성한다. 그 이유는 50nm 보다 얇게 형성할 경우 게이트 전극용 금속막(140a)이 불균일하게 형성되어 비정질 실리콘층 내에 열 전도가 균일하지 못해 불균일한 결정화가 일어나기 때문이고, 이후, 패터닝하여 게이트 전극으로 형성시에는 200nm 이하의 두께가 전극으로써 역할을 하기에 무리가 없으며 박막소자로서 적당한 두께이기 때문이다.

[0026] 상기 소스/드레인 전극용 금속막(160a)은 몰리브덴(Mo), 크롬(Cr), 텅스텐(W), 몰리브덴텅스텐(MoW), 알루미늄(Al), 알루미늄-네오디뮴(Al-Nd), 티타늄(Ti), 질화티타늄(TiN), 구리(Cu), 몰리브덴 합금(Mo alloy), 알루미늄 합금(Al alloy), 및 구리 합금(Cu alloy) 중에서 선택되는 어느 하나로 형성될 수 있다.

[0027] 이로써 본 발명의 실시예1에 따른 박막트랜지스터는 완성된다.

[0028] (실시예2)

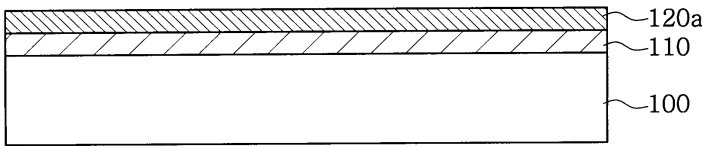
- [0029] 실시예2는 실시예1에서 설명한 제 2콘택홀(160b)가 형성되는 것에 대한 일부가 상이할 뿐, 이외의 모든 것을 실시예1과 동일하므로, 중복되는 부분은 생략한다.
- [0030] 도 2a를 참조하면, 실시예1의 도 1a 및 도1b와 동일한 방법으로, 기관(100), 버퍼층(110), 비정질실리콘층으로 이루어진 반도체층 패턴(120a), 게이트 절연막(130) 및 게이트 전극(140)을 형성한 후, 상기 기관(100) 전면에 걸쳐 층간 절연막(150)을 형성한다.
- [0031] 그리고 나서, 상기 게이트 절연막(130) 및 층간절연막(150)의 일부를 식각하여 제 1콘택홀(160a)과 제 2콘택홀(160b)를 형성한다. 이때, 제 1콘택홀(160a)는 상기 게이트 절연막(130) 과 상기 층간절연막(150)의 일부를 식각하여 상기 반도체층 패턴(120a)의 일부를 노출시키게 된다.
- [0032] 그리고 제 2콘택홀(160b)은 상기 게이트 전극(140)의 상부에 대응되는 층간절연막(160c)의 일부를 식각하여 상기 게이트 전극의 일부를 노출시키도록 형성한다. 이때, 상기 제 2 콘택홀에(160b)에 의해 노출되는 게이트 전극(140)의 영역은 이후 형성될 반도체층(120)(도2b에 도시)의 채널영역(120c)에 대응되는 영역이다. 상기과 같이 제 2콘택홀을 형성하는 경우에는 상기 소스/드레인 전극용 금속막(160a)이 게이트 전극(140)과 연결되는 면적이 이후 반도체층(120)(도2b에 도시)의 채널영역의 상부이기 때문에 채널영역으로의 열전도가 효과적이므로, 채널영역의 결정화를 더욱 효과적으로하여 소자특성을 더 향상시킬 수 있다.
- [0033] 이후에, 상기 기관(100)에 걸쳐 소스/드레인 전극용 금속막(160a)을 형성한 후, 실시예1에서 설명한 방법과 동일한 방법으로 상기 반도체층 패턴(120a)을 결정화하여 다결정실리콘층으로 이루어진 반도체층(120)을 형성한다.
- [0034] 그리고 나서, 실시예1에서와 동일하게 소스/드레인 전극용 금속막(160a)를 패터닝하여 소스/드레인 전극(160s, 160d)를 형성한다. 이때 상기 게이트 전극(140) 상부의 제 2콘택홀(160b)에는 상기 소스/드레인 전극용 금속막 패턴(160c)가 남아있을 수 있다.
- [0035] 이로써 본 발명의 실시예2에 따른 박막트랜지스터는 완성된다.
- [0036] 도 3는 본 발명의 다른 박막트랜지스터를 포함하는 유기전계발광표시장치의 단면도이며, 여기서는 실시예1에서 설명한 박막트랜지스터를 포함하는 것을 예로들어 설명한다.
- [0037] 도 3를 참조하면, 상기 본 발명의 도 1a 내지 도 1d의 실시예에 따른 박막트랜지스터를 포함하는 상기 기관(100) 전면에 보호막(210)을 형성한다. 상기 보호막(210)은 무기막인 실리콘 산화막, 실리콘 질화막 또는 실리콘 게이트 온 글래스 중에서 선택되는 어느 하나 또는 유기막인 폴리이미드(polyimide), 벤조사이클로부티렌계 수지(benzocyclobutene series resin) 또는 아크릴레이트(acrylate) 중에서 선택되는 어느 하나로 형성할 수 있다. 또한 상기 무기막과 상기 유기막의 적층구조로 형성될 수도 있다.
- [0038] 상기 보호막(210)을 식각하여 상기 소오스 또는 드레인 전극(160s, 160d)을 노출시키는 비아홀을 형성한다. 상기 비아홀을 통하여 상기 소오스 또는 드레인 전극(160s, 160d) 중 어느 하나와 연결되는 제 1 전극(220)을 형성한다. 상기 제 1 전극(220)은 애노드 또는 캐소드로 형성할 수 있다. 상기 제 1 전극(220)이 애노드인 경우, 상기 애노드는 ITO, IZO 또는 ITZO 중에서 어느 하나로 이루어진 투명 도전막으로 형성할 수 있으며, 캐소드인 경우 상기 캐소드는 Mg, Ca, Al, Ag, Ba 또는 이들의 합금을 사용하여 형성할 수 있다.
- [0039] 이어서, 상기 제 1 전극(220) 상에 상기 제 1 전극(220)의 표면 일부를 노출시키는 개구부를 갖는 화소정의막(230)을 형성하고, 상기 노출된 제 1 전극(220) 상에 발광층을 포함하는 유기막층(240)을 형성한다. 상기 유기막층(240)에는 정공주입층, 정공수송층, 정공억제층, 전자억제층, 전자주입층 및 전자수송층으로 이루어진 군에서 선택되는 하나 또는 복수의 층을 더욱 포함할 수 있다. 이어서, 상기 유기막층(240) 상에 제 2 전극(250)을 형성한다. 이로써 본 발명의 일 실시예에 따른 유기전계발광표시장치를 완성한다.

도면의 간단한 설명

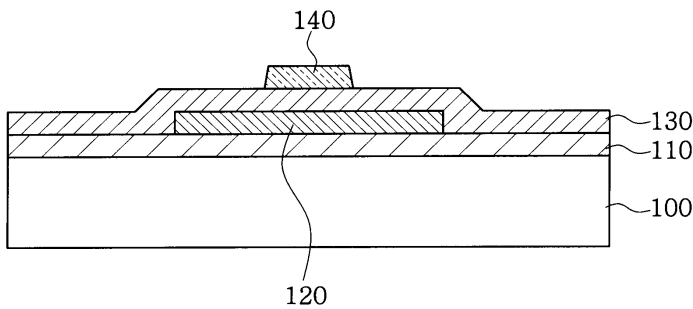
- [0040] 도 1a 내지 1d는 본 발명에 제 1 실시예에 따른 박막트랜지스터에 관한 단면도이다.
- [0041] 도 2a 내지 2b는 본 발명에 제 2 실시예에 따른 박막트랜지스터에 관한 단면도이다.
- [0042] 도 3은 본 발명에 따른 유기전계발광표시장치에 관한 단면도이다.

도면

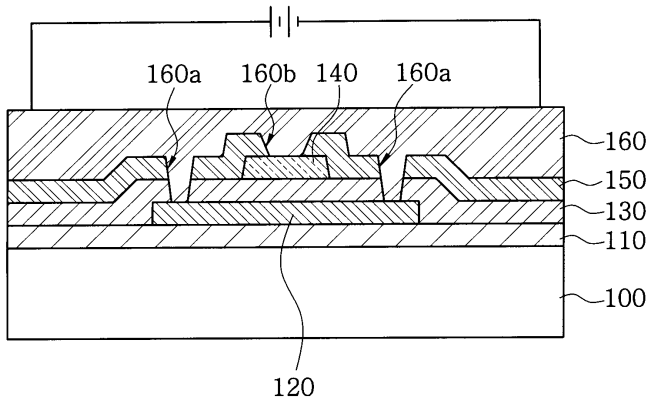
도면1a



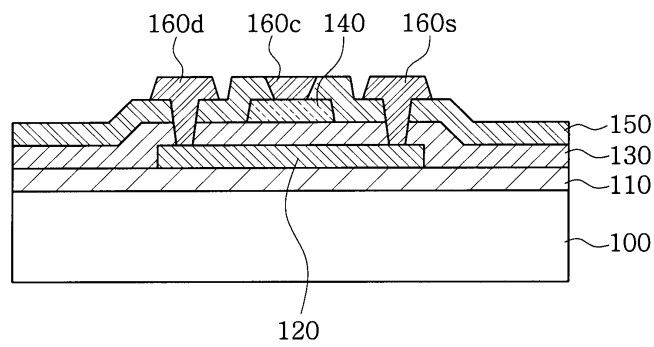
도면1b



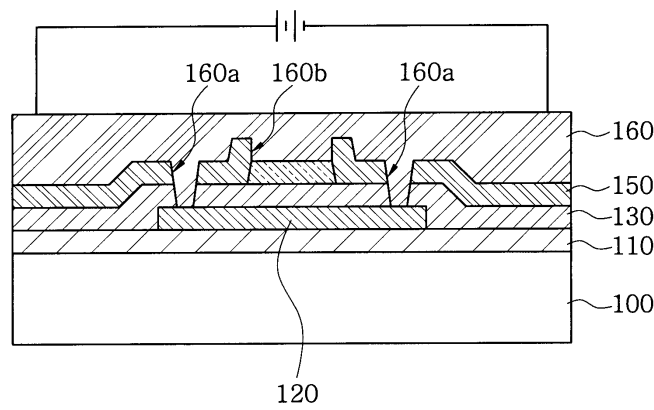
도면1c



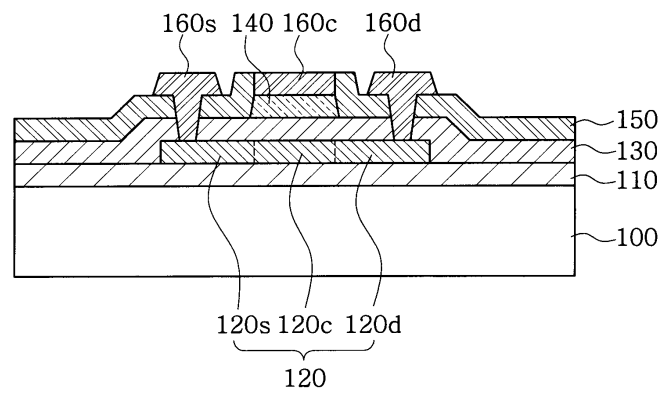
도면1d



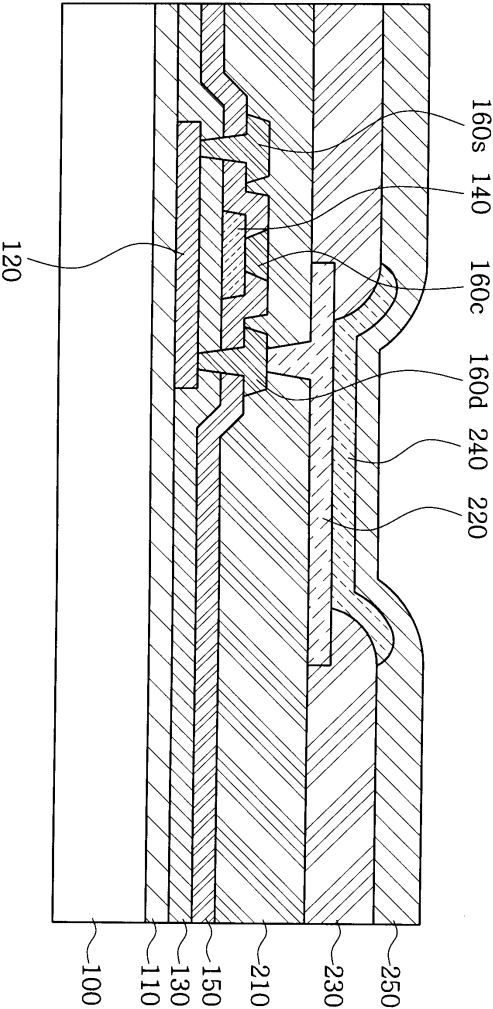
도면2a



도면2b



도면3



专利名称(译)	薄膜晶体管，其制造方法以及包括该薄膜晶体管的有机电致发光显示装置		
公开(公告)号	KR101002667B1	公开(公告)日	2010-12-21
申请号	KR1020080064001	申请日	2008-07-02
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	AHN JI SU 안지수 KIM SUNG CHUL 김성철		
发明人	안지수 김성철		
IPC分类号	H05B33/26 H01L29/786 H01L H01L51/50 H05B		
CPC分类号	H01L27/3262 H01L21/02532 H01L27/1214 H01L29/66757 H01L21/02667 H01L27/124 H01L27/1281		
其他公开文献	KR1020100003936A		
外部链接	Espacenet		

摘要(译)

薄膜晶体管，其制造方法以及包括该薄膜晶体管的有机发光显示器技术领域位于基板上的缓冲层;位于缓冲层上的半导体层;栅极绝缘膜设置在半导体层上;栅极电极设置在栅极绝缘膜上;层间绝缘膜设置在包括栅电极的基板的整个表面上，层间绝缘膜包括第一接触孔和第二接触孔;并且，位于层间绝缘膜上的源/漏电极与栅电极绝缘，并且通过第一接触孔部分地连接到半导体层，以及制造该源/漏电极的方法。基板;位于基板上的缓冲层;位于缓冲层上的半导体层;栅极绝缘膜设置在半导体层上;栅电极设置在栅极绝缘膜上;层间绝缘膜设置在包括栅电极的基板的整个表面上，层间绝缘膜包括第一接触孔和第二接触孔;源/漏电极设置在层间绝缘层上，源/漏电极与栅电极绝缘并通过第一接触孔部分地连接到半导体层;保护层设置在基板的整个表面上;以及包括第一电极，有机层和第二电极的有机电致发光显示装置，其位于保护层上并且电连接到源/漏电极。

