



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년05월27일
(11) 등록번호 10-0899426
(24) 등록일자 2009년05월19일

(51) Int. Cl.

H05B 33/10 (2006.01) H01L 51/56 (2006.01)

(21) 출원번호 10-2007-0093538

(22) 출원일자 2007년09월14일

심사청구일자 2007년09월14일

(65) 공개번호 10-2009-0028166

(43) 공개일자 2009년03월18일

(56) 선행기술조사문헌

KR1020060134471 A*

KR1020030053563 A*

KR1020040025093 A*

KR100637188 B1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

조수범

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

여종모

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

(뒷면에 계속)

(74) 대리인

박상수

전체 청구항 수 : 총 12 항

심사관 : 최창락

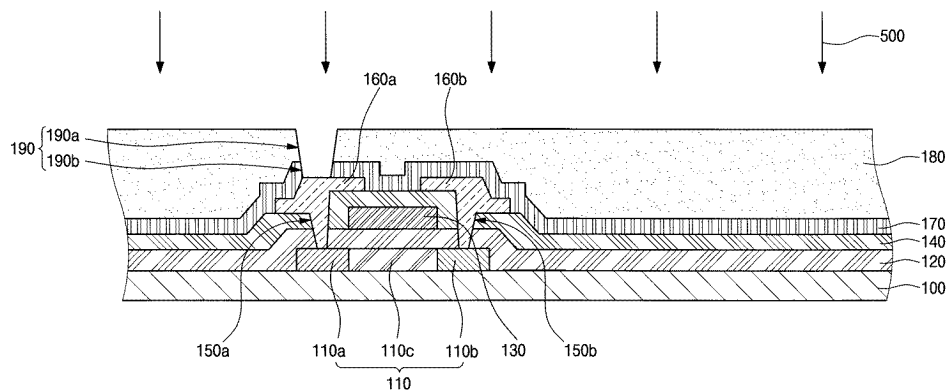
(54) 유기 전계 발광표시장치 제조방법

(57) 요약

본 발명은 유기 전계 발광표시장치 제조방법에 관한 것으로 먼저, 평탄화막을 열처리하여 경화시키고, 에칭처리한다. 이어서, 상기 평탄화막을 표면처리하여 평탄화막의 거칠기를 더욱 감소시킬 수 있다.

따라서, 상기 평탄화막의 거칠기로 인한 유기 전계 발광표시장치의 반사율 저하 및 색좌표 변화 등의 문제점을 개선할 수 있다.

대표도



(72) 발명자

손중훈

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

정인영

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

유경진

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

노대현

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

권도현

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

임충열

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

특허청구의 범위

청구항 1

기관을 제공하고;

상기 기관 상에 박막트랜지스터를 형성하고;

상기 기관 전면에 보호막을 형성하고;

상기 보호막 상에 평탄화막을 형성하고;

상기 평탄화막을 노광 및 현상하여 상기 박막트랜지스터의 소스/드레인 전극 중 어느 하나의 상부에 형성되어 있는 상기 보호막을 노출 시키는 제1비아 홀을 형성하고;

상기 평탄화막을 열처리하여 경화시키고;

상기 보호막을 건식식각하여 제2비아 홀을 형성하고;

상기 평탄화막을 에칭처리하고;

상기 평탄화막 상에 상기 제1 및 제2비아 홀을 통해 상기 소스/드레인 전극 중 어느 하나와 연결되는 화소전극을 형성하고;

상기 화소전극 상에 유기발광층을 포함하는 유기막층을 형성하고;

상기 기관 전면에 대향전극을 형성하는 것을 포함하며,

상기 에칭처리는 공정압력 100 내지 200m Torr, 소스전력은 1 내지 2Kw, 바이어스 전력 200 내지 500W, 산소유량 200 내지 1000sccm의 범위에서 진행하는 것을 특징으로 하는 유기 전계 발광 표시장치 제조방법.

청구항 2

제1항에 있어서,

상기 평탄화막 에칭처리 이후에 상기 평탄화막을 표면처리하는 것을 특징으로 하는 유기 전계 발광표시장치 제조방법.

청구항 3

제1항에 있어서,

상기 열처리는 200 내지 300℃에서 1 내지 2시간 동안 진행하는 것을 특징으로 하는 유기 전계 발광표시장치 제조방법.

청구항 4

제1항에 있어서,

상기 열처리는 250℃에서 1시간 동안 진행하는 것을 특징으로 하는 유기 전계 발광표시장치 제조방법.

청구항 5

삭제

청구항 6

제1항에 있어서,

상기 에칭처리는 공정압력 150m Torr, 소스전력 1.5Kw, 바이어스 전력 350W, 산소유량 500sccm으로 진행하는 것을 특징으로 하는 유기 전계 발광 표시장치 제조방법.

청구항 7

제2항에 있어서,

상기 표면처리하는 현상액에서 0.5 내지 5분간 처리하는 방법, 자외선에서 0.5 내지 5분간 처리하는 방법 및 오존수에서 0.5 내지 5분간 처리하는 방법 중 어느 하나 이거나 이들을 연속적으로 처리하는 방법인 것을 특징으로 하는 유기 전계 발광표시장치 제조방법.

청구항 8

제2항에 있어서,

상기 표면처리하는 현상액 TMAH 2.38%(Tetra Methyl Ammonium Hydroxide)으로 1분간 처리하는 것을 특징으로 하는 유기 전계 발광표시장치 제조방법.

청구항 9

제2항에 있어서,

상기 표면처리하는 자외선 및 현상액 TMAH 2.38%(Tetra Methyl Ammonium Hydroxide)으로 각각 1분간 연속적으로 처리하는 것을 특징으로 하는 유기 전계 발광표시장치 제조방법.

청구항 10

제2항에 있어서,

상기 표면처리하는 오존수 및 현상액 TMAH 2.38%(Tetra Methyl Ammonium Hydroxide)으로 각각 1분간 연속적으로 처리하는 것을 특징으로 하는 유기 전계 발광표시장치 제조방법.

청구항 11

제1항에 있어서,

상기 화소전극은 반사막을 포함하며 형성하는 것을 특징으로 하는 유기 전계 발광표시장치 제조방법.

청구항 12

제1항에 있어서,

상기 제2비아 홀은 상기 평탄화막을 마스크로 하여 건식식각으로 형성하는 것을 특징으로 하는 유기 전계 발광표시장치 제조방법.

청구항 13

제1항에 있어서,

상기 건식식각은 반응성이온 식각, 플라즈마 식각 및 유도결합형 플라즈마 식각 군에서 선택된 어느 하나를 이용하는 것을 특징으로 하는 유기 전계 발광표시장치 제조방법.

명 세 서

발명의 상세한 설명

기술 분야

<1> 본 발명은 유기 전계 발광표시장치 제조방법에 관한 것으로, 보다 상세하게는 평탄화막을 구비하는 유기 전계 발광표시장치 제조방법에 관한 것이다.

배경 기술

<2> 일반적으로, 평판 표시 장치는 액정 표시 장치(Liquid Crystal Display; LCD), 전계 방출 디스플레이 장치(Field Emission Display; FED), 플라즈마 표시 장치(Plasma Display Panel; PDP), 유기 전계 발광표시장치(Organic Light Emitting Diode display; OLED) 등으로 나누어진다.

<3> 이들 중 상기 유기 전계 발광표시장치는 구동하는 방법에 따라 수동 매트릭스방식과 능동 매트릭스방식으로 나

뒤틀린다.

- <4> 상기 능동 매트릭스방식의 유기 전계 발광발광표시장치는 박막 트랜지스터와 유기 전계 발광소자 사이에 형성되는 보호막과 평탄화막을 관통하는 비아홀을 포함한다. 상기 비아홀은 제조공정 시 마스크 절감을 위해서 평탄화막 자체를 마스크로 사용하여 건식식각할 수 있다.
- <5> 그러나, 상기 건식식각 공정은 상기 평탄화막이 건식식각 시 발생하는 플라즈마와 직접 접촉되기 때문에 평탄화막의 손상을 초래하여 돌기형태의 거칠기가 증가되는 문제점이 있다.
- <6> 결국, 이러한 거칠기는 상기 평탄화막 상에 형성되는 반사막을 포함하는 화소전극의 불균일한 증착을 야기시켜 유기 전계 발광표시장치의 발광 시 난반사에 의한 반사율 저하 및 색좌표 변화 등을 초래할 수 있다.

발명의 내용

해결 하고자하는 과제

- <7> 따라서, 본 발명은 상기와 같은 종래 기술의 제반 문제점을 해결하기 위한 것으로, 평탄화막의 거칠기를 감소시키는데 그 목적이 있다.

과제 해결수단

- <8> 본 발명의 상기 목적은 기판을 제공하고; 상기 기판 상에 박막트랜지스터를 형성하고; 상기 기판 전면의 보호막을 형성하고; 상기 보호막 상에 평탄화막을 형성하고; 상기 평탄화막을 노광 및 현상하여 상기 박막트랜지스터의 소스/드레인 전극 중 어느 하나의 상부에 형성되어 있는 상기 보호막을 노출시키는 제1비아 홀을 형성하고; 상기 평탄화막을 열처리하여 경화시키고; 상기 보호막을 건식식각하여 제2비아 홀을 형성하고; 상기 평탄화막을 에칭처리하고; 상기 평탄화막 상에 상기 제1 및 제2비아 홀을 통해 상기 소스/드레인 전극 중 어느 하나와 연결되는 화소전극을 형성하고; 상기 화소전극 상에 유기발광층을 포함하는 유기막층을 형성하고; 상기 기판 전면의 대향전극을 형성하는 포함하는 것을 특징으로 하는 유기 전계 발광표시장치 제조방법에 의해 달성된다.

효 과

- <9> 따라서, 본 발명의 유기 전계 발광표시장치 및 그 제조방법은 난반사로 인한 반사율 감소 및 색좌표 변화 등의 문제점을 개선할 수 있다.

발명의 실시를 위한 구체적인 내용

- <10> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시 예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다. 또한 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- <11> 도 1a 내지 1i는 본 발명에 의한 유기 전계 발광표시장치의 제조공정을 나타내는 단면도이다.
- <12> 먼저, 도 1a를 참조하면, 유리 또는 플라스틱 재질의 절연성 기판(100) 상에 버퍼층(미도시)을 형성한다. 상기 버퍼층은 화학적 기상 증착(Chemical Vapor Deposition)법 또는 물리적 기상 증착(Physical Vapor Deposition)법을 이용하여 형성할 수 있다.
- <13> 이때, 상기 버퍼층은 상기 기판(100)에서 발생하는 수분 또는 불순물의 확산을 방지하거나, 결정화 시 열의 전달 속도를 조절함으로써, 비정질 실리콘층의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.
- <14> 이어서, 상기 버퍼층 상에 비정질 실리콘층(미도시)을 형성한다. 상기 비정질 실리콘층은 스퍼터링 장치와 같은 물리적 기상 증착법(Physical Vapor Deposition) 또는 PECVD(Plasma Enhanced Chemical Vapor Deposition) 또는 LPCVD(Low Pressure Chemical Vapor Deposition) 장치와 같은 화학적 기상 증착법(Chemical Vapor Deposition)을 이용하여 형성할 수 있다.
- <15> 또한, 상기 비정질 실리콘층을 형성할 때, 또는, 형성한 후에 탈수소 처리하여 수소의 농도를 낮추는 공정을 진행할 수 있다.
- <16> 이어서, 상기 비정질 실리콘층은 결정화하여 다결정 실리콘층으로 형성한다. 상기 비정질 실리콘층을 결정화하

는 방법에는 ELA(Excimer Laser Annealing), SLS(Sequential Lateral Solidification), MIC(Metal Induced Crystallization) MILC(Metal Induced Later Crystallization) 또는 SGS(Super Grained Silicon) 등을 사용할 수 있다.

- <17> 이어서, 상기 다결정 실리콘층을 패터닝하여 일정 패턴의 반도체층(110)을 형성한다.
- <18> 다음으로, 도 1b를 참조하면, 상기 반도체층(110)이 형성된 기판 전면에 게이트 절연막(120)을 형성하여 하부에 형성된 소자들을 보호하고, 상기 게이트 절연막(120) 상부에 형성될 소자들과 전기적으로 절연시킨다.
- <19> 이어서, 상기 게이트 절연막(120) 상에는 알루미늄(Al), 알루미늄 합금(Al alloy), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy) 중 어느 하나로 게이트 메탈층(미도시)을 증착한다.
- <20> 이어서, 상기 게이트 메탈층을 패터닝하여 반도체층(110)의 일정영역에 대응되는 게이트 전극(130)을 형성한다.
- <21> 이어서, 상기 게이트 전극(130)을 마스크로 사용하여 N형 또는 P형 불순물 중 어느 하나를 주입하는 공정을 진행하여 상기 반도체층(110)에 소스/드레인(110a, 110b) 영역 및 채널영역(110c)을 형성한다. 이때, 상기 반도체층(110)이 소스/드레인 영역(110a, 110b)과 채널 영역(110c)으로 나누어지는 것은 상기 불순물 주입 공정에 의해 불순물이 주입된 영역은 소스/드레인 영역(110a, 110d)으로 정의되고, 상기 게이트 전극(130)에 의해 불순물이 주입되지 못하는 영역은 박막트랜지스터 구동 시 채널이 형성되는 채널영역(110c)으로 정의되기 때문이다.
- <22> 이어서, 상기 기판 전면에는 층간 절연막(140)을 형성하는데, 상기 층간 절연막(140)은 하부에 형성된 소자들을 보호하며 전기적인 절연을 목적으로 한다.
- <23> 이 때, 상기 버퍼층(미도시), 게이트 절연막(120) 및 층간 절연막(140)은 SiO₂ 또는 SiN_x로 형성될 수 있으며, 이들로 구성된 복수의 층으로도 이루어질 수 있다.
- <24> 이어서, 상기 층간 절연막(140)과 게이트 절연막(120)을 관통하여 반도체층(110)의 소스/드레인 영역(110a, 110b) 일부가 노출되도록 콘택 홀(150a, 150b)을 각각 형성한다.
- <25> 이어서, 상기 층간 절연막(140) 상에 상기 콘택 홀(150a, 150b)을 통하여 반도체층(110)의 소스/드레인 영역(110a, 110b)과 연결되는 일정패턴의 소스/드레인 전극(160a, 160b)을 형성하여 박막트랜지스터를 형성한다.
- <26> 상기 소스/드레인 전극(160a, 160b)은 알루미늄(Al), 알루미늄 합금(Al alloy), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy) 중 어느 하나로 이루어질 수 있다.
- <27> 다음으로, 도 1c를 참조하면, 상기 박막트랜지스터 전면에 보호막(170)을 형성하는데, 상기 보호막(170)은 SiO₂ 또는 SiN_x와 이들의 복수 층으로 이루어질 수 있다.
- <28> 이어서, 상기 보호막(170) 상에는 평탄화막(180)을 형성하는데, 상기 평탄화막(180)은 유기막으로 형성되며, 상기 기판상의 단차를 완화하기 아크릴, BCB(benzocyclobutene) 및 폴리이미드로 이루어진 군에서 선택된 어느 하나의 감광이 가능한 물질로 이루어지는 것이 바람직하다.
- <29> 다음으로, 도 1d를 참조하면, 상기 평탄화막(180)은 노광 및 현상공정(200)을 거쳐서 상기 소스/드레인 전극(160a, 160b) 상부에 형성된 보호막(170) 중 어느 하나를 노출시키는 제1비아 홀(190a)을 형성한다.
- <30> 다음으로, 도 1e를 참조하면, 상기 평탄화막(180)을 열처리(300)하는데, 상기 열처리(300) 공정은 진공 챔버 내에서 200℃ 내지 300℃ 의 온도로 1시간 내지 2시간 동안 진행하여 상기 평탄화막(180)을 경화시킨다.
- <31> 이러한, 열처리(300) 공정을 통해 상기 평탄화막(180)을 단단하게 경화시키는 것은 다음공정에서 상기 평탄화막(180)을 마스크로 건식식각하여 제2비아 홀(190b)를 형성할 경우 발생하는 평탄화막(180)의 거칠기를 감소시키기 위함이다.
- <32> 다음으로, 도 1f를 참조하면, 상기 제1비아홀(190a)이 형성된 평탄화막(180)을 마스크로 하여 상기 보호막(170)을 건식식각(400) 한다. 이때, 상기 평탄화막(180)의 제1비아홀(190a)에 의해 노출된 보호막(170)에 제2비아홀(190b)이 형성된다.
- <33> 따라서, 상기 보호막(170)을 관통하여 소스/드레인 전극(160a, 160b) 중 어느 하나의 일정영역을 노출시키는 제2비아홀(190b)이 형성되며, 제1비아홀(190a)과 제2비아홀(190b)로 구성되는 비아홀(190)이 완성된다.
- <34> 보다 자세하게는, 상기 건식 식각(400)은 반응성이온 식각, 플라즈마 식각 및 유도결합형 플라즈마 식각의 군에서 선택된 어느 하나를 이용할 수 있다.

- <35> 다음으로, 도 1g를 참조하면, 상기 평탄화막(180)에 에싱처리(500)를 한다.
- <36> 상기 에싱처리(500)는 공정압력 100 내지 200m Torr의 범위에서 진행하며, 소스전력은 1kW 내지 2Kw, 바이어스 전력은 200 내지 500W, 산소유량은 200 내지 1000sccm으로 하여 진행할 수 있다.
- <37> 이때, 평탄화막(180)의 거칠기를 최소화하기 위해서는 공정압력의 최적화가 중요한데, 저압으로 갈수록 에싱속도를 증가하지만, 거칠기는 커진다. 반대로, 공정압력이 고압일수록 에싱속도는 감소하지만, 거칠기는 감소하게 된다.
- <38> 이러한, 에싱처리(500)를 추가로 진행하는 것은 상기 열처리(300) 공정에 의한 평탄화막(180) 경화만으로는 건식식각(400) 시 발생하는 의한 거칠기를 방지하는 데는 한계가 있기 때문이다.
- <39> 다음으로, 도 1h를 참조하면, 상기 평탄화막(180)에 표면처리(600)를 추가로 진행함으로써 더욱 평탄화막(180)의 거칠기를 감소시킬 수 있다.
- <40> 상기 표면처리(600)는 현상액에서 0.5 내지 5분 이내로 표면처리하는 방법, 자외선(EUV: Extreme Ultra Violet)에 노출하여 0.5 내지 5분 이내로 표면처리하는 방법 및 오존수(O3)로 0.5 내지 5분 이내로 표면처리하는 방법 중 어느 하나 이거나 이들을 연속적으로 사용하여 진행할 수도 있다.
- <41> 상기 현상액으로는 종래 유기물 현상액의 성분으로서 공지된 것을 제한없이 사용할 수 있는데, 2.38% 중량의 TMAH(Tetra Methyl Ammonium Hydroxide) 알칼리 수용액일 수 있다.
- <42> 다음으로, 도 1i를 참조하면, 상기 평탄화막(180) 상에 반사막(200b) 및 투명전극(200a)을 포함하는 화소전극(200)을 형성한다. 상기 화소전극(200)은 비아홀(190)을 통해 노출된 소스/드레인 전극(160a, 160b) 중 어느 하나와 연결된다.
- <43> 상기 화소 전극(200)은 Pt, Au, Ir, Cr, Mg, Ag, Al 및 이들의 합금으로 이루어진 군에서 어느 하나로 이루어진 반사전극(200b) 상에 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)의 투명전극(200a)이 적층된 구조일 수 있다.
- <44> 상기 기판 전면에서 상기 화소 전극(200)의 일정 영역을 노출시키는 개구부를 구비하는 화소 정의막(210)을 형성한다. 상기 화소 정의막(210)은 BCB (benzocyclobutene), 아크릴계 고분자 및 폴리이미드로 이루어진 군에서 선택되는 하나의 물질일 수 있다.
- <45> 이어서, 상기 개구부로 노출된 화소 전극(200)상에는 유기 발광층(미도시)을 포함하는 유기막층(220)을 형성하고, 상기 기판 상부 전면에서 대향 전극(230)을 형성하여 유기 전계 발광표시장치를 구현한다.
- <46> 이러한, 본 발명은 보다 상세한 이해를 돕기 위해 실험 예 및 비교 예를 아래와 같이 제시한다. 다만, 하기의 실험 예는 본 발명의 이해를 돕기 위한 것일 뿐, 본 발명이 하기의 실험 예에 의해 한정되는 것은 아니다.
- <47> < 실험 예1 >
- <48> 먼저, 도면을 참조한 본 발명의 실시 예에서 설명된 바와 같이 기판상에 박막 트랜지스터를 형성하고, 상기 박막 트랜지스터 상에 SiNx로 보호막(170)을 형성하였다.
- <49> 이어서, 상기 보호막(170) 상에 아크릴을 이용하여 평탄화막(180)이 형성하였다.
- <50> 이어서, 상기 평탄화막(180)에 노광 및 현상공정(200)을 진행하여 상기 박막트랜지스터의 소스/드레인 전극(160a, 160b) 상에 형성된 보호막(170) 중 어느 하나의 일정영역을 노출시키는 제1비아 홀(190a)을 형성하였다.
- <51> 이어서, 상기 평탄화막(180)을 열처리(300) 하였는데, 상기 열처리(300)는 진공 챔버 내에서 250℃ 의 온도로 1 시간동안 진행되어 평탄화막(180)을 경화시켰다.
- <52> 이어서, 상기 제1비아 홀(190a)이 형성된 평탄화막(180)을 마스크로 사용하여, 유도결합형 플라즈마(ICP: Inductively Coupled Plasma)로 건식식각(400)하여 상기 소스/드레인 전극(160a, 160b)의 일정영역을 노출시키는 제2비아홀(190b)을 형성하였다.
- <53> 이어서, 상기 평탄화막(180) 표면의 거칠기를 감소시키기 위해 에싱처리(500)를 진행하였다. 상기 에싱처리(500)는 공정압력 150m Torr의 범위에서 진행하였으며, 소스파워는 1.5Kw, 바이어스 전력은 350W, 산소유량은 500sccm으로 하여 진행하였다.
- <54> 이어서, 상기 평탄화막(180) 거칠기를 더욱 개선시키기 위해 표면처리(600)를 진행하였다. 상기 표면처

리(600)는 현상액 TMAH 2.38%(Tetra Methyl Ammonium Hydroxide)으로 1분간 평탄화막(180)을 처리하였다.

<55> < 실험 예2 >

<56> 먼저, 도면을 참조한 본 발명의 실시 예에서 설명된 바와 같이 기판상에 박막 트랜지스터를 형성하고, 상기 박막 트랜지스터 상에 SiNx로 보호막(170)을 형성하였다.

<57> 이어서, 상기 보호막(170) 상에 아크릴을 이용하여 평탄화막(180)이 형성하였다.

<58> 이어서, 상기 평탄화막(180)에 노광 및 현상공정(200)을 진행하여 상기 박막트랜지스터의 소스/드레인 전극(160a, 160b) 상에 형성된 보호막(170) 중 어느 하나의 일정영역을 노출시키는 제1비아 홀(190a)을 형성하였다.

<59> 이어서, 상기 평탄화막(180)을 열처리(300) 하였는데, 상기 열처리(300)는 진공 챔버 내에서 250℃의 온도로 1시간동안 진행되어 평탄화막(180)을 경화시켰다.

<60> 이어서, 상기 제1비아 홀(190a)이 형성된 평탄화막(180)을 마스크로 사용하여, 유도결합형 플라즈마(ICP: Inductively Coupled Plasma)로 건식식각(400)하여 상기 소스/드레인 전극(160a, 160b)의 일정영역을 노출시키는 제2비아홀(190b)을 형성하였다.

<61> 이어서, 상기 평탄화막(180) 표면의 거칠기를 감소시키기 위해 에칭처리(500)를 진행하였다. 상기 에칭처리(500)는 공정압력 150m Torr의 범위에서 진행하였으며, 소스파워는 1.5Kw, 바이어스 전력은 350W, 산소유량은 500sccm으로 하여 진행하였다.

<62> 이어서, 상기 평탄화막(500) 거칠기를 더욱 개선시키기 위해 표면처리(600)를 진행하였다. 상기 표면처리(600)는 자외선(EUV)처리와 현상액 TMAH 2.38%(Tetra Methyl Ammonium Hydroxide)처리를 각각 1분간 연속적으로 처리하여 진행하였다.

<63> < 실험 예3 >

<64> 먼저, 도면을 참조한 본 발명의 실시 예에서 설명된 바와 같이 기판상에 박막 트랜지스터를 형성하고, 상기 박막 트랜지스터 상에 SiNx로 보호막(170)을 형성하였다.

<65> 이어서, 상기 보호막(170) 상에 아크릴을 이용하여 평탄화막(180)이 형성하였다.

<66> 이어서, 상기 평탄화막(180)에 노광 및 현상공정(200)을 진행하여 상기 박막트랜지스터의 소스/드레인 전극(160a, 160b) 상에 형성된 보호막(170) 중 어느 하나의 일정영역을 노출시키는 제1비아 홀(190a)을 형성하였다.

<67> 이어서, 상기 평탄화막(180)을 열처리(300) 하였는데, 상기 열처리(300)는 진공 챔버 내에서 250℃의 온도로 1시간동안 진행되어 평탄화막(180)을 경화시켰다.

<68> 이어서, 상기 제1비아 홀(190a)이 형성된 평탄화막(180)을 마스크로 사용하여, 유도결합형 플라즈마(ICP: Inductively Coupled Plasma)로 건식식각(400)하여 상기 소스/드레인 전극(160a, 160b)의 일정영역을 노출시키는 제2비아홀(190b)을 형성하였다.

<69> 이어서, 상기 평탄화막(180) 표면의 거칠기를 감소시키기 위해 에칭처리(500)를 진행하였다. 상기 에칭처리(500)는 공정압력 150m Torr의 범위에서 진행하였으며, 소스파워는 1.5Kw, 바이어스 전력은 350W, 산소유량은 500sccm으로 하여 진행하였다.

<70> 이어서, 상기 평탄화막(180) 거칠기를 더욱 개선시키기 위해 표면처리(600)를 수행하였다. 상기 표면처리(600)는 자외선(EUV)처리와 오존수(O3) 처리를 각각 1분간 연속적으로 처리하여 진행하였다.

<71> < 비교 예 >

<72> 먼저, 도면을 참조한 본 발명의 실시 예에서 설명된 바와 같이 박막 트랜지스터를 형성하고, 상기 박막 트랜지스터 상에 SiNx로 보호막(170)을 형성하였다.

<73> 이어서, 상기 보호막(170) 상에 아크릴을 이용하여 평탄화막(180)을 형성하였다.

<74> 이어서, 상기 평탄화막(180)을 노광 및 현상공정(200)을 진행하여 박막트랜지스터의 소스/드레인 전극(160a, 160b) 상에 형성된 보호막(170) 중 어느 하나의 일정영역을 노출시키는 제1비아 홀(190a)을 형성하였다.

<75> 이어서, 상기 제1비아 홀(190a)이 형성된 평탄화막(180)을 마스크로 사용하여, 유도결합형 플라즈마(ICP: Inductively Coupled Plasma)로 건식식각(400)하여 상기 소스/드레인 전극(160a, 160b)의 일정영역을 노출시키는

는 제2비아홀(190b)을 형성하였다.

<76> 이상의 실험 예1 내지 실험 예3과 비교 예는 각각의 평탄화막의 거칠기를 나타내는 사진인 도 2 내지 도 5에 의해 설명된다.

<77> 도 2는 실험 예1에 의한 평탄화막의 거칠기를 나타내는 SEM(Scanning Electron Microscope) 사진이다.

<78> 도 3은 실험 예2에 의한 평탄화막의 거칠기를 나타내는 AFM(Atomic Force Microscopy) 사진이다.

<79> 도 4는 실험 예3에 의한 평탄화막의 거칠기를 나타내는 AFM(Atomic Force Microscopy) 사진이다.

<80> 도 5는 비교 예에 의한 평탄화막의 거칠기를 나타내는 AFM(Atomic Force Microscopy) 사진이다.

<81> 상기 도 2 내지 도 5를 참조하여 평탄화막 거칠기를 정리하면 하기의 표 1과 같다.

<82> [표 1]

	실험 예1	실험 예2	실험 예3	비교 예
평탄화막 거칠기(RMS)	14.8 Å	12.5 Å	10 Å	78.6 Å

<84> 표 1를 참조하면, 본 발명에 의한 열처리(300)과 에칭처리(500) 및 표면처리(600) 공정을 진행한 실험 예1 내지 실험 예3은, 어떤 처리공정도 진행하지 않은 평탄화막 거칠기인 비교 예에 비해 상대적으로 작은 거칠기가 형성됨을 알 수 있다.

<85> 특히, 실험 예1과 같이 표면처리공정에서 현상액 처리만을 진행한 경우의 거칠기(14.8Å)에 비해, 실험 예2에서와 같이 표면처리공정에서 자외선처리와 현상액처리를 동시에 실시한 경우의 거칠기(12.5Å)와, 실험 예3에서와 같이 표면처리공정에서 자외선처리와 오존수처리를 동시에 실시한 경우의 거칠기(10Å)가 보다 양호하였다.

<86> 따라서, 표면처리는 현상액처리, 자외선처리 및 오존수처리 중에서 복수개의 방법으로 연속처리하는 것이 바람직하다.

<87> 이상의 본 발명의 상세한 설명에서는 반사막을 포함하는 화소전극을 구비하는 전면발광형 유기 전계 발광표시장치를 중심으로 설명하였다. 하지만, 반사막을 포함하지 않는 경우에도 보호막과 평탄화막을 포함하는 구조에서는 동일하게 적용될 수 있다.

<88> 또한, 상기 유기 전계 발광표시장치는 탑 게이트 전극 구조를 포함하는 박막트랜지스터만 설명하고 있지만, 이에 한정되지 않고 공지된 기술인 버텀 게이트 전극 구조의 박막트랜지스터를 포함할 수 있다.

<89> 본 발명은 이상에서 살펴본 바와 같이 바람직한 실시 예를 들어 도시하고 설명하였으나, 상기한 실시 예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

도면의 간단한 설명

<90> 도 1a 내지 1i는 본 발명에 의한 유기 전계 발광표시장치의 제조공정을 나타내는 단면도이다.

<91> 도 2는 실험 예1에 의한 평탄화막의 거칠기를 나타내는 SEM(Scanning Electron Microscope) 사진이다.

<92> 도 3은 실험 예2에 의한 평탄화막의 거칠기를 나타내는 AFM(Atomic Force Microscopy) 사진이다.

<93> 도 4은 실험 예3에 의한 평탄화막의 거칠기를 나타내는 AFM(Atomic Force Microscopy) 사진이다.

<94> 도 5는 비교 예에 의한 평탄화막의 거칠기를 나타내는 AFM(Atomic Force Microscopy) 사진이다.

<95> <도면의 주요부분에 대한 부호의 설명>

<96> 110: 반도체층 111a, 111b: 소스/드레인 영역

<97> 111c: 채널영역 120: 게이트 절연막

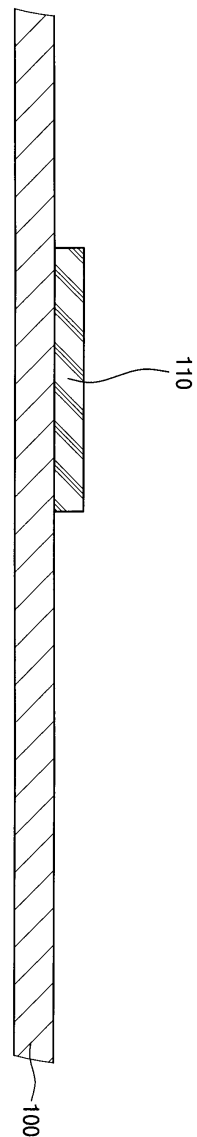
<98> 130: 게이트 전극 140: 층간 절연막

<99> 160a, 160b: 소스/드레인 전극 170: 보호막

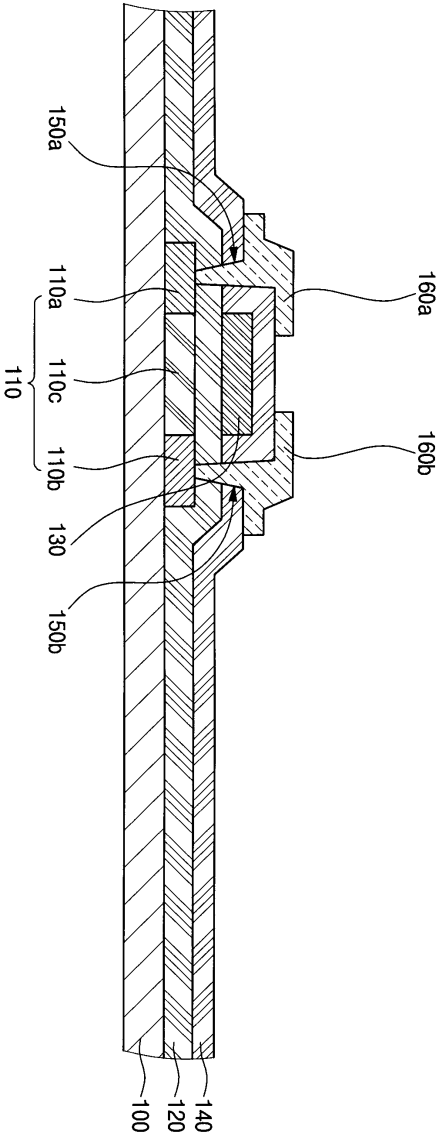
<100>	180: 평탄화막	190: 비아홀
<101>	190a: 제1비아홀	190b: 제2비아홀
<102>	200: 화소전극	200a: 투명전극
<103>	200b: 반사막	210: 화소정의막
<104>	220: 유기막층	230: 대향전극

도면

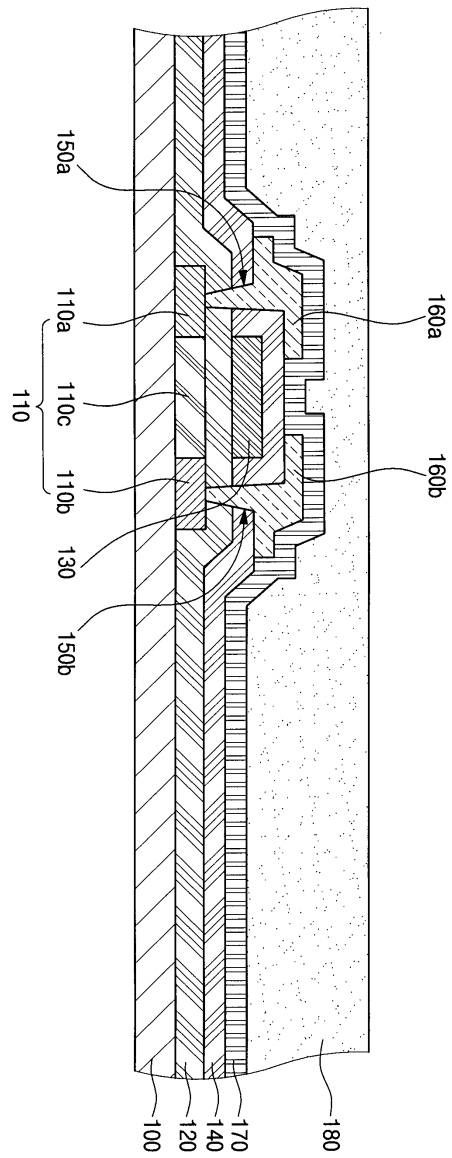
도면1a



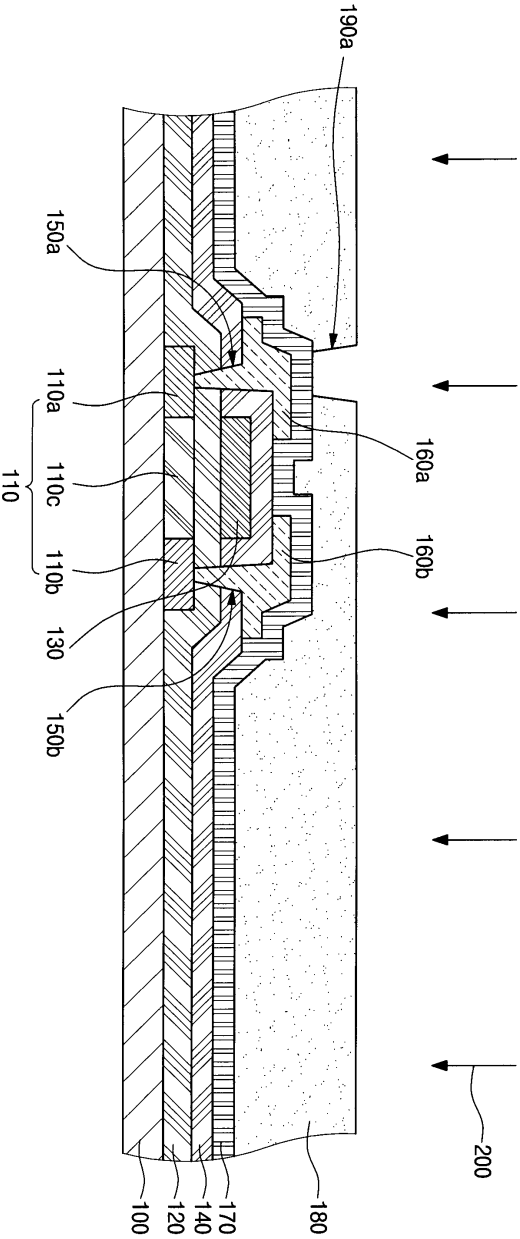
도면1b



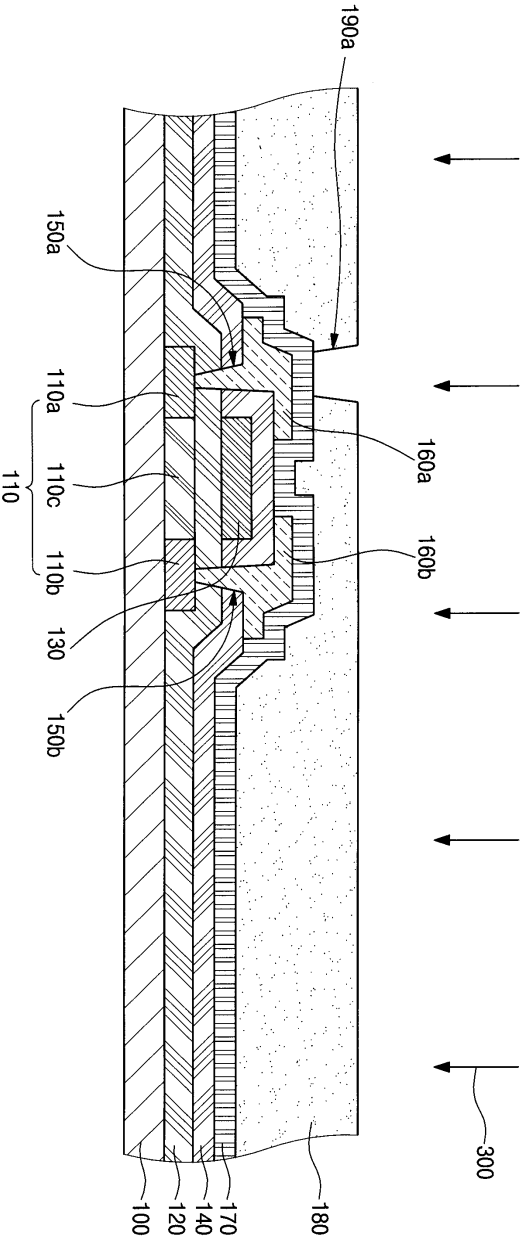
도면1c



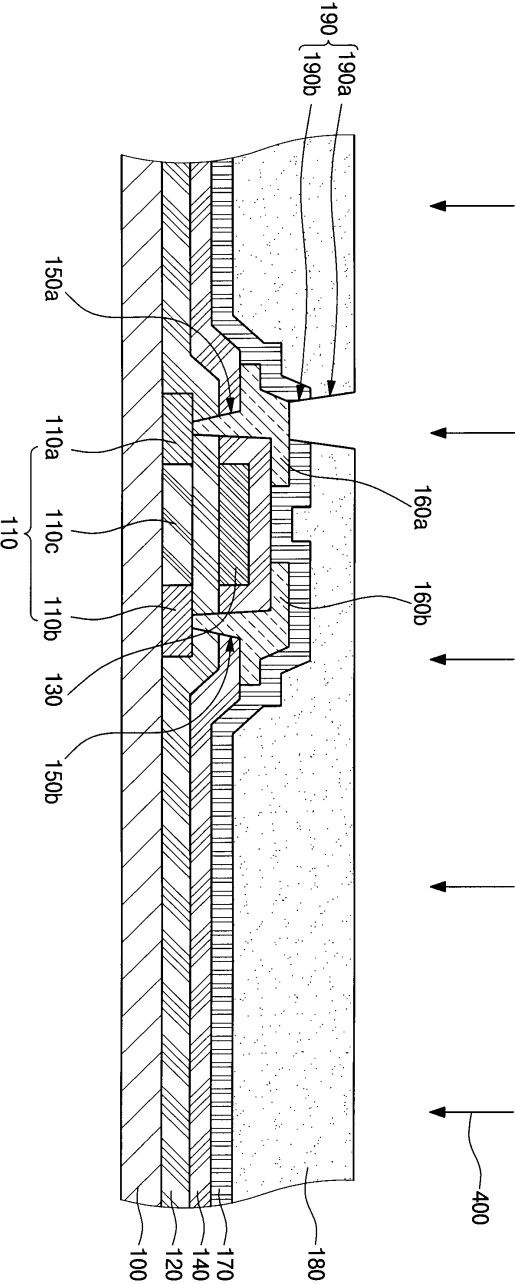
도면1d



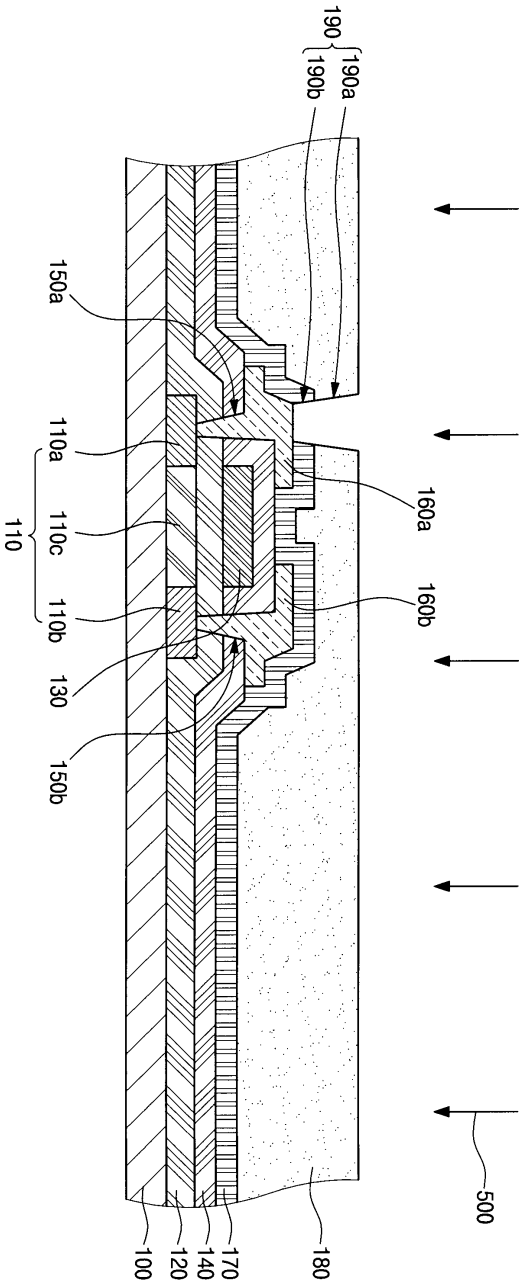
도면1e



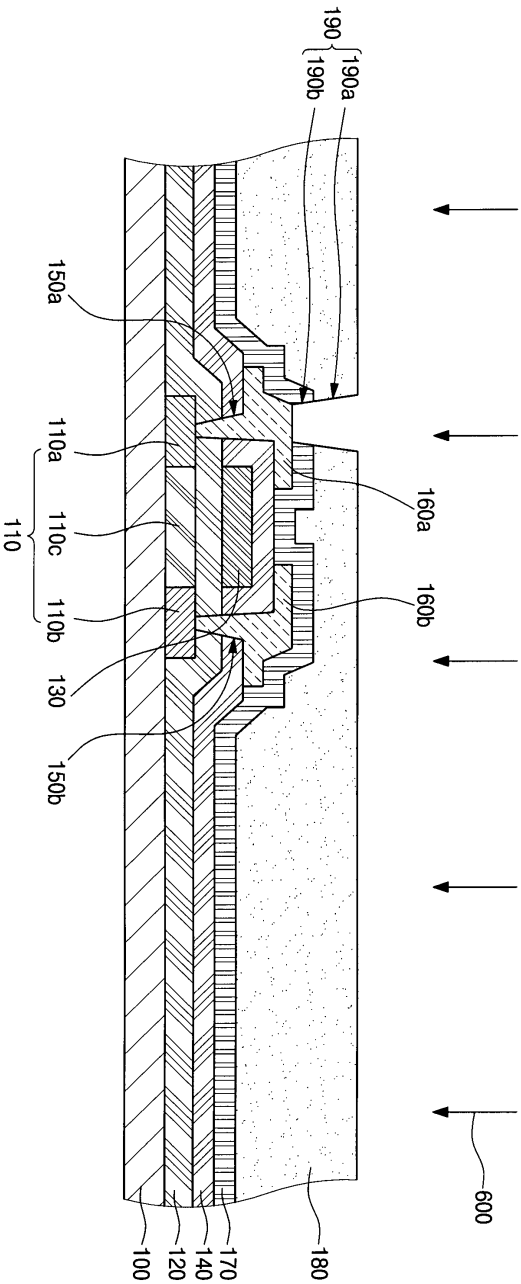
도면1f



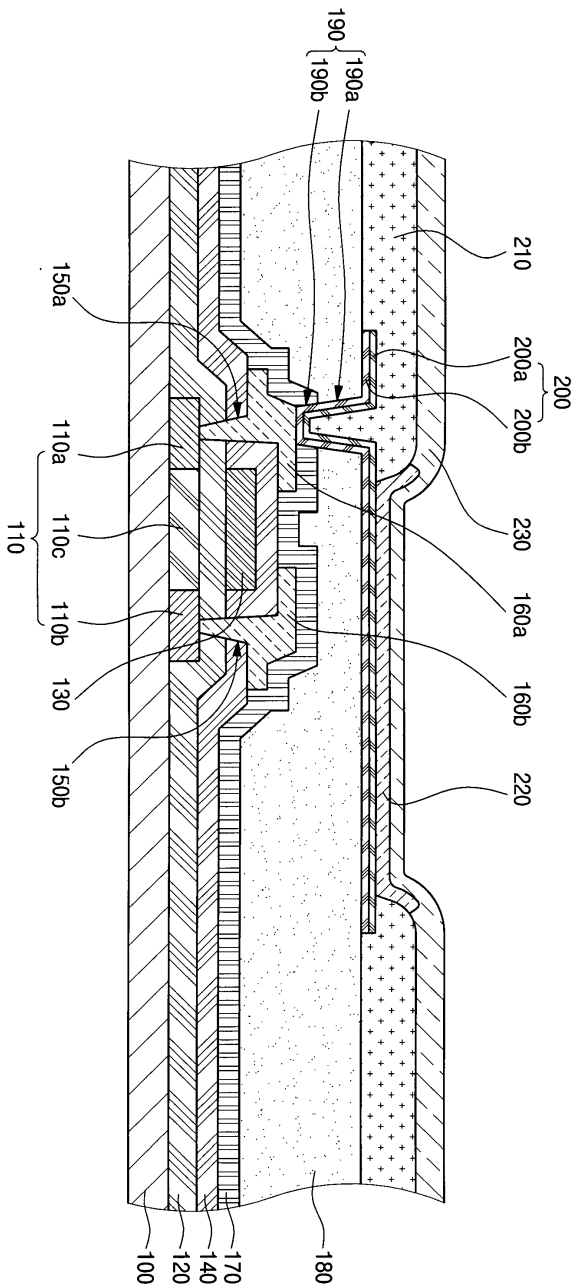
도면1g



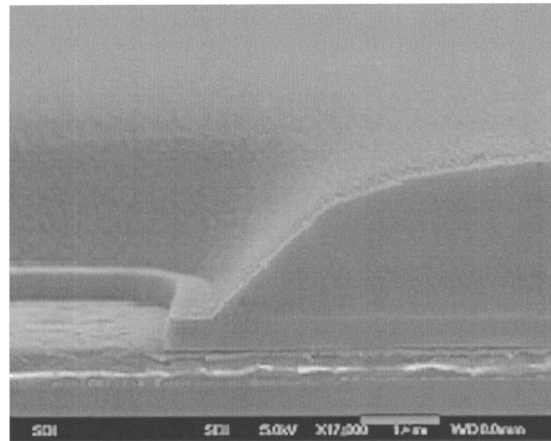
도면1h



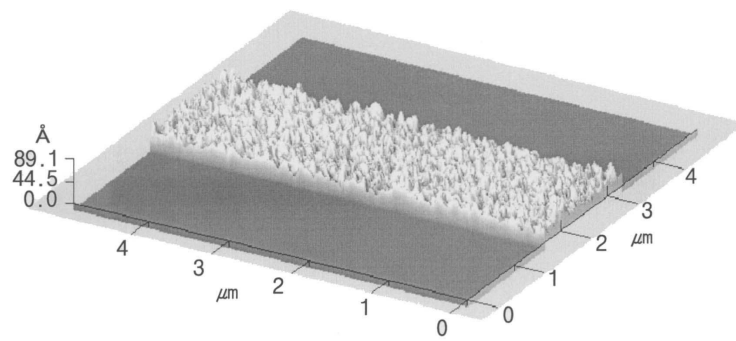
도면11



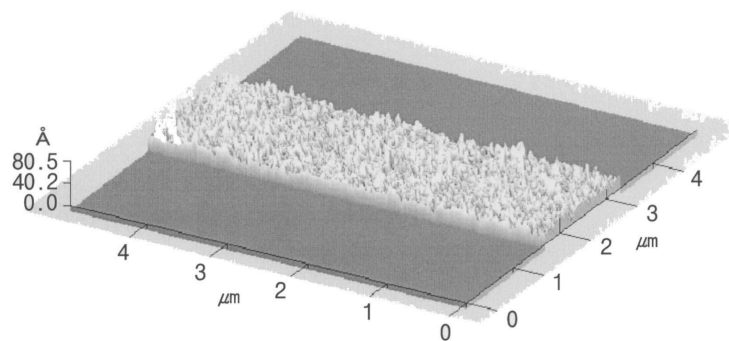
도면2



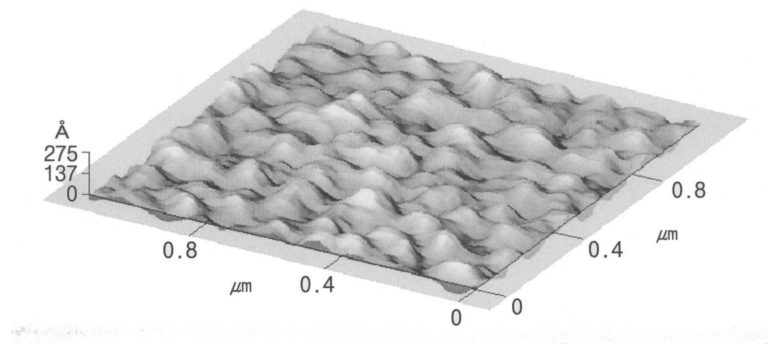
도면3



도면4



도면5



专利名称(译)	制造有机电致发光显示装置的方法		
公开(公告)号	KR100899426B1	公开(公告)日	2009-05-27
申请号	KR1020070093538	申请日	2007-09-14
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	JO SOO BEOM 조수범 YEO JONG MO 여종모 SON JONG HOON 손종훈 JUNG IN YOUNG 정인영 YOO KYUNG JIN 유경진 NO DAE HYUN 노대현 KWON DO HYUN 권도현 IM CHOONG YOUL 임충열		
发明人	조수범 여종모 손종훈 정인영 유경진 노대현 권도현 임충열		
IPC分类号	H05B33/10 H01L51/56		
CPC分类号	H01L27/3258 H01L21/31058 H01L27/1248 H01L2227/323		
代理人(译)	Baksangsu		
其他公开文献	KR1020090028166A		
外部链接	Espacenet		

摘要(译)

目的：有机电致发光显示装置的制造方法可以通过在形成内通孔后利用热处理使平坦化膜硬化来解决色坐标变化和反射率降低的问题。组成：薄膜晶体管，保护薄膜（170）和平面化薄膜（180）依次形成在基板的顶部。平坦化的薄膜被曝光和显影。形成第一通孔（190a）以暴露在薄膜晶体管的源/漏电极之间形成的保护膜。在平面化膜上进行热处理。平面化膜硬化。在平坦化膜上进行灰化处理（500）。在像素电极上形成包括有机发光层的有机膜。相对电极形成在基板的前面。KIPO 2009

