



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월29일
(11) 등록번호 10-0833768
(24) 등록일자 2008년05월23일

(51) Int. Cl.

H05B 33/02 (2006.01)

(21) 출원번호 10-2007-0004437

(22) 출원일자 2007년01월15일

심사청구일자 2007년01월15일

(56) 선행기술조사문헌

KR1020050122698 A*

KR1020050090732 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

정선이

경기 용인시 기흥구 공세동 428-5

최용식

경기 용인시 기흥구 공세동 428-5

(74) 대리인

서경민, 서만규

전체 청구항 수 : 총 26 항

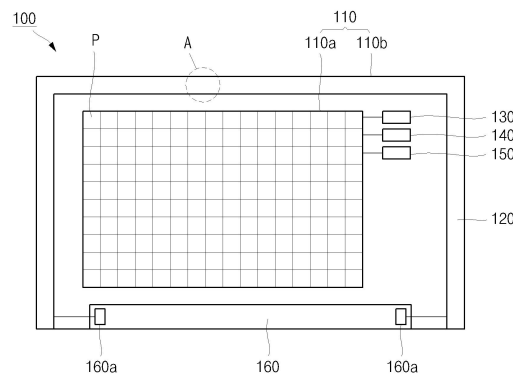
심사관 : 김창균

(54) 유기 전계 발광 화소 장치 및 그 제조 방법

(57) 요약

본 발명은 유기 전계 발광 화소 장치 및 그 제조 방법에 관한 것으로서, 특히 화소 영역 및 비화소 영역을 포함하는 기관의 내주의 적어도 일변에 보호 회로 형성하여 정전기 방전으로부터 유기 전계 발광 화소 장치에 포함되는 화소 및 구동부가 정전기 방전에 의하여 파괴되는 것을 방지하기 위한 유기 전계 발광 화소 장치 및 그 제조 방법을 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

화소 영역 및 비화소 영역을 포함하는 기관; 및

상기 기관의 상기 비화소 영역에 형성되는 정전기 방전 회로를 포함하며,

상기 정전기 방전 회로는,

상기 기관에 형성되는 반도체층;

상기 반도체층에 형성되는 게이트 절연막;

상기 게이트 절연막에 형성되는 게이트 전극;

상기 게이트 전극을 덮도록 형성되는 층간 절연막; 및,

상기 층간 절연막에 형성되며, 상기 게이트 전극과 수평 방향으로 $1\mu\text{m}$ 내지 $10\mu\text{m}$ 의 거리만큼 이격된 소스/드레인 전극을 포함하여 이루어진 것을 특징으로 하는 유기 전계 발광 화소 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 비화소 영역에는,

상기 화소 영역의 화소를 구동하기 위한 적어도 하나의 구동부 및,

상기 화소 및 상기 구동부를 외부 모듈과 전기적으로 연결하기 위한 패드부를 더 포함하는 것을 특징으로 하는 유기 전계 발광 화소 장치.

청구항 5

제 4 항에 있어서,

상기 패드부는,

상기 기관 내주의 적어도 일변에 형성되는 것을 특징으로 하는 유기 전계 발광 화소 장치.

청구항 6

제 5 항에 있어서,

상기 정전기 방전 회로는,

상기 기관 내주에서 상기 패드부가 형성된 영역을 제외한 나머지 중에서 선택되는 적어도 일변에 형성되는 것을 특징으로 하는 유기 전계 발광 화소 장치.

청구항 7

제 6 항에 있어서,

상기 정전기 방전 회로는,

상기 기관 내주의 각 변에 독립적으로 형성되는 것을 특징으로 하는 유기 전계 발광 화소 장치.

청구항 8

제 6 항에 있어서,
상기 정전기 방전 회로는,
상기 기판 내주를 감싸도록 일체형으로 형성되는 것을 특징으로 하는 유기 전계 발광 화소 장치.

청구항 9

제 4 항에 있어서,
상기 게이트 전극은,
상기 패드부에 형성되는 그라운드 패드와 전기적으로 연결되는 것을 특징으로 하는 유기 전계 발광 화소 장치.

청구항 10

제 1 항에 있어서,
상기 정전기 방전 회로는
상기 기판과 상기 반도체층 사이에 형성되는 버퍼층을 더 포함하는 것을 특징으로 하는 유기 전계 발광 화소 장치.

청구항 11

제 1 항에 있어서,
상기 정전기 방전 회로는
상기 소스/드레인 전극 상면에 형성되는 보호층을 더 포함하는 것을 특징으로 하는 유기 전계 발광 화소 장치.

청구항 12

제 1 항에 있어서,
상기 정전기 방전 회로는,
상기 소스/드레인 전극과 상기 반도체층을 전기적으로 연결하기 위한 도전성 콘택을 포함하는 것을 특징으로 하는 유기 전계 발광 화소 장치.

청구항 13

제 11 항에 있어서,
상기 정전기 방전 회로는,
상기 보호층 상면에 형성되는 전극층을 더 포함하는 것을 특징으로 하는 유기 전계 발광 화소 장치.

청구항 14

제 13 항에 있어서,
상기 전극층은,
상기 소스/드레인 전극과 도전성 비아홀을 통해서 전기적으로 연결되는 것을 특징으로 하는 유기 전계 발광 화소 장치.

청구항 15

화소 영역 및 비화소 영역을 갖는 기판을 준비하는 단계;
상기 화소 영역 및 비화소 영역에 반도체층을 형성하는 단계;
상기 화소 영역 및 비화소 영역의 반도체층에 게이트 절연막을 형성하는 단계;
상기 화소 영역 및 비화소 영역의 게이트 절연막에 게이트 전극을 형성하는 단계;

상기 화소 영역 및 비화소 영역의 게이트 전극을 덮는 층간 절연막을 형성하는 단계; 및,
 상기 화소 영역 및 비화소 영역의 층간 절연막에 소스/드레인 전극을 형성하는 단계;를 포함하여,
 상기 화소 영역에는 적어도 하나의 박막 트랜지스터가 형성되고,
 상기 비화소 영역에는 정전기 방전 회로가 형성되는 것을 특징으로 하는 유기 전계 발광 화소 장치의 제조 방법.

청구항 16

제 15 항에 있어서,
 상기 정전기 방전 회로는,
 상기 박막 트랜지스터와 동일한 층상에 형성되는 것을 특징으로 하는 유기 전계 발광 화소 장치의 제조 방법.

청구항 17

제 15 항에 있어서,
 상기 비화소 영역의 상기 소스/드레인 전극은,
 상기 비화소 영역의 상기 게이트 전극과 수평 방향으로 $1\mu\text{m}$ 내지 $10\mu\text{m}$ 의 거리만큼 이격되도록 형성되는 것을 특징으로 하는 유기 전계 발광 화소 장치의 제조 방법.

청구항 18

제 15 항에 있어서,
 상기 비화소 영역에는,
 상기 화소 영역의 화소를 구동하기 위한 적어도 하나의 구동부 및,
 상기 화소 및 상기 구동부를 외부 모듈과 전기적으로 연결하기 위한 패드부를 더 포함하는 것을 특징으로 하는 유기 전계 발광 화소 장치의 제조 방법.

청구항 19

제 18 항에 있어서,
 상기 패드부는,
 상기 기판 내주의 적어도 일변에 형성되는 것을 특징으로 하는 유기 전계 발광 화소 장치의 제조 방법.

청구항 20

제 19 항에 있어서,
 상기 정전기 방전 회로는,
 상기 기판 내주에서 상기 패드부가 형성된 영역을 제외한 나머지 중에서 선택되는 적어도 일변에 형성되는 것을 특징으로 하는 유기 전계 발광 화소 장치의 제조 방법.

청구항 21

제 20 항에 있어서,
 상기 정전기 방전 회로는,
 상기 기판 내주의 각 변에 독립적으로 형성되는 것을 특징으로 하는 유기 전계 발광 화소 장치의 제조 방법.

청구항 22

제 20 항에 있어서,

상기 정전기 방전 회로는,

상기 기판 내주를 감싸도록 일체형으로 형성되는 것을 특징으로 하는 유기 전계 발광 화소 장치의 제조 방법.

청구항 23

제 18 항에 있어서,

상기 게이트 전극은,

상기 패드부에 형성되는 그라운드 패드와 전기적으로 연결되는 것을 특징으로 하는 유기 전계 발광 화소 장치의 제조 방법.

청구항 24

제 15 항에 있어서,

상기 정전기 방전 회로는,

상기 기판과 상기 반도체층 사이에 버퍼층 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 화소 장치의 제조 방법.

청구항 25

제 15 항에 있어서,

상기 정전기 방전 회로는,

상기 소스/드레인 전극 상면에 보호층이 형성되는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 화소 장치의 제조 방법.

청구항 26

제 15 항에 있어서,

상기 정전기 방전 회로는,

상기 소스/드레인 전극과 상기 반도체층을 전기적으로 연결하기 위한 도전성 콘택을 포함하는 것을 특징으로 하는 유기 전계 발광 화소 장치의 제조 방법.

청구항 27

제 25 항에 있어서,

상기 정전기 방전 회로는,

상기 보호층 상면에 전극층이 형성되는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 화소 장치의 제조 방법.

청구항 28

제 27 항에 있어서,

상기 전극층은,

상기 소스/드레인 전극과 도전성 비아홀을 통해서 전기적으로 연결되는 것을 특징으로 하는 유기 전계 발광 화소 장치의 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <19> 본 발명은 유기 전계 발광 화소 장치 및 그 제조 방법에 관한 것으로서, 보다 상세하게는 정전기 방전으로부터 유기 전계 발광 화소 장치에 포함되는 화소 및 구동부가 정전기 방전에 의하여 파괴되는 것을 방지하기 위한 보호 회로를 포함하는 유기 전계 발광 화소 장치 및 그 제조 방법에 관한 것이다.
- <20> 유기 전계 발광 화소 장치(Organic Light Emitting Display)는 캐소드(cathode)에서 공급되는 전자(electron)와 애노드(anode)에서 공급되는 정공(hole)의 재결합에 의하여 빛을 발생하는 유기 전계 발광 소자(Organic Light Emitting Device:OLED)를 이용한 것으로 평판 화소 장치(Flat Panel Display)의 일종이다. 이러한 유기 전계 발광 화소 장치는 두께가 얇고, 시야각이 넓으며, 응답속도가 빠른 장점이 있다.
- <21> 상기 유기 전계 발광 화소 장치는 구동 방법에 따라 수동 구동(passive matrix) 방식과 능동 구동(active matrix)방식으로 나뉜다. 수동 구동 방식은 기판상에 양극과 음극을 직교하도록 형성한 후 라인을 선택하여 구동하는 방식이다. 반면, 능동 구동 방식은 화소마다 형성되는 박막 트랜지스터(Thin Film Transistor:TFT)를 이용하여 데이터 신호에 대응되는 구동 전류를 유기 전계 발광 소자(OLED)로 공급하여 유기 전계 발광 소자(OLED)에서 빛이 발광되어 화상을 구현하는 방식으로, 수동 구동 방식에 비하여 안정적인 휘도를 나타낼 수 있으며 전력소모가 적어, 고해상도 및 대형 디스플레이의 적용에 유리한 장점이 있다.
- <22> 종래의 유기 전계 발광 화소 장치는 매트릭스 형태로 배열되는 화소를 포함하는 화소 영역과 화소를 구동하기 위한 전원 및 구동부를 포함하는 비화소 영역을 포함한다. 화소 영역의 화소는 구동(driving) 또는 스위칭(swithing) 동작에 필요한 박막 트랜지스터와 유기 전계 발광 소자를 포함한다. 화소 영역과 비화소 영역은 다수의 라인을 통해 전기적으로 연결된다.
- <23> 상술한 종래의 유기 전계 발광 화소 장치는 크게, 박막 트랜지스터 형성 단계, 유기 전계 발광 소자 형성 단계, 봉지(encapsulation) 단계, 모듈링(moduling) 단계를 통해서 제조된다. 유기 전계 발광 화소 장치는 이러한 제조 단계에서 내부 환경 요인 또는 기타 외부 환경 요인에 의해서 정전기가 발생될 수 있다. 정전기는 유기 전계 발광 화소 장치를 제조하기 위한 증착, 식각 등을 포함하는 거의 모든 제조 공정에서 발생될 수 있다. 또는 유기 전계 발광 화소 장치에 화상이 표시되는 도중에 외부 환경에 의해서도 발생될 수 있다.
- <24> 종래의 유기 전계 발광 화소 장치는 상술한 제조 단계 및 외부 환경 요인에 의해서 발생되는 정전기 방전(ElectroStatic Discharge: ESD)으로 인하여 내부 회로가 손상되는 문제점이 생긴다.

발명이 이루고자 하는 기술적 과제

- <25> 본 발명은 상술한 종래 유기 전계 발광 화소 장치의 문제점을 해소하기 위한 것으로서, 특히 정전기 방전으로부터 유기 전계 발광 화소 장치에 포함되는 화소 및 구동부가 파괴되는 것을 방지하기 위한 정전기 방전 회로를 포함하는 유기 전계 발광 화소 장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <26> 상기 목적을 달성하기 위한 본 발명의 유기 전계 발광 화소 장치는 화소 영역 및 비화소 영역을 포함하는 기판, 상기 기판의 상기 비화소 영역에 형성되는 정전기 방전 회로를 포함하는 것을 특징으로 한다.
- <27> 또한, 본 발명에 따르면 상기 정전기 방전 회로는 상기 기판에 형성되는 반도체층, 상기 반도체층에 형성되는 게이트 절연막, 상기 게이트 절연막에 형성되는 게이트 전극, 상기 게이트 전극을 덮도록 형성되는 층간 절연막 및, 상기 층간 절연막에 형성되는 소스/드레인 전극을 포함하여 형성될 수 있다.
- <28> 또한, 본 발명에 따르면 상기 소스/드레인 전극은 상기 게이트 전극과 수평 방향으로 1 μ m 내지 10 μ m의 거리만큼 이격되도록 형성될 수 있다.
- <29> 또한, 본 발명에 따르면 상기 비화소 영역에는, 상기 화소 영역의 화소를 구동하기 위한 적어도 하나의 구동부 및, 상기 화소 및 상기 구동부를 외부 모듈과 전기적으로 연결하기 위한 패드부를 더 포함할 수 있다. 이때, 상기 패드부는 상기 기판 내주의 적어도 일변에 형성될 수 있다. 이때, 상기 정전기 방전 회로는 상기 기판 내주에서 상기 패드부가 형성된 영역을 제외한 나머지 중에서 선택되는 적어도 일변에 형성될 수 있다.
- <30> 또한, 본 발명에 따르면 상기 정전기 방전 회로는 상기 기판 내주의 각 변에 독립적으로 형성될 수 있다.
- <31> 또한, 본 발명에 따르면 상기 정전기 방전 회로는 상기 기판 내주를 감싸도록 일체형으로 형성될 수 있다.

이때, 상기 게이트 전극은 상기 패드부에 형성되는 그라운드 패드와 전기적으로 연결될 수 있다.

- <32> 또한, 본 발명에 따르면 상기 정전기 방전 회로는 상기 기판과 상기 반도체층 사이에 형성되는 버퍼층을 더 포함할 수 있다.
- <33> 또한, 본 발명에 따르면 상기 정전기 방전 회로는 상기 소스/드레인 전극 상면에 형성되는 보호층을 더 포함할 수 있다.
- <34> 또한, 본 발명에 따르면 상기 정전기 방전 회로는 상기 소스/드레인 전극과 상기 반도체층을 전기적으로 연결하기 위한 도전성 콘택을 포함할 수 있다.
- <35> 또한, 본 발명에 따르면 상기 정전기 방전 회로는 상기 보호층 상면에 형성되는 전극층을 더 포함할 수 있다. 이때, 상기 전극층은 상기 소스/드레인 전극과 도전성 비아홀을 통해서 전기적으로 연결될 수 있다.
- <36> 또한, 본 발명에 따른 유기 전계 발광 화소 장치의 제조 방법은 화소 영역 및 비화소 영역을 갖는 기판을 준비하는 단계, 상기 화소 영역 및 비화소 영역에 반도체층을 형성하는 단계, 상기 화소 영역 및 비화소 영역의 반도체층에 게이트 절연막을 형성하는 단계, 상기 화소 영역 및 비화소 영역의 게이트 절연막에 게이트 전극을 형성하는 단계, 상기 화소 영역 및 비화소 영역의 게이트 전극을 덮는 층간 절연막을 형성하는 단계 및, 상기 화소 영역 및 비화소 영역의 층간 절연막에 소스/드레인 전극을 형성하는 단계를 포함하여, 상기 화소 영역에는 적어도 하나의 박막 트랜지스터가 형성되고, 상기 비화소 영역에는 정전기 방전 회로가 형성되는 것을 특징으로 할 수 있다. 이때, 상기 정전기 방전 회로는 상기 박막 트랜지스터와 동일한 층상에 형성될 수 있다.
- <37> 본 발명에 의한 유기 전계 발광 화소 장치 및 그 제조 방법에 따르면 기판 내주의 적어도 일변에 정전기 방전 회로를 형성하여, 정전기 방전으로부터 화소 및 구동부들이 손상되는 것을 방지하는 효과가 있다.
- <38> 또한, 본 발명에 따르면 정전기 방전 회로의 소스/드레인 전극과 게이트 전극 사이의 수평 거리를 제어하여 비교적 높은 전압 레벨을 갖는 정전기를 제어할 수 있는 효과가 있다.
- <39> 또한, 본 발명에 따르면 정전기 방전 회로에 포함되는 게이트 절연막과 층간 절연막이 소스/드레인 전극과 반도체층 또는 게이트 전극과 반도체층 사이에 수직 방향으로 발생하는 정전기 방전으로부터 절연 파괴를 유도하여 유기 전계 발광 화소 장치의 정전기 방전을 보호하는 효과가 있다.
- <40> 또한, 본 발명에 따르면 비화소 영역의 정전기 방전 회로는 화소 영역의 박막 트랜지스터와 거의 동일한 방법에 의하여 제조되어 유기 전계 발광 화소 장치의 제조 비용 및 시간 면에서 효율적인 효과가 있다.
- <41> 이하에서 첨부된 도면과 실시예를 참조하여 본 발명에 따른 유기 전계 발광 화소 장치에 대해 상세히 설명하기로 한다. 도면에서 본 발명을 명확하게 설명하기 위하여 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 사용하여 설명하기로 한다.
- <42> 도 1은 본 발명의 일 실시예에 따른 유기 전계 발광 화소 장치를 개략적으로 나타내는 도면이다.
- <43> 본 발명의 일 실시예에 따른 유기 전계 발광 화소 장치(100)는, 도 1을 참조하면, 매트릭스 형태로 배열되는 화소(P, Pixel)들을 포함하는 화소 영역(110a) 및 화소 영역(110a) 내주연에 형성되는 비화소 영역(110b)을 포함하는 기판(110) 및 비화소 영역(110b) 상에 형성되는 정전기 방전 회로(120)를 포함한다.
- <44> 상기 기판(110)은 대략 사각 형상의 화소 영역(110a) 및 화소 영역(110a)의 외주연에 형성되는 비화소 영역(110b)을 포함한다. 이때, 기판(110)에는 데이터 구동부(130), 스캔 구동부(140) 및 발광 제어 구동부(150)가 전기적으로 더 연결될 수 있다.
- <45> 상기 화소 영역(110a)은 매트릭스 형태로 배열된 다수의 화소(Pixel)들이 구동되어 화상이 구현되는 영역이다. 각각의 화소는 데이터 라인(미도시), 스캔라인(미도시) 및 발광 제어 라인(미도시)이 교차하는 영역에 형성된다. 화소(P, Pixel)는 도면에 도시되지는 않았지만, 박막 트랜지스터로 형성되는 구동 소자 및 적어도 하나의 스위칭 소자, 용량성 소자 및 유기 전계 발광 소자를 포함할 수 있다.
- <46> 상기 비화소 영역(110b)은 기판(110) 상에 화소 영역(110a)을 둘러싼 영역에 형성된다. 비화소 영역(110b)에는 정전기 방전 회로(120), 화소(P, Pixel)를 정의하는 각각의 데이터 라인, 스캔 라인 및 발광 제어 라인에 구동 신호를 공급하기 위한 데이터 구동부(130), 스캔 구동부(140) 및 발광 제어 구동부(150)가 형성될 수 있다. 또한, 비화소 영역(110b)에는 화소(P, Pixel), 데이터 구동부(130), 스캔 구동부(140) 및 발광 제어 구동부(150)와 외부 모듈을 전기적으로 연결(electrically couple)하기 위한 패드부(160)를 포함할 수 있다.

- <47> 상기 정전기 방전 회로(120)는 기판(110) 중에서 비화소 영역(110b)에 형성된다. 정전기 방전 회로(120)는 기판(110)의 끝단의 적어도 일변에 형성될 수 있다. 정전기 방전 회로(120)는 기판(110) 중에서 이하에서 설명될 패드부(160)가 형성되는 부분을 제외한 나머지 각 변에 형성된다. 이때, 정전기 방전 회로(120)는 기판(110)의 각 변을 감싸도록 일체형으로 형성될 수 있다. 이러한 정전기 방전 회로(120)는 유기 전계 발광 화소 장치(100)의 제조 공정 또는 이 후의 취급 시에 발생할 수 있는 정전기 방전(ESD: ElectroStatic Discharge)으로부터 내부 회로, 예를 들어, 화소(P, Pixel)에 포함되는 구동 소자, 스위칭 소자 또는 유기 전계 발광 소자들이 손상되는 것을 방지하는 역할을 한다. 정전기 방전 회로(120)는 이하에서 설명될 데이터 구동부(130), 스캔 구동부(140), 발광 제어 구동부(150) 및 패드부(160) 등의 비화소 영역(110b)에 형성되는 회로를 보호할 수도 있다. 본 발명에 의한 정전기 방전 회로(120)는 기판의 끝단에 형성되는 것으로 설명되어 있으나, 본 발명에서는 이를 한정하지 않으며, 기판(110) 중에서 정전기 방전에 취약한 다른 부분에 형성될 수도 있음은 물론이다. 정전기 방전 회로(120)의 보다 상세한 구조는 이하에서 다시 상세하게 설명하기로 한다.
- <48> 상기 데이터 구동부(130), 스캔 구동부(140) 및 발광 제어 구동부(150)는 집적 회로(IC: Integrated Circuit)의 형태로 기판(110) 중에서 비화소 영역(110b)에 형성될 수 있다. 데이터 구동부(130), 스캔 구동부(140) 및 발광 제어 구동부(150)는 화소 영역(110a) 중 화소(P, Pixel)에 포함되는 박막 트랜지스터(미도시)를 형성하는 층과 동일한 층에 형성될 수 있다. 한편, 데이터 구동부(130), 스캔 구동부(140) 및 발광 제어 구동부(150)는 기판(110)에 형성되지 않고 별도의 다른 기판에 형성될 수도 있다. 별도의 다른 기판(미도시)에 형성된 각 구동부(130, 140, 150)들은 TCP(Tape Carrier Package), FPC(Flexible Printed Circuit), TAB(Tape Carrier Package), COG(Chip On Glass) 및 그 등가물 중에서 선택되는 어느 하나의 형태로 기판(110)과 전기적으로 연결될 수 있으며, 본 발명에서 구동부(130, 140, 150)들의 형태 및 형성 위치 등을 한정하는 것은 아니다.
- <49> 상기 패드부(160)는 기판(110) 중 비화소 영역(110b)에 형성된다. 패드부(160)는 기판(110)의 일변에 형성되어 외부 회로 모듈(미도시)과 구동부(130, 140, 150) 또는 외부 회로 모듈과 화소(P, Pixel)를 전기적으로 연결하기 위해 형성된다. 정전기 방전 회로(120)는 패드부(160)의 적어도 일측에 형성되는 그라운드 패드(160a)와 전기적으로 연결될 수 있다.
- <50> 다음으로 본 발명의 일 실시예에 따른 유기 전계 발광 화소 장치(100)에 사용되는 정전기 방전 회로(120)에 대하여 보다 상세하게 설명하기로 한다.
- <51> 도 2는 본 발명의 일 실시예에 따른 유기 전계 발광 화소 장치(100)의 정전기 방전 회로(120)의 일부분(도 1의 A)에 해당하는 레이아웃을 나타내는 도면이고, 도 3은 도 2를 I-I선에 따라 절단한 정전기 방전 회로(120)의 단면도이고, 도 4는 도 2를 II-II선에 따라 절단한 정전기 방전 회로(120)의 단면도이다. 이하에서 설명하는 정전기 방전 회로(120)는 기판(110)의 일부분(도 1의 A)에만 해당되는 것이 아니라 다른 모든 부분에 형성되는 정전기 방전 회로(120)에 적용될 수 있음은 물론이다.
- <52> 본 발명의 일 실시예에 따른 유기 전계 발광 화소 장치(100)의 정전기 방전 회로(120)는, 도 2 내지 도 4를 참조하면, 기판(110) 상부에 형성되는 버퍼층(120a), 버퍼층(120a) 상부에 형성되는 반도체층(120b), 반도체층(120b) 상부에 형성되는 게이트 절연막(120c), 게이트 절연막(120c) 상부에 형성되는 게이트 전극(120d), 게이트 전극(120d)을 덮도록 형성되는 중간 절연막(120e) 및 중간 절연막(120e) 상부에 형성되는 소스/드레인 전극(120f)을 포함한다.
- <53> 상기 기판(110)은 상면과 하면을 갖는 판상으로 형성되며, 상면과 하면 사이의 두께는 0.05 내지 1mm 정도의 두께로 형성된다. 기판(110)의 두께가 0.05mm보다 얇은 경우에는 공정 중 세정, 식각 및 열처리 공정 등에 의해 손상되기 쉽고 또한 외력에 약한 단점이 있다. 반대로, 기판(110)의 두께가 1mm보다 두꺼운 경우에는 최근의 슬림화 추세에 있는 각종 표시 장치에 적용하기가 어려운 단점이 있다. 기판(110)은 통상의 글래스, 플라스틱, 스테인레스 스틸, 나노복합재료 및 그 등가물 중에서 선택되는 어느 하나의 재료로 형성될 수 있으나, 이러한 재료로 본 발명을 한정하는 것은 아니다. 이러한 기판(110)은 박막 트랜지스터(미도시) 및 유기 전계 발광 소자(미도시)를 포함하는 화소 영역(110a)과 각종 구동부가 형성되는 비화소 영역(110b)으로 구분될 수 있다.
- <54> 상기 버퍼층(120a)은 이하에서 서술할 반도체층(120b)을 포함하는 정전기 방전 회로(120)에 습기(H₂O), 수소(H₂) 또는 산소(O₂) 등이 기판(110)을 관통하여 침투하지 않도록 하는 역할을 한다. 이를 위해, 버퍼층(120a)은 반도체 공정 중 쉽게 형성할 수 있는 실리콘 산화막(SiO₂), 실리콘 질화막(Si₃N₄), 무기막 및 그 등가물 중 선택되는 적어도 어느 하나로 형성할 수 있으나, 이러한 재료로 본 발명을 한정하는 것은 아니다. 또한, 본 발명에서 버퍼층(120a)은 필요에 따라서 생략될 수도 있다.

- <55> 상기 반도체층(120b)은 버퍼층(120a) 또는 기판(110)의 상부에 형성된다. 반도체층(120b)은 이하에서 서술할 게이트 전극(120d) 및 소스/드레인 전극(120f)과 함께 정전기 방전을 유도하는 역할을 한다. 반도체층(120b)은 비정질 실리콘, 마이크로 실리콘(비정질 실리콘과 다결정실리콘 사이의 그레인 사이즈(grain size)를 갖는 실리콘), 유기물 및 그 등가물 중 선택되는 어느 하나일 수 있으며, 본 발명에서 반도체층(120b)의 재질을 한정하는 것은 아니다.
- <56> 상기 게이트 절연막(120c)은 반도체층(120b)의 상면에 형성된다. 게이트 절연막(120c)은 이하에서 설명할 게이트 전극(120d)과 반도체층(120b) 사이에 전기적 절연성을 얻기 위해 형성된다. 이러한 게이트 절연막(120c)은 반도체 공정 중 쉽게 얻을 수 있는 실리콘 산화막, 실리콘 질화막, 무기막 또는 그 등가물 중 선택되는 적어도 어느 하나로 형성될 수 있으며, 본 발명에서 사용되는 게이트 절연막(120c)의 재질을 한정하는 것은 아니다. 물론, 이러한 게이트 절연막(120c)은 반도체층(120b)의 내주연인 버퍼층(120a) 위에도 형성될 수 있다. 게이트 절연막(120c)은 게이트 전극(120d) 또는 소스/드레인 전극(120f)을 통해 유입된 정전기의 절연 파괴를 유도 하여 정전기를 방전시킴으로써 화소 영역(110a)의 화소(P, Pixel) 및 비화소 영역(110b)의 구동부(130, 140, 150)들이 정전기 방전에 의하여 손상되는 것을 방지한다. 이때, 반도체층(120b)과 게이트 전극(120d) 사이의 게이트 절연막(120c)의 두께(도 4의 T1)는 대략 1 μ m 이하의 두께를 갖도록 형성되어, 비교적 수백 볼트에 해당하는 비교적 낮은 정전기의 발생시 절연 파괴되어 정전기 방전으로부터 유기 전계 발광 화소 장치(100)를 보호한다.
- <57> 상기 게이트 전극(120d)은 게이트 절연막(120c)의 상부에 형성된다. 보다 상세하게 설명하면, 게이트 전극(120d)은 게이트 절연막(120c)의 상부 중에서 반도체층(120b)과 대응되는 영역에 형성된다. 게이트 전극(120d)은 패드부(도 1의 160)에 포함되는 그라운드 패드(도 1의 160a)와 전기적으로 연결될 수 있다. 게이트 전극(120d)은 통상의 금속(Mo, MoW, Ti, Cu, Al, AlNd, Cr, Mo 합금, Cu 합금, Al 합금 등), 도핑된 다결정 실리콘 및 그 등가물 중 선택되는 적어도 어느 하나로 형성될 수 있으나, 본 발명에서 게이트 전극(120d)의 재질을 한정하는 것은 아니다.
- <58> 상기 층간 절연막(120e)은 게이트 전극(120d)의 상부에 형성된다. 물론, 층간 절연막(120e)은 게이트 전극(120d)의 내주연에 형성되는 게이트 절연막(120c) 위에도 형성될 수 있다. 이때, 층간 절연막(120e)은 폴리머 계열, 플라스틱 계열, 유리 계열 또는 이에 등가하는 계열 중 선택되는 어느 하나로 형성될 수 있으나, 본 발명에서 층간 절연막(120e)의 재질을 한정하는 것은 아니다. 층간 절연막(120e)은 또한 게이트 절연막(120c)과 동일한 재질로 형성될 수도 있다. 층간 절연막(120e)은 게이트 절연막(120c)과 마찬가지로 소스/드레인 전극(120f) 또는 게이트 전극(120d)을 통해 유입되는 정전기에 의한 절연 파괴를 유도하는 역할을 한다.
- <59> 상기 소스/드레인 전극(120f)은 층간 절연막(120e)의 상부에 형성될 수 있다. 이때, 소스/드레인 전극(120f)과 반도체층(120b) 사이에는 층간 절연막(120e)을 관통하는 도전성 콘택(c1)(electrically conductive contact)이 형성될 수 있다. 소스/드레인 전극(120f)은 도전성 콘택(c1)에 의해 반도체층(120b)과 전기적으로 연결이 가능하다. 이때, 소스/드레인 전극(120f)과 게이트 전극(120d)의 수평 거리(도 4의 $\ell 1$)가 1 μ m 내지 10 μ m의 거리만큼 이격되도록 형성할 수 있다. 만일 수평 거리(도 4의 $\ell 1$)가 1 μ m보다 짧게 형성될 경우, 소스/드레인 전극(120f)과 게이트 전극(120d) 사이의 저항이 낮아져서 정전기 방전 회로(120)에 의해 보호되는 전압 레벨이 작게 된다. 즉, 수천 볼트 이상의 높은 정전기를 제어하는 것이 어려울 수 있다. 반대로 수평 거리(도 4의 $\ell 1$)가 10 μ m보다 긴 경우, 저항이 높아져서 보호되는 전압 레벨은 높아지지만, 비화소 영역(110b)에 형성될 수 있는 정전기 방전 회로(120)의 영역에는 제한이 있기 때문에, 수평 거리(도 4의 $\ell 1$)는 10 μ m 이내로 제어되는 것이 바람직할 수 있다. 한편, 소스/드레인 전극(120f)과 반도체층(120b) 사이의 두께(T2)는 대략 1 μ m 이하의 두께를 갖도록 형성될 수 있다. 소스/드레인 전극(120f)은 소스 영역과 드레인 영역이 전기적으로 연결되도록 일체형으로 형성되어 유기 전계 발광 화소 장치(100)의 정상적인 구동시에는 동작하지 않도록 되어 있다. 이러한 소스/드레인 전극(120f)은 상술한 게이트 전극(120d)과 같은 금속 재질로 형성될 수 있으며, 본 발명에서 소스/드레인 전극(120f)의 재질을 한정하는 것은 아니다.
- <60> 상기 소스/드레인 전극(120f)의 상부에는 보호막(120g)과 평탄화막(120h)이 더 형성될 수도 있다. 보호막(120g)은 소스/드레인 전극(120f) 및 층간 절연막(120e)을 덮도록 형성되어, 소스/드레인 전극(120f) 및 게이트 전극(120d)을 보호하는 역할을 한다. 보호막(120g)은 통상의 무기막 및 그 등가물 중에 선택되는 어느 하나로 형성될 수 있으나, 본 발명에서 사용되는 보호막(120g)의 재질은 한정하는 것은 아니다. 또한, 평탄화막(120h)은 보호막(120g)을 덮도록 형성되어 정전기 방전 회로(120)의 표면이 전체적으로 평탄하게 형성되는 것을 돕는다. 이러한 평탄화막(120h)은 벤조 사이클로 부텐(BCB:Benzo Cyclo Butene), 아크릴 및 그 등가물 중에 선택되는 적어도 어느 하나로 형성될 수 있으나, 본 발명에서 이를 한정하지는 않는다.

- <61> 상기 평탄화막(120h)의 상부에는 전극층(120i)이 더 형성될 수 있다. 전극층(120i)은 도전성 비아홀(v1)(electrically conductive via Hole)을 통해 소스/드레인 전극(120f)과 전기적으로 연결된다. 전극층(120i)은 정전기 발생시 도전성 비아홀(v1)을 통해서 소스/드레인 전극(120f)을 통해서 정전기가 방전될 수 있도록 돕는다. 이러한 전극층(120i)은 상술한 게이트 전극(120d)과 같은 금속 재질로 형성될 수 있으며, 본 발명에서 전극층(120i)의 재질을 한정하는 것은 아니다.
- <62> 다음으로 본 발명의 일 실시예에 따라 형성된 정전기 방전 회로(120)의작용에 대해서 보다 상세하게 설명하기로 한다.
- <63> 도 5는 본 발명의 일 실시예에 따른 유기 전계 발광 화소 장치(100)에서 정전기가 방전되는 경로를 나타내는 도면이다. 본 발명에 따르면, 정전기는 크게 소스/드레인 전극(120f)과 게이트 전극(120d) 사이의 제1경로(①), 소스/드레인 전극(120f)과 반도체층(120b) 사이의 제2경로(②) 및, 게이트 전극(120d)과 반도체층(120b) 사이의 제3경로(③)를 통해서 방전될 수 있다.
- <64> 상기 제1경로(①)는, 소스/드레인 전극(120f)과 게이트 전극(120d) 사이의 층간 절연막(120e)을 통해 방전되는 경로이다. 소스/드레인 전극(120f)에서 발생되어 비교적 높은 전압 레벨을 갖는 정전기는 게이트 전극(120d) 방향으로 강하게 방전될 수 있다. 소스/드레인 전극(120f)과 게이트 전극(120d) 사이에 형성된 층간 절연막(120e)은 절연 파괴되어 정전기 방전을 보호한다. 소스/드레인 전극(120f)에 발생된 정전기는 게이트 전극(120d)에 연결되는 그라운드 패드(160a)로 배출될 수도 있음은 물론이다. 소스/드레인 전극(120f)과 게이트 전극(120d)은 층간 절연막(120e)을 사이에 두고 수평 방향으로 $1\mu\text{m}$ 내지 $10\mu\text{m}$ 만큼 이격되도록 형성된다. 만일 소스/드레인 전극(120f)과 게이트 전극(120d) 사이의 수평 거리(ℓ 1)가 $1\mu\text{m}$ 보다 짧게 형성될 경우, 소스/드레인 전극(120f)과 게이트 전극(120d) 사이의 저항이 낮아져서 정전기 방전 회로(120)에 의해 보호되는 전압 레벨이 작게 된다. 즉, 수천 볼트 이상의 높은 정전기를 제어하는 것이 어려울 수 있다. 반대로 수평 거리(ℓ 1)가 $10\mu\text{m}$ 보다 긴 경우, 저항이 높아져서 보호되는 전압 레벨은 높아지지만, 비화소 영역(110b)에 형성될 수 있는 정전기 방전 회로(120)의 영역에는 제한이 있기 때문에, 수평 거리(ℓ 1)는 $10\mu\text{m}$ 이내로 제어되는 것이 바람직할 수 있다.
- <65> 상기 제2경로(②)는 소스/드레인 전극(120f)과 반도체층(120b) 사이의 층간 절연막(120e)과 게이트 절연막(120c)을 통해 방전되는 경로이다. 소스/드레인 전극(120f)에서 발생되어 비교적 낮은 전압 레벨을 갖는 정전기는 반도체층(120b)이 형성된 방향으로 방전될 수 있다. 이 경우 층간 절연막(120e)과 게이트 절연막(120c)이 절연 파괴되면서 정전기 방전을 보호하는 역할을 하게 된다. 소스/드레인 전극(120f)과 반도체층(120b) 사이의 두께(T2)는 대략 $1\mu\text{m}$ 이하로 형성되어 비교적 낮은 전압 레벨을 갖는 정전기로부터 유기 전계 발광 화소 장치(100)를 보호할 수 있게 된다.
- <66> 상기 제3경로(③)는 게이트 전극(120d)과 반도체층(120b) 사이의 게이트 절연막(120c)을 통해서 방전되는 경로이다. 게이트 전극(120d)에서 발생된 정전기는 반도체층(120b)이 형성된 방향으로 방전될 수 있다. 이 경우 게이트 절연막(120c)이 절연 파괴되면서 정전기 방전으로부터 유기 전계 발광 화소 장치(100)를 보호할 수 있게 된다. 게이트 전극(120d)과 반도체층(120b) 사이의 두께(T1)는 대략 $1\mu\text{m}$ 이하로 형성되어, 비교적 낮은 전압 레벨을 갖는 정전기로부터 유기 전계 발광 화소 장치(100)을 보호할 수 있게 된다. 한편, 게이트 전극(120d)에서 발생된 정전기는 게이트 절연막(120c)의 절연 파괴를 일으키지 않고 그라운드 패드(160a)로 배출될 수도 있다.
- <67> 상술한 본 발명의 유기 전계 발광 화소 장치에 따르면, 정전기 방전 회로(120)가 비교적 낮은 레벨의 정전기에 서 높은 레벨의 정전기까지 다양하게 보호할 수 있다는 장점이 있다.
- <68> 다음으로 본 발명의 일 실시예에 따른 유기 전계 발광 화소 장치(100)를 제조 방법에 대해서 설명하기로 한다.
- <69> 도 6은 본 발명의 일 실시예에 따른 유기 전계 발광 화소 장치의 제조 방법을 순서대로 나타낸 플로우 차트이고, 도 7a 내지 도 7f는 도 6의 제조 단계에 따라 순차적으로 제조되는 유기 전계 발광 화소 장치(100)를 나타내는 도면이고, 도 8은 본 발명의 일 실시예에 따라 완성된 유기 전계 발광 화소 장치(100)의 화소 영역(110a)과 비화소 영역(110b)을 도시한 것이다.
- <70> 본 발명의 일 실시예에 따른 유기 전계 발광 화소 장치의 제조 방법은, 도 6 내지 도 8을 참조하면, 화소 영역(110a) 및 비화소 영역(110b)에 기판 준비 단계(S1), 반도체층 형성 단계(S2), 절연막 형성 단계(S3), 게이트 전극 형성 단계(S4), 층간 절연막 형성 단계(S5) 및, 소스/드레인 전극 형성 단계(S6)를 통하여 화소 영역(110a)에는 적어도 하나의 박막 트랜지스터(170)가 형성되고, 비화소 영역(110b)에는 정전기 방전 회로(120)가 형성되는 것을 포함한다.

- <71> 상기 기관 준비 단계(S1)는, 도7a를 참조하면, 화소 영역(110a) 및 비화소 영역(110b)에 기관(110)을 준비하는 단계이다. 기관 준비 단계(S1)는 상면과 하면이 관상으로 이루어지는 기관(110)에 이물질이 포함되지 않도록 세정되는 단계 및 이하의 제조 단계에서 열 또는 압력에 의해 기관(110)이 쉽게 변형되지 않도록 압밀(pre-compaction)되는 단계를 더 포함할 수 있다. 이러한 기관(110)은 0.05mm 내지 1mm의 두께를 갖도록 준비되는 것이 좋다. 만일, 기관(110)의 두께가 0.05mm보다 얇은 경우에는 제조 공정 중 세정, 식각 및 열처리 공정 등에 의해 손상되기 쉽고 취급이 어려우며 또한 외력에 파손되기 쉬운 단점이 있다. 기관(110)의 두께가 1mm보다 두꺼운 경우에는 최근의 슬림화 추세에 있는 각종 표시 장치에 적용하기 곤란한 단점이 있다. 기관(110)은 박막 트랜지스터(170) 및 유기 전계 발광 소자(180)가 형성되어 있는 화소 영역(110a)과 정전기 방전 회로(120)와 각종 구동부가 형성되는 비화소 영역(110b)으로 구분된다.
- <72> 상기 기관(110)이 준비되면, 기관(110)의 상면 중 화소 영역(110a)과 비화소 영역(110b) 각각 일정한 두께를 갖는 버퍼층(170a, 120a)이 형성된다. 버퍼층(170a, 120a)은 화소 영역(110a)과 비화소 영역(110b)에 각각 또는 동시에 형성될 수 있다. 버퍼층(170a, 120a)은 불순물이 기관(110)을 통하여 박막 트랜지스터(170), 유기 전계 발광 소자(180) 및 정전기 방전 회로(120) 등의 내부 회로에 유입되지 않도록 하는 역할을 한다. 또한, 버퍼층(170a, 120a)은 표면에 반도체층(170b, 120b)이 잘 형성되도록 돕는다. 이러한, 버퍼층(170a, 120a)은 반도체 공정 중 쉽게 형성할 수 있는 실리콘 산화막(SiO₂), 실리콘 질화막(Si₃N₄), 무기막 및 그 등가물 중 선택되는 적어도 어느 하나로 형성할 수 있으나, 본 발명에서 사용되는 버퍼층(170a, 120a)의 재질을 한정하는 것은 아니다. 이때, 버퍼층(170a, 120a)은 필요에 따라서 다층의 구조로 형성될 수도 있다. 또한, 버퍼층(170a, 120a)은 필요에 따라 생략될 수도 있다.
- <73> 상기 반도체층 형성 단계(S2)는, 도 7b를 참조하면, 기관(110)의 화소 영역(110a) 및 비화소 영역(110b)에 반도체층(170b, 120b)이 형성된다. 반도체층(170b, 120b)은 화소 영역(110a)과 비화소 영역(110b)에 각각 또는 동시에 형성될 수 있다. 이때, 기관(110)과 반도체층(170b, 120b) 사이에 버퍼층(170a, 120a)이 더 형성될 수 있다.
- <74> 상기 버퍼층(170a, 120a)은 상기 기관(110)이 준비되면 기관(110)의 상면 중 화소 영역(110a)과 비화소 영역(110b) 각각에 일정한 두께를 갖도록 형성된다. 버퍼층(170a, 120a)은 화소 영역(110a)과 비화소 영역(110b)에 각각 또는 동시에 형성될 수 있다. 버퍼층(170a, 120a)은 불순물이 기관(110)을 통하여 박막 트랜지스터(170), 유기 전계 발광 소자(180) 및 정전기 방전 회로(120) 등의 내부 회로에 유입되지 않도록 하는 역할을 한다. 또한, 버퍼층(170a, 120a)은 표면에 반도체층(170b, 120b)이 잘 형성되도록 돕는다. 이러한, 버퍼층(170a, 120a)은 반도체 공정 중 쉽게 형성할 수 있는 실리콘 산화막(SiO₂), 실리콘 질화막(Si₃N₄), 무기막 및 그 등가물 중 선택되는 적어도 어느 하나로 형성할 수 있으나, 본 발명에서 사용되는 버퍼층(170a, 120a)의 재질을 한정하는 것은 아니다. 이때, 버퍼층(170a, 120a)은 필요에 따라서 다층의 구조로 형성될 수도 있다. 또한, 버퍼층(170a, 120a)은 필요에 따라 생략될 수도 있다.
- <75> 상기 반도체층(170b, 120b)은 상호 대향되는 양측에 형성된 소스 및 드레인 영역(미도시)과, 소스 및 드레인 영역 사이에 형성되는 채널 영역(미도시)을 포함한다. 이러한 반도체층(170b, 120b)은 비정질 실리콘, 마이크로 실리콘, 유기물 및 그 등가물 중 선택되는 어느 하나일 수 있으며, 본 발명에서 반도체층(170b, 120b)의 재질을 한정하는 것은 아니다. 예를 들어, 반도체층(170b, 120b)은 실리콘 결정화 단계, 다결정 실리콘패터닝(patterning) 단계를 통하여 원하는 위치와 모양으로 형성될 수 있다.
- <76> 상기 실리콘 결정화 단계에서는 버퍼층(170a, 120a) 상면에 비정질 실리콘을 증착한 후, 비정질 실리콘이 결정화되어 폴리 실리콘이 형성되는 것을 포함한다. 폴리 실리콘은 마이크로 실리콘이 결정화되어 형성될 수도 있다. 비정질 실리콘은 플라즈마 화학기상증착법(PECVD: Plasma Enhanced Chemical Vapor Deposition), 저압 화학기상증착법(LPCVD: Low Pressure Chemical Vapor Deposition), 스퍼터링법 및 그에 등가하는 방식 중에 선택되는 어느 하나의 방법에 의하여 버퍼층(170a, 120a) 상면에 증착될 수 있다. 그러나 본 발명에서 비정질 실리콘의 형성 방법을 한정하는 것은 아니다. 버퍼층(120)에 비정질 실리콘이 증착되고 나면, 이하에서 서술되는 방법을 통하여 비정질 실리콘이 결정화되어 폴리 실리콘이 형성된다.
- <77> 상기 비정질 실리콘은 엑시머 레이저(Excimer Laser)를 사용한 레이저 결정화 방법(ELA), 금속촉매(Promoting Material)를 사용한 금속촉매 결정화 방법(MIC: Metal Induced Crystallization) 및, 고상결정화(SPC: Solid Phase Crystallization)방법 등을 통하여 결정화될 수 있다. 이외에도 고온 고습한 분위기에서 결정화를 진행하는 고압결정화 방법(HPA: High Pressure Annealing)방법 및 기존 레이저 결정화 방법에 마스크를 추가로 사용하는 순차 측면 결정화(SLS: Sequential Lateral Solidification)방법이 있다.
- <78> 상기 레이저 결정화 방법은 가장 많이 사용되는 방법으로 기존의 다결정 액정 화소 장치의 결정화 방법을 그대로

로 이용할 수 있을 뿐만 아니라 공정방법이 간단하며 공정방법에 대한 기술 개발이 완료된 상태이다.

- <79> 상기 금속촉매 결정화 방법은 레이저 결정화 방법을 사용하지 않고 저온에서 결정화 할 수 있는 방법 중에 하나이다. 초기에는 비정질 실리콘 표면에 금속촉매금속인 Ni, Co, Pd, Ti등을 증착 혹은 스퍼코팅하여 금속촉매 금속이 비정질 실리콘 표면에 직접 침투하여 비정질 실리콘의 상을 변화시키면서 결정화하는 방법으로 저온에서 결정화할 수 있는 장점이 있다.
- <80> 상기 금속촉매 결정화 방법의 다른 하나는 비정질 실리콘 표면에 금속층을 개재시킬 때 마스크를 이용해 박막 트랜지스터의 특정 영역에 니켈실리사이드와 같은 오염물이 개재되는 최대한 억제할 수 있는 장점이 있다. 이러한 결정화 방법을 금속촉매유도측면결정화 방법(MILC: Metal Induced Lateral Crystallization)이라고 한다. 금속촉매유도측면결정화 방법에 사용되는 마스크로는 새도우 마스크(Shadow)가 사용될 수 있는데, 새도우 마스크는 선형 마스크 혹은 점형 마스크일 수 있다.
- <81> 상기 금속촉매 결정화 방법의 또 다른 하나는 비정질 실리콘 표면에 금속촉매층을 증착 혹은 스퍼코팅할 때 캡핑층(Capping Layer)을 먼저 개재시켜 비정질 실리콘으로 유입되는 금속 촉매량을 컨트롤하는 금속촉매유도캡핑층결정화 방법(MICC: Metal Induced Crystallization with Capping Layer)이 있다. 캡핑층으로는 실리콘질화막(Silicon Nitride)막을 사용할 수 있다. 실리콘 질화막의 두께에 따라 금속 촉매층에서 비정질 실리콘으로 유입되는 금속 촉매량이 달라진다. 이때 실리콘 질화막으로 유입되는 금속 촉매는 실리콘 질화막 전체에 형성될 수도 있고, 새도우 마스크 등을 사용하여 선택적으로 형성될 수 있다. 금속 촉매층이 비정질 실리콘을 다결정 실리콘으로 결정화가 된 이후에 선택적으로 캡핑층을 제거할 수 있다. 캡핑층 제거방법에는 습식 식각방법(Wet Etching) 혹은 건식 식각방법(Dry Etching)을 사용할 수 있다. 다결정 실리콘이 형성된 이후에, 이하에서 설명될 층간 절연막(170e, 120e) 상에 비아홀(Via Hole, 미도시)을 형성한 후에 불순물을 비아홀을 통해서 결정화된 다결정실리콘 상으로 투입하여 내부의 형성된 금속촉매 불순물을 추가적으로 제거할 수 있다. 이때, 금속 촉매 불순물을 추가적으로 제거하는 방법을 게터링 공정(Gattering Process)라고 한다. 게터링 공정에는 상기 불순물을 주입하는 공정 외에 저온에서 박막 트랜지스터를 가열하는 가열공정(Heating Process)이 있다. 게터링 공정을 통해서 양질의 박막 트랜지스터를 구현할 수 있게 된다.
- <82> 상기 마이크로 실리콘은 비정질 실리콘과 다결정 실리콘 사이의 결정립 크기를 가지는 것으로 그 크기가 1nm에서 100nm까지인 것을 통상적으로 말한다. 상기 마이크로 실리콘의 전자이동도는 1에서 50이하이며 정공 이동도는 0.01에서 0.2이하인 것인 특징이다. 마이크로 실리콘은 다결정 실리콘에 비해 결정립의 크기가 작은 것이 특징이며, 결정립 사이의 돌출부 영역이 작게 형성되어 결정립 간에 전자가 이동할 경우에 지장을 주지 않게 되어 균일한 특성을 보여줄 수 있다.
- <83> 상기 마이크로 실리콘의 결정립 방법에는 크게 열결정화 방법(Thermal Crystallization Method) 및 레이저 결정화 방법(Laser Crystallization Method)이 있다. 열결정화 방법은 비정질 실리콘을 증착함과 동시에 결정화구조를 얻는 방법과 재가열(Reheating)방법이 있다. 상기 레이저 결정화 방법은 비정질 실리콘을 화학진공증착(Cheical Vapor Deposition)비정질 실리콘을 화학진공증착(Cheical Vapor Deposition)방법으로 증착한 후 레이저를 이용하여 결정화하는 방법인데 이때 사용되는 레이저의 종류는 주로 다이오드 레이저(Diode Laser)가 있다. 상기 다이오드 레이저는 주로 800nm대 적색 파장을 이용하며 상기 적색 파장은 마이크로 실리콘 결정질이 균일하게 결정화되는데 기여하는 역할을 한다.
- <84> 상술한 방법에 의해서 형성된 다결정 실리콘은, 다결정 실리콘 패터닝 단계를 통해서 원하는 위치에 원하는 개수의 반도체층(170b, 120b)을 형성한다. 다결정 실리콘 패터닝 단계는 포토레지스트 도포, 노광, 현상, 식각 및 포토레지스트 박리 등의 공정을 포함한다.
- <85> 상기 게이트 절연막 형성 단계(S3)는, 도 7c를 참조하면, 반도체층(170b, 120b) 상면에 일정한 두께로 형성되는 게이트 절연막(170c, 120c)이 형성된다. 게이트 절연막(170c, 120c)은 화소 영역(110a) 및 비화소 영역(110b)에 각각 또는 동시에 형성될 수 있다. 이때, 게이트 절연막(170c, 120c)은 반도체층(170b, 120b)의 내주연인 버퍼층(170a, 120a) 상면에도 형성될 수 있다. 게이트 절연막(170c, 120c)은 PECVD, LPCVD, 스퍼터링법 및 그에 등가하는 방식 중에 선택되는 적어도 어느 하나의 방법을 통하여 형성될 수 있다. 이때, 게이트 절연막(170c, 120c)은 실리콘 산화막, 실리콘 질화막, 무기막 또는 그에 등가물 중에 선택되는 적어도 어느 하나로 형성될 수 있으나, 본 발명에서 게이트 절연막(170c, 120c)의 재질을 한정하는 것은 아니다.
- <86> 상기 게이트 전극 형성 단계(S4)에서는, 도 7d를 참조하면, 화소 영역(110a) 및 비화소 영역(110b) 각각의 게이트 절연막(170c, 120c) 상면에서 반도체층(170b, 120b)에 대응되는 위치에 게이트 전극(170d, 120d)이 형성된다.

게이트 전극(170d, 120d)은 PECVD, LPCVD, 스퍼터링법 및 그에 등가하는 방식 중에 선택되는 적어도 어느 하나의 방법에 의해 게이트 절연막(170c, 120c) 상면에 증착될 수 있다. 게이트 전극(170d, 120d)은 게이트 절연막(170c, 120c)에 증착된 후, 포토레지스트 도포, 노광, 현상, 식각 및 포토레지스트 박리 등의 공정을 통해 원하는 위치에 원하는 개수로 형성될 수 있다. 이러한 게이트 전극(170d, 120d)은 통상의 금속(Mo, MoW, Ti, Cu, Al, AlNd, Cr, Mo 합금, Cu 합금, Al 합금 등), 도핑된 다결정 실리콘 및 그 등가물 중 선택되는 적어도 어느 하나로 형성될 수 있으나, 본 발명에서 게이트 전극(170d, 120d)의 재질을 한정하는 것은 아니다.

<87> 상기 층간 절연막 형성 단계(S5)는, 도 7e를 참조하면, 화소 영역(110a) 및 비화소 영역(110b) 각각의 게이트 전극(170d, 120d)의 상면에 층간 절연막(170e, 120e)이 형성된다. 물론, 층간 절연막(170e, 120e)은 게이트 전극(170d, 120d)의 내주연인 게이트 절연막(170c, 120c) 위에도 형성될 수 있다. 이때, 층간 절연막(170e, 120e)에는 반도체층(170b, 120b)과 이하에서 설명되는 소스/드레인 전극(170f, 120f)을 연결하기 위한 콘택홀이 식각 공정을 통하여 형성될 수 있다. 층간 절연막(170e, 120e)은 폴리머 계열, 플라스틱 계열, 유리 계열 또는 이에 등가하는 계열 중 선택되는 어느 하나로 형성될 수 있으나, 본 발명에서 이를 한정하는 것은 아니다.

<88> 상기 소스/드레인 전극 형성 단계(S6)에서는, 도 7f를 참조하면, 화소 영역(110a) 및 비화소 영역(110b) 각각의 층간 절연막(170e, 120e) 상면에 소스/드레인 전극(170f, 120f) 및 도전성 콘택(c2, c1)이 형성된다. 소스/드레인 전극(170f, 120f)은 PECVD, LPCVD, 스퍼터링법 및 그에 등가하는 방식 중에 선택되는 적어도 어느 하나의 방법에 의해 증착된 후, 포토레지스트 도포, 노광, 현상, 식각 및 포토레지스트 박리 등의 공정을 통하여 원하는 위치에 원하는 개수로 패터닝된다. 이때, 층간 절연막 형성 단계(S5)에서 형성된 콘택홀에 도전성 물질을 충전하여 도전성 콘택(c2, c1)이 형성된다. 도전성 콘택(c2, c1)은 게이트 전극(170d, 120d) 및 소스/드레인 전극(170f, 120f)과 동일한 금속 재질로 형성될 수 있으며, 본 발명에서 도전성 콘택(c2, c1)의 재질을 한정하는 것은 아니다. 화소 영역(110a)의 소스/드레인 전극(170f)은 반도체층(170b)의 소스 영역(미도시)과 드레인 영역(미도시)의 각 전극이 독립적으로 형성될 수 있으나, 비화소 영역(110b)의 소스/드레인 전극(120f)은 소스 영역과 드레인 영역에 접속되는 전극이 일체형으로 형성된다. 따라서 정전기 방전 회로(120)는 일반적인 구동 전압이 인가될 때에는 동작하지 않게 된다.

<89> 상술한 본 발명의 일 실시예에 따라서, 도 8을 참조하면, 기관(110)의 화소 영역(110a)에는 유기 전계 발광 소자(180)에 구동 전류를 공급하기 위한 박막 트랜지스터(170)가 형성되고, 비화소 영역(110b)에는 박막 트랜지스터(170) 및 유기 전계 발광 소자(180)가 정전기 방전으로부터 파괴되는 것을 보호하기 위한 정전기 방전 회로(120)가 형성된다.

<90> 한편, 화소 영역(110a) 및 비화소 영역(110b) 각각에 형성되는 소스/드레인 전극(170f, 120f)의 상면에는 각각 보호막(170g, 120g)과 평탄화막(170h, 120h)이 더 형성될 수도 있다. 화소 영역(110a) 및 비화소 영역(110b)은 각각 도전성 비아홀(v2, v1)을 통해 유기 전계 발광 소자(180) 및 전극층(120i)과 전기적으로 연결되도록 형성될 수 있다.

<91> 상기 화소 영역(110a)은 기관(110)의 대략 중앙에 형성되며, 화소 영역(110a)에 포함되는 화소는 적어도 하나의 박막 트랜지스터(170)를 포함하는 구조를 이룬다. 이때, 비화소 영역(110b)에 형성되는 정전기 방전 회로(120)는 화소 영역(110a)을 둘러싸는 기관(110) 내주의 적어도 일변에 형성된다.

<92> 상술한 제조 방법에 따르면 정전기 방전 회로(120)는 박막 트랜지스터(170)와 거의 동일한 방법에 의하여 제조될 수 있기 때문에, 유기 전계 발광 화소 장치(100)의 제조 비용 및 시간 면에서 효율적일 수 있다.

<93> 상기 정전기 방전 회로(120)가 형성됨으로써 화소 영역(110a)의 박막 트랜지스터(170)와 유기 전계 발광 소자(180)를 전기적으로 연결하기 위한 도전성 비아홀(v2)을 형성하는 제조 공정 중에서 발생할 수 있는 정전기로부터 박막 트랜지스터(170)와 유기 전계 발광 소자(180)를 보호할 수 있다. 정전기 방전 회로(120)는 비화소 영역(110b)에 형성되는 적어도 하나의 구동부(도 1의 130, 140, 150 참조)들이 정전기 방전으로부터 손상되는 것을 방지할 수 있다.

<94> 도 9는 본 발명의 다른 실시예에 따른 유기 전계 발광 화소 장치를 개략적으로 나타내는 도면이다.

<95> 본 발명의 다른 실시예에 따른 유기 전계 발광 화소 장치(200)는, 도 9를 참조하면, 화소 영역(210a) 및 비화소 영역(210b)을 포함하는 기관(210)의 각 변마다 독립적으로 형성된 정전기 방전 회로(220)를 포함한다. 이에 따라, 정전기 방전 회로(220)는 정전기 방전이 잦은 영역, 또는 기타 필요한 영역에만 선택적으로 형성될 수 있다는 장점이 있다. 정전기 방전 회로(220)는 각각이 기관(210)에 형성된 패드부(260)의 그라운드 패드(미도시)와 전기적으로 연결될 수 있음은 물론이다. 본 발명의 다른 실시예에 따른 정전기 방전 회로(220)의 상세한 구조는

본 발명의 일 실시예와 동일하게 형성되므로 상세한 설명은 생략하기로 한다.

<96> 상술한 유기 전계 발광 화소 장치(100)의 제조 방법은, 기관(110)의 상부 방향으로 발광하는 전면 발광 방식을 중심으로 설명하였으나, 본 발명은 이에 한정되지 않고, 기관(110)의 하부 방향으로 발광하는 배면 발광 방식 또는 기관(110)의 상부와 하부 방향으로 동시에 발광하는 양면 발광에도 모두 적용될 수 있다.

<97> 상술한 본 발명의 일 실시예 및 다른 실시예에 따르면, 유기 전계 발광 화소 장치는 기관의 적어도 일면에 정전기 방전 회로가 형성됨으로써, 제조 공정 중의 내부 요인이나 다른 외부 환경에 의해서 발생하는 정전기 방전으로 인하여 화소 또는 구동부들이 손상되는 것을 방지할 수 있게 된다.

<98> 한편, 본 발명에서 유기 전계 발광 소자는 양극(ITO), 유기층 및 음극(Metal)으로 이루어져 있다. 상기 유기층은 전자와 정공이 만나 여기자(Exciton)를 형성하여 발광하는 발광층(Emitting Layer, EML), 전자를 수송하는 전자 수송층(Electron Transport Layer, ETL), 정공을 수송하는 정공 수송층(Hole Transport Layer, HTL)으로 이루어질 수 있다. 또한, 상기 전자 수송층의 일측면에는 전자를 주입하는 전자 주입층(Electron Injecting Layer, EIL)이 형성되고, 상기 정공 수송층의 일측면에는 정공을 주입하는 정공 주입층(Hole Injecting Layer, HIL)이 더 형성될 수 있다. 더불어, 인광형 유기 전계 발광 소자의 경우에는 정공 억제층(Hole Blocking Layer, HBL)이 발광층(EML)과 전자수송층(ETL) 사이에 선택적으로 형성될 수 있으며, 전자 억제층(Electron Blocking Layer, EBL)이 발광층(EML)과 정공 수송층(HTL) 사이에 선택적으로 형성될 수 있다.

<99> 또한, 상기 유기층은 두 종류의 층을 혼합하여 그 두께를 감소시키는 슬림형유기 전계 발광 소자(Slim OLED) 구조로 형성할 수도 있다. 예를 들면, 정공 주입층과 정공 수송층을 동시에 형성하는 정공 주입 수송층(Hole Injection Transport Layer, HITL) 구조 및 전자 주입층과 전자 수송층을 동시에 형성하는 전자 주입 수송층(Electron Injection Transport Layer, EITL)구조를 선택적으로 형성할 수 있다. 상기과 같은 슬림형 유기 전계 발광 소자는 발광 효율을 증가시키는데 그 사용의 목적이 있다. 또한, 양극(ITO)과 발광층 사이에는 선택층으로서 버퍼층(Buffer Layer)을 형성할 수 있다. 상기 버퍼층은 전자를 버퍼링하는 전자 버퍼층(Electron Buffer Layer)과 정공을 버퍼링하는 정공 버퍼층(Hole Buffer Layer)으로 구분할 수 있다.

<100> 상기 전자 버퍼층은 음극(Metal)과 전자 주입층(EIL) 사이에 선택적으로 형성할 수 있으며, 상기 전자 주입층(EIL)의 기능을 대신하여 형성할 수 있다. 이때 상기 유기층의 적층 구조는 발광층(EML)/전자 수송층(ETL)/전자 버퍼층(Electron Buffer Layer)/음극(Metal)이 될 수 있다. 또한, 상기 정공 버퍼층은 양극(ITO)과 정공 주입층(HIL) 사이에 선택적으로 형성할 수 있으며, 정공 주입층(HIL)의 기능을 대신하여 형성할 수 있다. 이때 상기 유기층의 적층 구조는 양극(ITO)/정공 버퍼층(Hole Buffer Layer)/정공 수송층(HTL)/발광층(EML)이 될 수 있다.

<101> 상기 구조에 대하여 가능한 적층 구조를 기재하면 다음과 같다.

<102> a) 정상 적층 구조(Normal Stack Structure)

<103> 1) 양극/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/음극

<104> 2) 양극/정공 버퍼층/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/음극

<105> 3) 양극/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/전자 버퍼층/음극

<106> 4) 양극/정공 버퍼층/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/전자 버퍼층/음극

<107> 5) 양극/정공 주입층/정공 버퍼층/정공 수송층/발광층/전자 수송층/전자 주입층/음극

<108> 6) 양극/정공 주입층/정공 수송층/발광층/전자 수송층/전자 버퍼층/전자 주입층/음극

<109> b) 정상 슬림 구조(Normal Slim Structure)

<110> 1) 양극/정공 주입 수송층/발광층/전자 수송층/전자 주입층/음극

<111> 2) 양극/정공 버퍼층/정공 주입 수송층/발광층/전자 수송층/전자 주입층/음극

<112> 3) 양극/정공 주입층/정공 수송층/발광층/전자 주입 수송층/전자 버퍼층/음극

<113> 4) 양극/정공 버퍼층/정공 수송층/발광층/전자 주입 수송층/전자 버퍼층/음극

<114> 5) 양극/정공 주입 수송층/정공 버퍼층/발광층/전자 수송층/전자 주입층/음극

- <115> 6) 양극/정공 주입층/정공 수송층/발광층/전자 버퍼층/전자 주입수송층/음극
- <116> c) 역상 적층구조(Inverted Stack Structure)
- <117> 1) 음극/전자 주입층/전자 수송층/발광층/정공 수송층/정공 주입층/양극
- <118> 2) 음극/전자 주입층/전자 수송층/발광층/정공 수송층/정공 주입층/정공 버퍼층/양극
- <119> 3) 음극/전자 버퍼층/전자 주입층/전자 수송층/발광층/정공 수송층/정공 주입층/양극
- <120> 입층/양극
- <121> 4) 음극/전자 버퍼층/전자 주입층/전자 수송층/발광층/정공 수송층/정공 버퍼층/양극
- <122> 5) 음극/전자 주입층/전자 수송층/발광층/정공 수송층/정공 버퍼층/정공 주입층/양극
- <123> 6) 음극/전자 주입층/전자 버퍼층/전자 수송층/발광층/정공 수송층/정공 주입층/양극
- <124> d) 역상 슬림 구조 (Inverted Silm Structure)
- <125> 1) 음극/전자 주입층/전자 수송층/발광층/정공 주입 수송층/양극
- <126> 2) 음극/전자 주입층/전자 수송층/발광층/정공 주입 수송층/정공 버퍼층/양극
- <127> 3) 음극/전자 버퍼층/전자 주입 수송층/발광층/정공 수송층/정공 주입층/양극
- <128> 4) 음극/전자 버퍼층/전자 주입 수송층/발광층/정공 수송층/정공 버퍼층/양극
- <129> 5) 음극/전자 주입층/전자 수송층/발광층/정공 버퍼층/정공 주입 수송층/양극
- <130> 6) 음극/전자 주입 수송층/전자 버퍼층/발광층/정공 수송층/정공 주입층/양극
- <131> 이와 같은 유기 전계 발광 소자를 구동하는 방식으로서는 수동 매트릭스(Passive matrix) 방식과 능동 매트릭스(Active matrix) 방식이 알려져 있다. 상기 수동 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동함으로써 제작 공정이 단순하고 투자비가 적으나 대화면 구현시 전류 소모량이 많다는 단점이 있다. 상기 능동 매트릭스 방식은 박막 트랜지스터와 같은 능동 소자 및 용량성 소자를 각 화소에 형성함으로써 전류 소모량이 적고 화질 및 수명이 우수하며 중대형까지 확대 가능하다는 장점이 있다.
- <132> 본 발명은 상술한 특징의 바람직한 실시예에 한정되지 아니하며, 특허청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형의 실시가 가능한 것은 물론이고, 그와 같은 변형은 특허청구범위 기재의 범위 내에 있게 된다.

발명의 효과

- <133> 이상 설명한 바와 같이 본 발명에 의한 유기 전계 발광 화소 장치 및 그 제조 방법에 따르면 기관 내주의 적어도 일변에 정전기 방전 회로를 형성하여, 정전기 방전으로부터 화소 및 구동부들이 손상되는 것을 방지하는 효과가 있다.
- <134> 또한, 본 발명에 따르면 정전기 방전 회로의 소스/드레인 전극과 게이트 전극 사이의 수평 거리를 제어하여 비교적 높은 전압 레벨을 갖는 정전기를 제어할 수 있는 효과가 있다.
- <135> 또한, 본 발명에 따르면 정전기 방전 회로에 포함되는 게이트 절연막과 층간 절연막이 소스/드레인 전극과 반도체층 또는 게이트 전극과 반도체층 사이에 수직 방향으로 발생하는 정전기로부터 절연 파괴를 유도하여 유기 전계 발광 화소 장치의 정전기 방전을 보호하는 효과가 있다.
- <136> 또한, 본 발명에 따르면 비화소 영역의 정전기 방전 회로는 화소 영역의 박막 트랜지스터와 거의 동일한 방법으로 의하여 제조되어 유기 전계 발광 화소 장치의 제조 비용 및 시간 면에서 효율적인 효과가 있다.

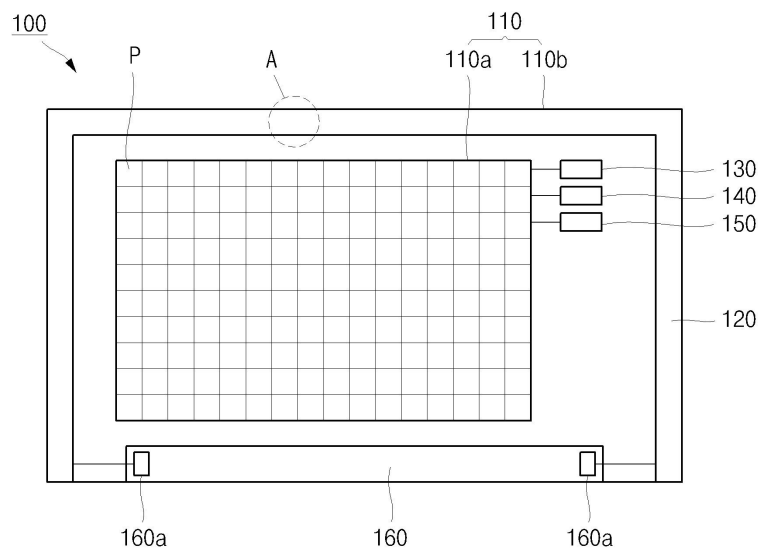
도면의 간단한 설명

- <1> 도 1은 본 발명의 일 실시예에 따른 유기 전계 발광 화소 장치의 개략도.
- <2> 도 2는 도 1의 A부분을 나타내는 레이아웃.
- <3> 도 3은 도 2를 I-I선에 따라 절단한 단면도.

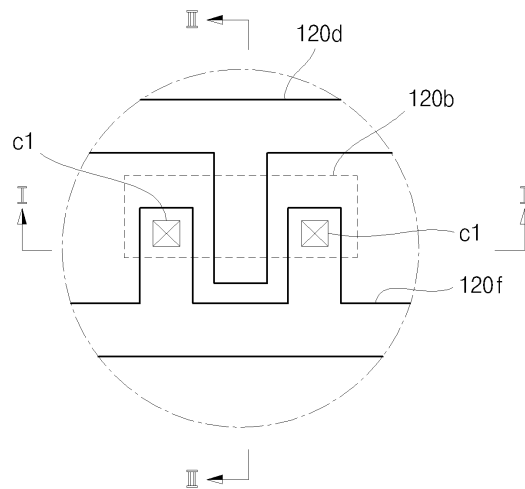
- <4> 도 4는 도 2를 II-II선에 따라 절단한 단면도.
- <5> 도 5는 본 발명의 일 실시예에 따른 유기 전계 발광 화소 장치에서 정전기가 방전되는 경로를 나타내는 도면.
- <6> 도 6은 본 발명의 일 실시예에 따른 유기 전계 발광 화소 장치의 제조 방법을 순서대로 나타낸 플로우 차트.
- <7> 도 7a 내지 도 7f는 도 6의 단계별로 형성되는 유기 전계 발광 화소 장치를 나타내는 도면.
- <8> 도 8은 본 발명의 일 실시예에 따라 제조된 유기 전계 발광 화소 장치의 화소 영역과 비화소 영역을 나타내는 도면.
- <9> 도 9는 본 발명의 다른 실시예에 따른 유기 전계 발광 화소 장치의 개략도.
- <10> < 도면의 주요 부분에 대한 부호의 설명 >
- | | |
|------------------------------|-------------------|
| <11> 100,200: 유기 전계 발광 화소 장치 | 110,210: 기판 |
| <12> 110a,210a: 화소 영역 | 110b,210b: 비화소 영역 |
| <13> 120,220: 정전기 방전 회로 | 120a: 버퍼층 |
| <14> 120b: 반도체층 | 120c: 게이트 절연막 |
| <15> 120d: 게이트 전극 | 120e: 층간 절연막 |
| <16> 120f: 소스/드레인 전극 | 130: 데이터 구동부 |
| <17> 140: 스캔 구동부 | 150: 발광 제어 구동부 |
| <18> 160,260: 패드부 | 160a: 그라운드 패드 |

도면

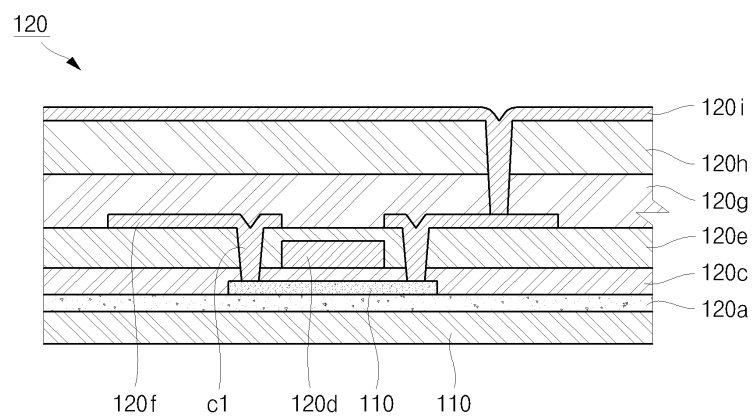
도면1



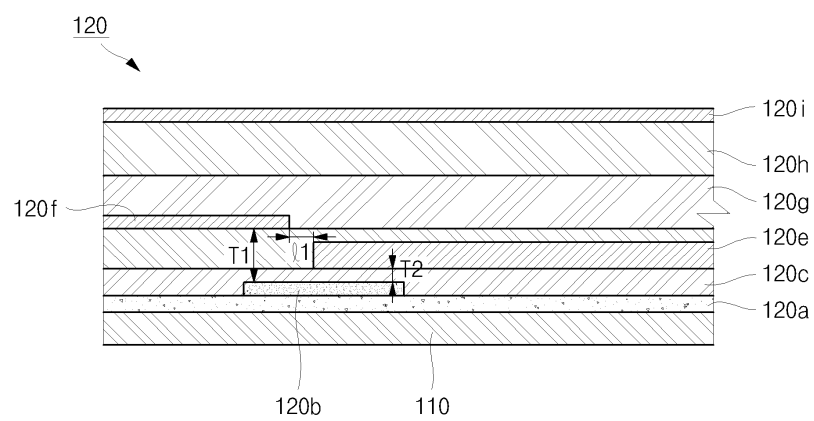
도면2



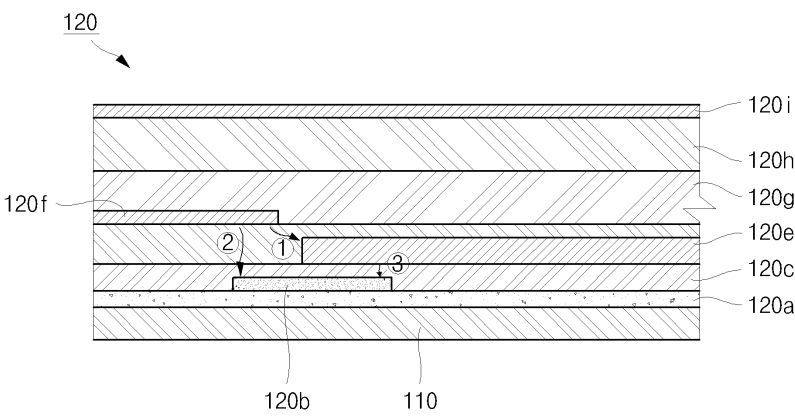
도면3



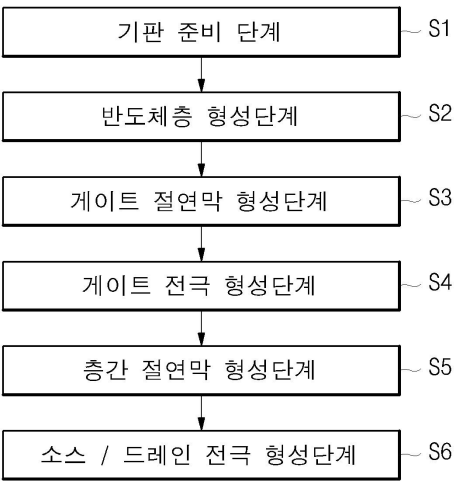
도면4



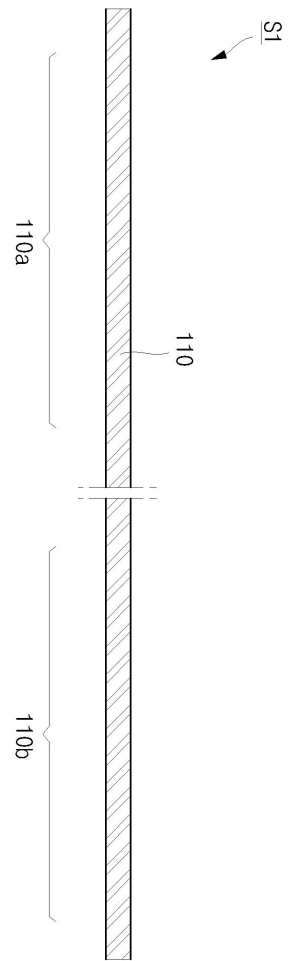
도면5



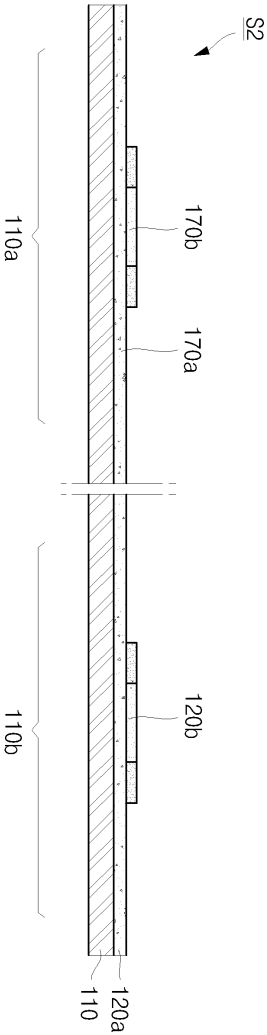
도면6



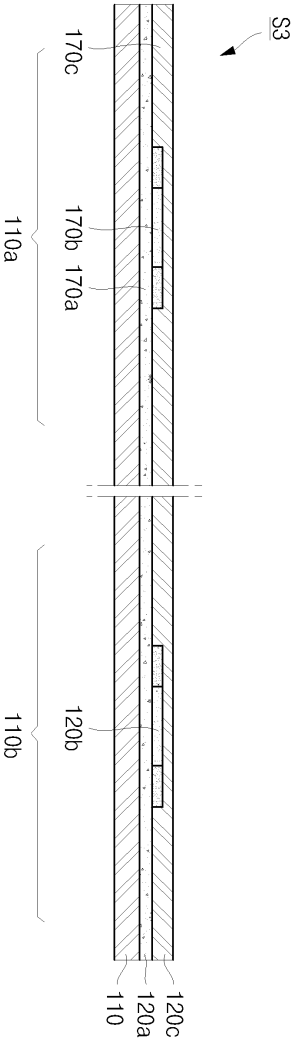
도면7a



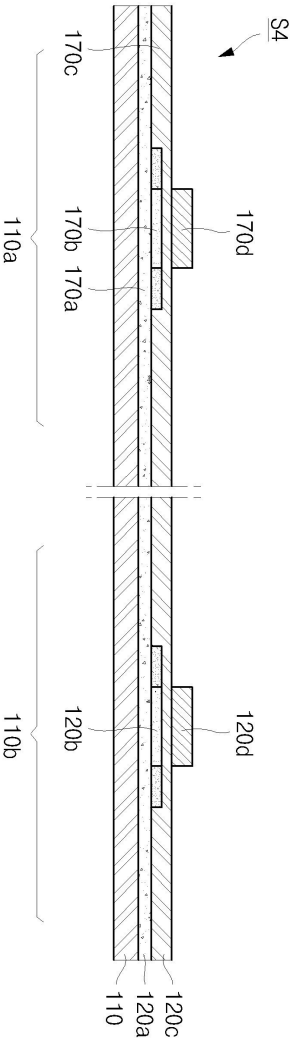
도면7b



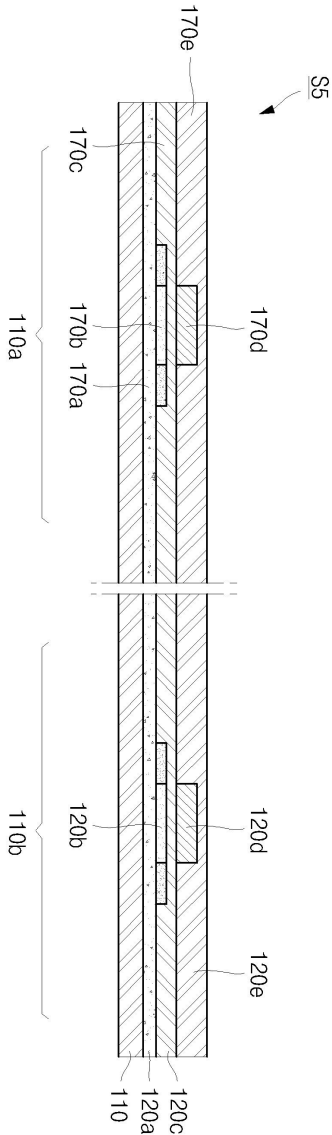
도면7c



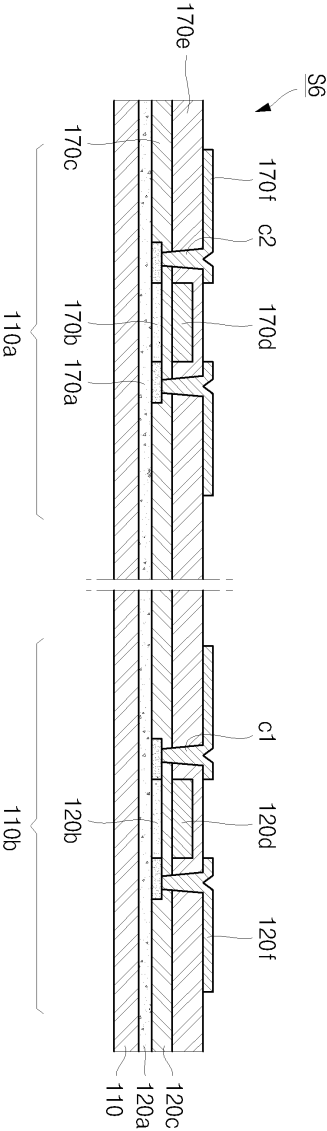
도면7d



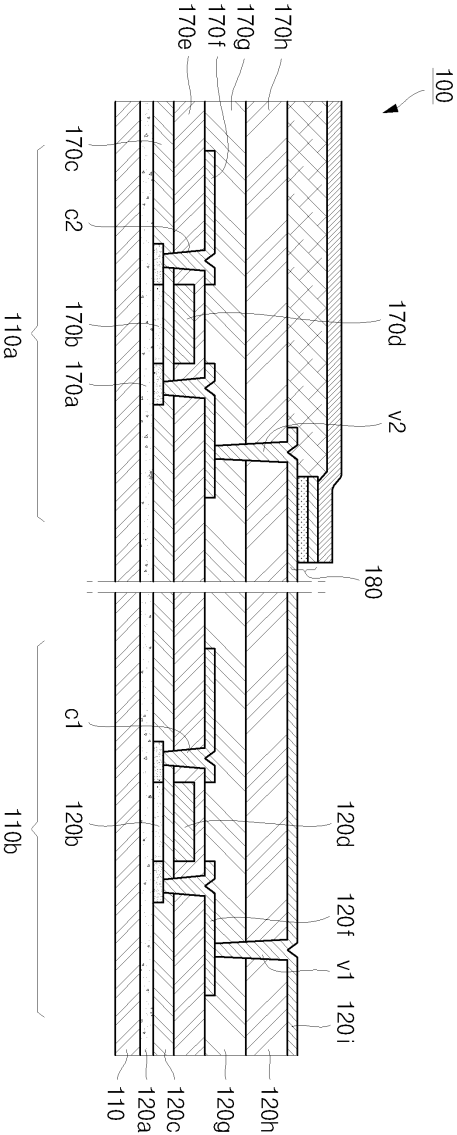
도면7e



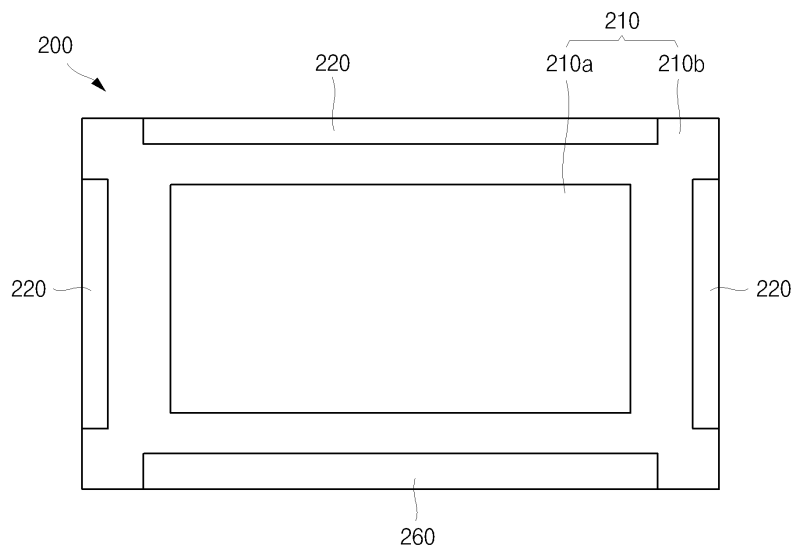
도면7f



도면8



도면9



专利名称(译)	有机电致发光像素装置及其制造方法		
公开(公告)号	KR100833768B1	公开(公告)日	2008-05-29
申请号	KR1020070004437	申请日	2007-01-15
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	JEONG SEON I 정선이 CHOI WOONG SIK 최웅식		
发明人	정선이 최웅식		
IPC分类号	H05B33/02		
CPC分类号	H01L27/0248		
外部链接	Espacenet		

摘要(译)

有机电致发光像素装置及其制造方法技术领域本发明涉及一种有机电致发光像素装置及其制造方法，更具体地，涉及通过在包括像素区域和非像素区域的基板的内周的至少一侧上形成保护电路而从静电放电中包括在有机电致发光像素装置中的像素和像素。并且，一种用于防止驱动部分被静电放电破坏的有机电致发光像素装置及其制造方法。

