



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/00 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월16일 10-0669709 2007년01월10일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2004-0009844 2004년02월14일 2004년09월22일	(65) 공개번호 (43) 공개일자	10-2005-0081542 2005년08월19일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 오상헌
 경기도용인시기흥읍공세리428-5

 박문희
 부산광역시사상구덕포1동426-9

(74) 대리인 리앤목특허법인
 이해영

(56) 선행기술조사문헌 KR1020000027171 A KR1020020079187 A * 심사관에 의하여 인용된 문헌	KR1020020071660 A KR1020030010136 A
--	--

심사관 : 나광표

전체 청구항 수 : 총 19 항

(54) 유기 전계 발광 표시장치 및 그 제조방법

(57) 요약

본 발명은 유기 전계 발광 표시장치에 관한 것으로서, 절연 기판 상에 형성된 것으로, 반도체 활성층과, 상기 반도체 활성층의 상부에 게이트 절연막이 개재되어 형성된 게이트 전극과, 상기 게이트 절연막의 상부에 상기 게이트 전극과 절연되도록 형성되고 상기 반도체 활성층의 소스 및 드레인 영역에 각각 접속되도록 도전성 소재로 구비된 소스 및 드레인 전극을 구비한 박막 트랜지스터; 상기 절연 기판 상에 배치되고, 상기 소스 및 드레인 전극 중 어느 하나와 접속되며, 상기 반도체 활성층과 동일층에 형성된 하부 전극층; 상기 하부 전극층 상에, 상기 하부 전극층에 절연되도록 형성된 상부 전극층; 및 상기 하부 전극층과 상부 전극층의 사이에 개재되고, 적어도 발광층을 가지는 유기막을 포함하는 것을 특징으로 한다.

대표도

도 3

특허청구의 범위

청구항 1.

절연 기판 상에 형성된 것으로, 반도체 활성층과, 상기 반도체 활성층의 상부에 게이트 절연막이 개재되어 형성된 게이트 전극과, 상기 게이트 절연막의 상부에 상기 게이트 전극과 절연되도록 형성되고 상기 반도체 활성층의 소스 및 드레인 영역에 각각 접속되도록 도전성 소재로 구비된 소스 및 드레인 전극을 구비한 박막 트랜지스터;

상기 절연 기판 상에 배치되고, 상기 소스 및 드레인 전극 중 어느 하나와 접속되며, 상기 반도체 활성층과 동일층에 형성된 하부 전극층;

상기 하부 전극층 상에, 상기 하부 전극층에 절연되도록 형성된 상부 전극층; 및

상기 하부 전극층과 상부 전극층의 사이에 개재되고, 적어도 발광층을 가지는 유기막을 포함하는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 2.

제 1 항에 있어서,

상기 게이트 전극과 상기 소스 및 드레인 전극과의 사이에는 층간 절연막이 개재되고,

상기 게이트 절연막 및 층간 절연막은 상기 하부 전극층 상에서, 이 게이트 절연막 및 층간 절연막이 형성되지 않은 개구부를 가지는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 3.

제 2 항에 있어서,

상기 소스 및 드레인 전극은 상기 게이트 절연막 및 층간 절연막에 형성된 제 1 컨택홀을 통하여 상기 반도체 활성층과 접속되는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 4.

제 2 항에 있어서,

상기 소스 및 드레인 전극은 상기 게이트 절연막 및 층간 절연막에 형성된 제 2 컨택홀을 통하여 상기 하부 전극층과 접속되는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 5.

제 1 항에 있어서,

상기 하부 전극층은 투명 전극인 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 6.

제 5 항에 있어서,

상기 하부 전극층은 ITO, IZO, ZnO, 또는 In_2O_3 로 구비되는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 7.

제 1 항에 있어서,

상기 하부 전극층은 반사 전극인 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 8.

제 7 항에 있어서,

상기 하부 전극층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 ITO, IZO, ZnO, 또는 In_2O_3 를 형성하여 이루어진 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 9.

제 2 항에 있어서,

상기 박막 트랜지스터를 덮고, 상기 개구부내에서 하부 전극층의 소정 부분이 노출되도록 화소 정의막이 형성되고, 상기 유기막은 적어도 상기 하부 전극층이 노출된 영역에 형성된 영역을 포함하는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 10.

절연 기판 상에서, 박막 트랜지스터들을 형성하고자 하는 위치에 제 1 및 제 2 반도체 활성층을 형성한 다음, 상기 제 1 반도체 활성층 상에 상기 제 1 반도체 활성층의 양단이 노출되도록 이온 스톱퍼 레이어를 형성한 후 고농도의 제 1 이온을 도핑하는 단계;

상기 절연 기판 상에서, 상기 제1 및 제2 반도체 활성층과 동일층에 도전성 소재로 하부 전극층을 형성하는 단계;

상기 절연 기판의 전면에 게이트 절연막을 도포한 후, 상기 제1 및 제2 반도체 활성층 상에 게이트 전극을 형성한 다음, 상기 게이트 전극을 마스크로 이용하여 상기 제1 및 제2 반도체 활성층에 저농도의 제 1 이온을 도핑하는 단계;

상기 제 1 반도체 활성층 상에 상기 제 1 반도체 활성층을 덮는 이온 스톱퍼 레이어를 형성한 후 상기 제 2 반도체 활성층에 고농도의 제 2 이온을 도핑하는 단계;

상기 절연 기판의 전면에 층간 절연막을 도포한 후, 상기 게이트 절연막 및 층간 절연막에, 상기 제1 및 제2 반도체 활성층의 이온 도핑영역이 노출되도록 제 1 콘택홀을 형성하고, 상기 층간 절연막 상에, 상기 제1 및 제2 반도체 활성층의 이온 도핑영역에 접속되도록 소스 및 드레인 영역이 형성되는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조방법.

청구항 11.

제 10 항에 있어서,

상기 제 1 컨택홀을 형성할 때, 상기 제1 또는 제2 반도체 활성층에 인접한 상기 하부 전극층의 일단부가 노출되도록 제 2 컨택홀을 형성하는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조방법.

청구항 12.

제 11 항에 있어서,

상기 소스 및 드레인 영역이 형성될 때, 상기 제 2 컨택홀을 통하여 상기 제1 또는 제2 반도체 활성층에 인접한 상기 하부 전극층의 일단부에 접속되도록 형성되는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조방법.

청구항 13.

제 10 항에 있어서,

상기 제 1 컨택홀을 형성할 때, 상기 하부 전극층의 소정 부분이 노출되도록 개구부를 형성하는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조방법.

청구항 14.

제 13 항에 있어서,

상기 박막 트랜지스터를 덮고, 상기 개구부내에서 하부 전극층의 소정 부분이 노출되도록 화소 정의막이 형성되는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조방법.

청구항 15.

제 14 항에 있어서,

상기 개구부 및 화소 정의막 상에서, 적어도 상기 하부 전극층이 노출된 영역에 유기막을 도포한 다음, 상기 절연 기판의 전면에 상부 전극층을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조방법.

청구항 16.

제 10 항에 있어서,

상기 하부 전극층은 투명 전극으로 형성하는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조방법.

청구항 17.

제 16 항에 있어서,

상기 하부 전극층은 ITO, IZO, ZnO, 또는 In_2O_3 로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조방법.

청구항 18.

제 10 항에 있어서,

상기 하부 전극층은 반사 전극으로 형성하는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조방법.

청구항 19.

제 18 항에 있어서,

상기 하부 전극층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 ITO, IZO, ZnO, 또는 In_2O_3 를 형성하여 이루어지는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계 발광 표시장치의 제조방법에 관한 것으로서, 보다 상세하게는 유기 전계 발광 표시장치중 화상 영역에 형성되는 화상 표시용 트랜지스터의 반도체 활성층과 유기 전계 발광 표시소자의 애노드 전극을 동일층에 형성하고, 층간절연막의 패터닝시에 상기 반도체 활성층과 애노드 전극을 접속시키기 위한 비아홀 및 개구부를 동시에 형성함으로써 고개구율의 실현 및 제조공정에 필요한 마스크의 사용 개수를 줄이는 유기 전계 발광 표시장치의 제조방법에 관한 것이다.

유기 전계 발광 표시장치는 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 자발광형 디스플레이로 낮은 전압에서 구동이 가능하고, 박형화가 용이하며 넓은 광시야각, 빠른 응답속도 등을 장점을 갖추어, 액정표시장치에 있어서 문제점으로 지적되어 왔던 결점을 해결할 수 있는 차세대 디스플레이로 주목받고 있다.

유기 전계 발광 표시장치는 유리와 같은 투명한 절연기판에 소정 패턴의 유기막이 형성되고 이 유기막의 상하부에는 전극층들이 형성된다. 유기막은 유기 화합물로 이루어진다.

상기와 같이 구성된 유기 전계 발광 표시장치는 전극들에 양극 및 음극 전압이 인가됨에 따라 양극전압이 인가된 전극으로부터 주입된 정공(hole)이 정공 수송층을 경유하여 발광층으로 이동되고, 전자는 음극전압이 인가된 전극으로부터 전자 수송층을 경유하여 발광층으로 주입된다. 이 발광층에서 전자와 홀이 재결합하여 여기자(exiton)를 생성하고, 이 여기자가 여기상태에서 기저상태로 변화됨에 따라, 발광층의 형광성 분자가 발광함으로써 화상이 형성된다.

한편, 이러한 유기 전계 발광 표시장치 중 능동 구동방식의 액티브 매트릭스(Active Matrix: AM)형 유기 전계 발광 표시장치는 각 화소당 적어도 2개의 박막 트랜지스터(이하, "TFT"라 함)를 구비한다. 이들 박막 트랜지스터는 각 화소의 동작을 제어하는 스위칭 소자 및 픽셀을 구동시키는 구동 소자로 사용된다. 이러한 박막 트랜지스터는 기판 상에 고농도의 불순물로 도핑된 드레인 영역과 소스 영역 및 상기 드레인 영역과 소스 영역의 사이에 형성된 채널 영역을 갖는 반도체 활성층을 가지며, 이 반도체 활성층 상에 형성된 게이트 절연막, 및 활성층의 채널영역 상부의 게이트 절연막 상에 형성된 게이트 전극, 게이트 전극 상에서 층간절연막을 사이에 두고 드레인 영역과 소스 영역과 콘택홀을 통해 접속된 드레인 전극 및 소스 전극 등으로 구성된다.

도 1은 액티브 매트릭스형 유기 전계 발광 표시장치의 부화소의 개략적인 구조를 나타내는 평면도이다. 액티브 매트릭스형 유기 전계 발광 표시장치는 각 부화소마다 적어도 하나의 스위칭 트랜지스터(TFT_{sw})와 적어도 하나의 구동 트랜지스터(TFT_{dr}) 및 충전용 커패시터(C_{st})를 포함한다. 스위칭 트랜지스터(TFT_{sw})는 스캔 라인(Scan)에 인가되는 스캐닝 신호에 구동되어 데이터 라인(Data)에 인가되는 데이터 신호를 전달하는 역할을 한다. 구동 트랜지스터(TFT_{dr})는 스위칭 트랜

지스터(TFT_{sw})를 통해 전달되는 데이터 신호에 따라서, 즉 게이트와 소스 간의 전압차(V_{gs})에 의해 구동라인(V_{dd})을 통해 유기 전계 발광 소자(OLED)로 유입되는 전류량을 결정한다. 충전용 커패시터(C_{st})는 상기 스위칭 트랜지스터(TFT_{sw})를 통해 전달되는 데이터 신호를 한 프레임동안 저장하는 역할을 한다.

도 2는 종래의 유기 전계 발광 표시장치의 단면도로서, 특히 구동 트랜지스터(TFT_{dr})의 단면도를 도시한 것이다. 도 2에서 볼 수 있는 바와 같이, 글라스재의 기판(100)상에 버퍼층(110)이 형성되어 있고, 이 위에 박막 트랜지스터(TFT)와, 유기 전계 발광 소자(OLED)가 형성된다.

이러한 유기 전계 발광 표시장치는 일반적으로 다음과 같이 형성된다.

먼저, 기판(100)의 버퍼층(110)상에 소정 패턴의 반도체 활성층(121)이 구비된다. 반도체 활성층(121)의 상부에는 SiO₂ 등에 의해 게이트 절연막(130)이 구비되고, 게이트 절연막(130) 상부의 소정 영역에는 MoW, Al/Cu 등의 도전막으로 게이트 전극(141)이 형성된다. 상기 게이트 전극(141)은 TFT 온/오프 신호를 인가하는 게이트 라인(미도시)과 연결되어 있다. 상기 게이트 전극(141)의 상부로는 층간 절연막(inter-insulator:150)이 형성되고, 콘택 홀(161a)을 통해 소스/드레인 전극(161)이 각각 반도체 활성층(121)의 소스 영역 및 드레인 영역에 접하도록 형성된다. 소스/드레인 전극(161) 상부로는 SiO₂, SiNx 등으로 이루어진 패시베이션막(170)이 형성된다. 이 패시베이션 막(170)의 상부에는 아크릴, 폴리 이미드, BCB 등의 유기물질로 평탄화막이 형성될 수 있다.

패시베이션 막(170)에는 포토리소그래피 공정 또는 천공에 의해 소스/드레인 전극(161)에 이어지는 비아홀(170a)이 형성된다. 그리고, 이 패시베이션 막(170)의 상부에 애노드 전극이 되는 하부 전극층(180)이 형성되고, 이 하부 전극층(180)은 소스/드레인 전극(161)에 전기적으로 접속된다. 그리고, 하부 전극층(161)을 덮도록 유기물로 화소 정의막(Pixel Define Layer: 185)이 형성된다. 이 화소정의막(185)에 소정의 개구부를 형성한 후, 이 개구부로 한정된 영역 내에 유기막(190)을 형성한다. 유기막(190)은 발광층을 포함한다. 그리고, 이 유기막(190)을 덮도록 캐소드 전극인 상부 전극층(195)이 형성된다. 상기 유기막(190)은 하부 전극층(180)과 상부 전극층(195)의 서로 대향되는 부분에서 정공 및 전자의 주입을 받아 발광된다.

그러나, 상기 종래의 유기 전계 발광 표시장치는 개구부가 패시베이션 막의 위에 형성되므로 배면발광형의 경우에 개구율이 떨어진다. 또한, 제조공정에 있어서, 콘택홀이 형성되는 공정과 비아홀이 형성되는 공정 및 화소 정의막이 형성되는 공정이 모두 별도로 이루어지므로 제조공정이 복잡하고 마스크 개수가 많은 단점이 있었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기 종래 기술의 문제점을 해결하기 위하여 창안된 것으로서, 본 발명의 목적은 개구율을 개선시킨 유기 전계 발광 표시장치를 제공하는데 있다.

본 발명의 다른 목적은 유기 전계 발광 표시장치의 제조 공정에 필요한 마스크 패턴의 개수를 감소시킴으로써, 제조 공정의 신속화, 간소화 및 제조 비용의 감소화에 이바지하는 유기 전계 발광 표시장치의 제조방법을 제공하는데 있다.

발명의 구성

상기와 같은 목적을 달성하기 위하여, 본 발명은,

절연 기판 상에 형성된 것으로, 반도체 활성층과, 상기 반도체 활성층의 상부에 게이트 절연막이 개재되어 형성된 게이트 전극과, 상기 게이트 절연막의 상부에 상기 게이트 전극과 절연되도록 형성되고 상기 반도체 활성층의 소스 및 드레인 영역에 각각 접속되도록 도전성 소재로 구비된 소스 및 드레인 전극을 구비한 박막 트랜지스터;

상기 절연 기판 상에 배치되고, 상기 소스 및 드레인 전극 중 어느 하나와 접속되며, 상기 반도체 활성층과 동일층에 형성된 하부 전극층;

상기 하부 전극층 상에, 상기 하부 전극층에 절연되도록 형성된 상부 전극층; 및

상기 하부 전극층과 상부 전극층의 사이에 개재되고, 적어도 발광층을 가지는 유기막을 포함하는 것을 특징으로 하는 유기 전계 발광 표시장치를 제공한다.

그리고, 상기 유기 전계 발광 표시장치에서, 상기 게이트 전극과 상기 소스 및 드레인 전극과의 사이에는 층간 절연막이 개재되고, 상기 게이트 절연막 및 층간 절연막은 상기 하부 전극층 상에서, 이 게이트 절연막 및 층간 절연막이 형성되지 않은 개구부를 가질 수 있다.

또한, 상기 소스 및 드레인 전극은 상기 게이트 절연막 및 층간 절연막에 형성된 제 1 컨택홀을 통하여 상기 반도체 활성층과 접촉될 수 있다.

그리고, 상기 소스 및 드레인 전극은 상기 게이트 절연막 및 층간 절연막에 형성된 제 2 컨택홀을 통하여 상기 하부 전극층과 접촉될 수 있다.

한편, 상기 하부 전극층은 ITO, IZO, ZnO, 또는 In_2O_3 로 구비되는 투명 전극으로 이루어질 수 있다. 또 한편으로는, 상기 하부 전극층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 ITO, IZO, ZnO, 또는 In_2O_3 를 형성하여 이루어진 반사 전극일 수 있다.

그리고, 상기 유기 전계 발광 표시장치는, 상기 박막 트랜지스터를 덮고 상기 개구부내에서 하부 전극층의 소정 부분이 노출되도록 화소 정의막이 형성되고, 상기 유기막은 적어도 상기 하부 전극층이 노출된 영역에 형성된 영역을 포함할 수 있다.

한편, 본 발명에 따른 유기 전계 발광 표시장치의 제조방법은,

절연 기판 상에서, 박막 트랜지스터들을 형성하고자 하는 위치에 제 1 및 제 2 반도체 활성층을 형성한 다음, 상기 제 1 반도체 활성층 상에 상기 제 1 반도체 활성층의 양단이 노출되도록 이온 스톱퍼 레이어를 형성한 후 고농도의 제 1 이온을 도핑하는 단계;

상기 절연 기판 상에서, 상기 제1 및 제2 반도체 활성층과 동일층에 도전성 소재로 하부 전극층을 형성하는 단계;

상기 절연 기판의 전면에 게이트 절연막을 도포한 후, 상기 제1 및 제2 반도체 활성층 상에 게이트 전극을 형성한 다음, 상기 게이트 전극을 마스크로 이용하여 상기 제1 및 제2 반도체 활성층에 저농도의 제 1 이온을 도핑하는 단계;

상기 제 1 반도체 활성층 상에 상기 제 1 반도체 활성층을 덮는 이온 스톱퍼 레이어를 형성한 후 상기 제 2 반도체 활성층에 고농도의 제 2 이온을 도핑하는 단계; 및

상기 절연 기판의 전면에 층간 절연막을 도포한 후, 상기 게이트 절연막 및 층간 절연막에, 상기 제1 및 제2 반도체 활성층의 이온 도핑영역이 노출되도록 제 1 컨택홀을 형성하고, 상기 층간 절연막 상에, 상기 제1 및 제2 반도체 활성층의 이온 도핑영역에 접촉되도록 소스 및 드레인 영역이 형성되는 단계를 포함한다.

그리고, 상기 제 1 컨택홀을 형성할 때, 상기 제1 또는 제2 반도체 활성층에 인접한 상기 하부 전극층의 일단부가 노출되도록 제 2 컨택홀을 형성할 수 있다.

그리고, 상기 소스 및 드레인 영역이 형성될 때, 상기 제 2 컨택홀을 통하여 상기 제1 및 제2 반도체 활성층에 인접한 상기 하부 전극층의 일단부에 접촉되도록 형성할 수 있다.

그리고, 상기 제 1 컨택홀을 형성할 때, 상기 하부 전극층의 소정 부분이 노출되도록 개구부를 형성할 수 있다.

한편, 상기 유기 전계 발광 표시장치의 제조방법은, 상기 박막 트랜지스터를 덮고, 상기 개구부내에서 하부 전극층의 소정 부분이 노출되도록 화소 정의막이 형성되는 단계를 더 포함한다. 또한, 상기 개구부 및 화소 정의막 상에서, 적어도 상기 하부 전극층이 노출된 영역에 유기막을 도포한 다음, 상기 절연 기판의 전면에 상부 전극층을 형성하는 단계를 포함한다.

이하에서는, 첨부된 도면을 참조하면서 본 발명의 바람직한 실시예를 설명한다.

도 3은 본 발명에 따른 유기 전계 발광 표시장치의 단면도로서, 특히 구동부내의 박막 트랜지스터나 부화소의 스위칭 트랜지스터(TFT_{sw}) 또는 구동 트랜지스터(TFT_{dr}) 및 그에 연결된 개구부(270a)를 중심으로 나타낸 것이다.

좌측의 박막 트랜지스터는 구동부내의 박막 트랜지스터나 부화소의 스위칭 트랜지스터(TFT_{sw})가 P형 트랜지스터인 것을 가정한 것이고, 중앙측의 박막 트랜지스터는 부화소의 구동 트랜지스터(TFT_{dr})가 N형 트랜지스터인 것을 가정한 것이며, 우측에는 개구부(270a)에 유기 전계 발광 소자(OLED)가 배치되어 있다.

도 3을 참조하면, 절연 기판(200) 및 버퍼층(210)의 상면에, 제1 및 제2 반도체 활성층(221,222)과, 게이트 전극(241,242)과, 소스 및 드레인 전극(261,262)이 설치되어 있다. 제1 및 제2 반도체 활성층(221,222)과 게이트 전극(241,242) 사이에는 게이트 절연막(230)이 개재되어 절연되어 있고, 게이트 전극(241,242)과 소스 및 드레인 전극(261,262) 사이에는 층간 절연막(250)이 개재되어 절연되어 있다. 소스 및 드레인 전극(261,262)은 각각 제1 및 제2 반도체 활성층의 소스 및 드레인 영역(221,222)에 제 1 콘택 홀(261a,262a)을 통해 접속되어 있다.

특히, 절연 기판(200) 및 버퍼층(210)의 상면에 접하여, 제1 및 제2 반도체 활성층(221,222)과 동일층에는 유기 전계 발광 소자(OLED)의 하부 전극층(280)(예를 들어, 애노드층)이 형성되어 있다. 하부 전극층(280)은 소스 및 드레인 전극(262) 중 어느 하나와 비아홀(230a)을 통하여 접속되어 있다. 본 발명에 따른 유기 전계 발광 표시장치에서는, 종래 기술과 달리 유기 전계 발광 소자(OLED)와 구동 트랜지스터(TFT_{dr}) 사이의 수직으로 연장된 비아홀(도 2의 170a)이 존재하지 않는 대신에, 유기 전계 발광 소자(OLED)와 구동 트랜지스터(TFT_{dr}) 사이의 수평 방향으로 접속가능한 제 2 콘택홀(230a)이 존재한다. 그리고, 게이트 절연막(230) 및 층간 절연막(240)은 하부 전극층(280) 상에서, 이 게이트 절연막(230) 및 층간 절연막(240)이 형성되지 않은 개구부(270a)를 가진다.

하부 전극층을 투명 전극으로 이루어지게 형성하면, 기판(200) 측을 향하여 발광하는 배면발광이 가능하게 된다. 이때, 상기 투명 하부 전극층은 ITO, IZO, ZnO, 또는 In₂O₃로 구비될 수 있다. 또한, 하부전극층을 반사 전극으로 이루어지게 형성하면, 캐소드(295) 측을 향하여 발광하는 전면발광이 가능하게 된다. 이때, 상기 반사형 하부 전극층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 ITO, IZO, ZnO, 또는 In₂O₃를 형성하여 구비될 수 있다.

유기막(290)은 발광층을 포함하는 것으로서, 하부 전극층(280)과 상부 전극층(295)의 사이에 개재된다. 하부 전극층(280)과 상부 전극층(295)은 상기 유기막(290)에 의해 서로 소정간격 이격되어 있으며, 유기막(290)에 서로 다른 극성의 전압을 가해 유기막(290)에서 발광이 이루어지도록 한다. 유기막(290)은 저분자 또는 고분자 유기막이 사용될 수 있는 데, 저분자 유기막을 사용할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 유기 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기막은 진공증착의 방법으로 형성된다.

고분자 유기막의 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이 때, 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수 있다.

상기와 같은 유기막(290)은 반드시 이에 한정되는 것은 아니고, 다양한 실시예들이 적용될 수 있음은 물론이다.

본 발명에 있어서, 유기막(290)은 상기 박막 트랜지스터를 덮고, 상기 개구부(270a)내에서 하부 전극층(280)의 소정 부분이 노출되도록 형성되는 화소 정의막(270) 상에 형성된다. 그리고, 상기 유기막(290)은 적어도 상기 하부 전극층(280)이 노출된 영역에 형성된 영역을 포함한다. 도 3에 도시된 유기 전계 발광 표시장치에서, 화소 정의막(270)은 하부 전극층(280)과 접하지 않고 있으나, 하부 전극층(280)과 접하도록 형성되어도 무방하다. 화소 정의막(270)은 SiO₂, SiNx 등으로 이루어진 패시베이션막으로 형성되거나, 또는 아크릴, 폴리 이미드, BCB 등의 유기물질로 이루어진 평탄화막으로 형성될 수 있다.

유기막(290) 상에 형성되는 상부 전극(295)도 투명 전극 또는 반사형 전극으로 구비될 수 있는데, 투명전극으로 사용될 때에는 이 상부 전극(295)이 캐소드 전극으로 사용되므로, 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Mg, 및 이들의 화합물이 유기막(290)의 방향을 향하도록 증착한 후, 그 위에 ITO, IZO, ZnO, 또는 In_2O_3 등의 투명 전극 형성용 물질을 형성할 수 있다. 그리고, 반사형 전극으로 사용될 때에는 위 Li, Ca, LiF/Ca, LiF/Al, Al, Mg, 및 이들의 화합물을 전면 증착하여 형성한다.

한편, 개구부(270a)의 우측에는 설계에 따라 전원라인(Vdd) 또는 데이터 라인(Data)으로서 소스/드레인 전극(261,262)과 동시에 형성되는 라인(265)이 배치될 수 있다.

상기와 같은 구조를 가진 유기 전계 발광 표시장치는, 종래와 달리 하부 전극층과 소스/드레인 전극을 접속시키는 비아홀이 존재하지 않으며 반도체 활성층과 하부 전극층이 동일층 상에 형성되므로, 화소 정의막(270) 및 개구부(270a)가 이 기관(200)에 근접하게 형성될 수 있으므로 개구율이 크게 개선되게 된다.

또한, 화소 정의막(270)은 패시베이션막 또는 평탄화막으로 이루어지며, 별도의 절연막으로 형성되는 것이 아니므로 제조 공정의 간략화, 단순화에 이바지한다.

즉, 상기와 같은 구조를 가진 유기 전계 발광 표시장치는, 비아홀이 존재하지 않고 패시베이션막, 평탄화막 및 화소 정의막이 동시에 형성되므로 그 제조방법에 있어서 필요 마스크의 개수가 비약적으로 저감되며, 발광 효율이 증대되는 효과가 있는 바, 이하에서는 본 발명에 의한 유기 전계 발광 표시장치의 제조방법의 바람직한 실시예를 설명한다.

도 4 내지 도 12에는, 본 발명에 따른 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도가 도시되어 있다.

먼저, 도 4에 도시된 바와 같이, 소정 면적을 갖는 디스플레이 기관(200)의 상면에, 앞서 설명한 바와 같이 전면적에 걸쳐 버퍼층(210)을 형성한다.

이 버퍼층(210)은 디스플레이 기관(200)이 무알칼리 기관이 아닐 경우, 디스플레이 기관(200)에 포함된 불순물 이온이 절연 기관(200)의 상면에 형성될 박막 트랜지스터로 확산되는 것을 방지하기 위한 것이므로, 디스플레이 기관(200)이 무알칼리 기관일 경우 이와 같은 버퍼층(210)은 형성하지 않아도 무방하다. 즉, 버퍼층(210)은 기관(200)에 따라서 선택적으로 형성할 수 있다. 버퍼층(210)은 SiO_2 로 형성할 수 있으며, PECVD법, APCVD법, LPCVD법, ECR법 등에 의해 증착될 수 있다. 그리고, 이 버퍼층(410)은 대략 3000Å 정도로 증착될 수 있다.

이후, 절연 기관(200)의 상면에는 다시 증착 설비에 의하여 폴리 실리콘(poly-silicon) 박막층이 소정 두께(대략 500Å 정도)로 형성된다. 이때, 폴리 실리콘 박막층은 아몰퍼스 실리콘을 디스플레이 기관(200)에 형성한 상태에서 아몰퍼스 실리콘을 레이저 결정 공정에 의하여 폴리 실리콘으로 결정 변화를 유도하거나 또는 폴리 실리콘을 직접 디스플레이 기관(200)에 형성할 수 있는 바, 어느 방법을 사용하여도 무방하다.

이후, 도 4에 도시된 바와 같이 폴리 실리콘 박막층에는 다시 포토레지스트 박막이 형성된 상태(이하, 박막 형성과정에서 포토레지스트 박막 형성 과정은 설명의 편의상 필수적인 곳을 제외하고는 생략하기로 한다)에서 제 1 패턴 마스크를 사용하여 2 개의 박막 트랜지스터의 위치에 소정 면적을 갖는 제1 및 제2 반도체 활성층(221,222)을 형성한다. 도 4의 중앙측에 도시된 제1 반도체 활성층(222)은 유기 전계 발광 소자(OLED)를 직접 구동하기 위한 구동 트랜지스터(TFT_{dr})를 형성할 위치에 배치되고, 도 4의 좌측에 도시된 제2 반도체 활성층(221)은 구동 트랜지스터를 스위칭하는 스위칭 트랜지스터(TFT_{sw})를 형성할 위치에 배치될 수 있다. 도 4의 좌측에 도시된 제2 반도체 활성층(221)은 비유효 디스플레이 영역에서 디스플레이 영역의 트랜지스터에 구동 신호를 인가하는 구동부의 박막 트랜지스터를 형성할 위치에 배치될 수도 있다.

이하에서, 본 발명의 바람직한 실시예는, 중앙측에 도시된 제 1 반도체 활성층(222)이 N형 트랜지스터를 형성하기 위한 것이고, 좌측에 도시된 제 2 반도체 활성층(221)이 P형 트랜지스터를 형성하기 위한 것을 기준으로 설명된다. 그러나, 본 실시예는 이해의 편의상 가정한 것이고, 본 발명의 범위가 이 실시예에 한정되는 것이 아니며, 박막 트랜지스터의 P형 및 N형이 바뀌어도 본 발명의 범위에 속하는 것에 주의해야 한다.

이어서, 도 5에 도시된 바와 같이, 제 2 패턴 마스크를 이용하여, 제1 및 제2 반도체 활성층(221,222) 상에 이온 스톱퍼 레이어(M2)가 형성된다. 이온 스톱퍼 레이어(M2)는 중앙측 제1 반도체 활성층(222)의 양단이 노출되도록 형성되며, 이때, 좌측의 제2 반도체 활성층(221)은 모두 덮히도록 형성된다. 이후, 이온 스톱퍼 레이어(M2)에 의하여 가려지지 않은 제1 반도체 활성층(222)에, 이온주입설비에 의하여, N 물질로 고농도 이온 도핑(high density ion doping)이 수행된다.

이로써, 중앙측의 제1 반도체 활성층(222)의 양단에는 N 물질에 의한 고농도 이온 도핑이 이루어진다.

이어서, 도 6의 우측에 도시된 바와 같이, 제1 및 제2 반도체 활성층(221,222)과 동일층에, 제 3 패턴 마스크를 이용하여, 애노드 전극으로 사용되는 하부 전극층(280)을 형성한다.

하부 전극층(280)은 도전성 소재로 형성되며, 하부 전극층(280)을 투명 전극으로 이루어지게 형성하면, 기관(200) 측을 향하여 발광하는 배면발광이 가능하게 된다. 이때, 상기 투명 하부 전극층은 ITO, IZO, ZnO, 또는 In_2O_3 로 구비될 수 있다. 또한, 하부전극층을 반사 전극으로 이루어지게 형성하면, 캐소드(295) 측을 향하여 발광하는 전면발광이 가능하게 된다. 이때, 상기 반사형 하부 전극층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 ITO, IZO, ZnO, 또는 In_2O_3 를 형성하여 구비될 수 있다.

다음으로, 도 7에 도시된 바와 같이, 제1 및 제2 반도체 활성층(221,222) 및 하부 전극층(280)이 형성된 기관(200)의 전면 에 게이트 절연막(230)을 도포한 후, 제 4 패턴 마스크를 이용하여 제1 및 제2 반도체 활성층(221,222) 상에 각각 게이트 전극(241,242)을 형성한다. 게이트 전극(241,242)은, 예를 들어, 3000Å 두께의 MoW으로 형성될 수 있다.

이후, 게이트 전극(241,242)이 패터닝된 상태에서, 도 8와 같이, 게이트 전극(241,242)을 마스크로 이용하여 제1 및 제2 반도체 활성층(221,222)에, N 물질로 저농도 이온 도핑(low density ion doping)을 수행한다. 이로써, 게이트 전극(242)에 의해 가려지지 않은 제 1 반도체 활성층(222)의 양단 및 게이트 전극(241)에 의해 가려지지 않은 제 2 반도체 활성층(221)의 양단에 N형 저농도 이온 도핑이 이루어진다.

이어서, 제 2 반도체 활성층(221)만을 이온 도핑하기 위하여, 제 5 패턴 마스크를 매개로 형성된 이온 스톱퍼 레이어(M5)를 통해, 제2 반도체 활성층(221)에 P형 물질로 이온 도핑을 수행한다. 이때, 이온 스톱퍼 레이어(M5)는 제 1 반도체 활성층(222) 및 게이트 전극(242)의 전체를 덮고, 제 2 반도체 활성층(221)은 덮지 않도록 형성되어야 한다.

그 다음으로, 이온 스톱퍼 레이어(M5)를 제거한 후, 디스플레이 기관(200)의 상면에는 도 10에 도시된 바와 같이 전면적에 걸쳐 층간 절연막(250)이 소정 두께로 형성된 상태에서, 제 1 반도체 활성층(222)의 이온 도핑 영역, 제 2 반도체 활성층(221)의 이온 도핑 영역에 해당하는 부분의 게이트 절연막(230) 및 층간 절연막(250)에 제 6 패턴 마스크를 매개로 각각 제 1 콘택홀(261a, 262a)이 형성된다.

이와 동시에, 제 6 패턴 마스크를 매개로, 제 1 반도체 활성층(222)에 인접한 하부 전극층(280)의 일단부가 노출되도록 제 2 콘택홀(230a)을 형성한다.

또한, 이와 동시에, 하부 전극층(280)의 소정 부분이 노출되도록 개구부(270a)를 형성한다.

따라서, 제 6 패턴 마스크는 제 1 콘택홀(261a, 262a), 제 2 콘택홀(230a) 및 개구부(270a)가 동시에 형성될 수 있도록 패터닝 할 수 있어야 한다.

이후, 절연 기관(100)의 전면적에 걸쳐 도전성 소스/드레인 메탈이 소정 두께로 증착되어 소스/드레인 메탈층이 형성된 다음, 도 11에 도시된 바와 같이, 소스/드레인 메탈층에 제 7 패턴 마스크에 의하여 패터닝이 수행되어, 소스/드레인 전극(261,262)이 형성된다. 이때, 도 11과 같이, 소스 및 드레인 영역(262)은 제 2 콘택홀(230a)을 통하여, 제1 반도체 활성층(222)에 인접한 하부 전극층(280)의 일단부에 접속되도록 형성된다. 또한, 소스/드레인 전극(261,262)의 형성시에, 층간 절연막(250) 상에 전원 라인(Vdd) 또는 데이터 라인(Data)으로 사용되는 라인(250)이 형성될 수 있다.

이후, 도 12에 도시된 바와 같이, 디스플레이 기관(200)의 상면 전면적에 걸쳐 후박한 화소 정의막(270)이 형성된 상태에서, 하부 전극층(280)에 대응하는 부분에는 제 8 패턴 마스크를 매개로 화소 정의막(270)이 개구되게 하여 유기 전계 발광

소자(OLED)의 발광 영역을 형성한다. 즉, 하부 전극층(280)이 노출되도록 발광 영역을 패터닝한다. 화소 정의막(270)은 SiO_2 , SiNx 등으로 이루어진 패시베이션막으로 형성되거나, 또는 아크릴, 폴리 이미드, BCB 등의 유기물질로 이루어진 평탄화막으로 형성될 수 있다.

그리고, 외부로 노출된 하부 전극층(280)이 노출된 영역의 상면 또는 전영역에는 발광층을 포함하는 유기막(290)이 도포되며, 유기막(290) 위에 상부 전극층(295)이 도포됨으로써 도 3과 같은 유기 전계 발광 표시 장치가 완성된다.

이때, 상기 하부 전극층(280)은 애노우드 전극의 기능을 하고, 상기 상부 전극층(295)은 캐소드 전극의 기능을 하는 데, 물론, 이들 하부 전극층(280)과 상부 전극층(295)의 극성은 반대로 되어도 무방하다.

발명의 효과

상기한 바와 같이 이루어진 본 발명에 따르면, 유기 전계 발광 표시장치의 반도체 활성층과 애노드 전극층이 동일층 상에 형성되므로 개구율이 크게 개선될 수 있다.

특히, 본 발명에 따른 유기 전계 발광 표시장치에 의하면, 종래의 유기 전계 발광 표시장치에서의 소스/드레인 전극과 애노드 전극을 접속시키는 수직구조의 비아홀이 존재하지 않고, 패시베이션막과 화소 정의막이 별도로 존재하지 않으므로, 제조 공정의 간소화에 이바지 할 수 있다.

또한, 본 발명에 따른 유기 전계 발광 표시장치의 제조 공정에 있어서, 종래 기술에 비하여 소요되는 마스크의 개수가 비약적으로 감소하는 효과가 있다.

따라서, 이상과 같이 본 발명에 따른 유기 전계 발광 표시장치 및 그 제조방법에 따르면, 개구율의 개선, 공정 제조 공정의 신속화, 간소화 및 제조 비용의 감소화에 크게 기여할 수 있는 유기 전계 발광 표시장치 및 그 제조방법이 제공된다.

지금까지, 본 발명을 가장 바람직한 실시예를 기준으로 설명하였으나, 상기 실시예는 본 발명의 이해를 돕기 위한 것일 뿐이며, 본 발명의 내용이 그에 한정되는 것이 아니다. 본 발명의 구성에 대한 일부 구성요소의 부가,삭감,변경,수정 등이 있더라도 첨부된 특허청구범위에 의하여 정의되는 본 발명의 기술적 사상에 속하는 한, 본 발명의 범위에 해당된다.

예를 들어, 도면에는 한 개의 TFT만이 도시되어 있으나 실제 평면 구조에서는 회로 설계에 따라 더 많은 TFT들이 배치될 수 있으며, 하부 전극을 애노드로서 설치하고 상부 전극을 캐소드로서 설치하였으나 그 위치를 반대로 하여 설계하는 것은 당업자가 용이하게 설계 변경할 수 있는 정도의 것이며 본 발명의 균등 범위에 속하는 것으로 이해하여야 한다.

도면의 간단한 설명

도 1은 유기 전계 발광 표시장치의 부화소의 개략적인 구조를 나타내는 평면도이다.

도 2는 종래의 유기 전계 발광 표시장치의 단면도이다.

도 3은 본 발명에 따른 유기 전계 발광 표시장치의 단면도이다.

도 4는 본 발명에 따른 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 5는 본 발명에 따른 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 6은 본 발명에 따른 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 7은 본 발명에 따른 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 8은 본 발명에 따른 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 9는 본 발명에 따른 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 10은 본 발명에 따른 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 11은 본 발명에 따른 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 12는 본 발명에 따른 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

<도면 중 주요 부분에 대한 부호의 설명>

100,200; 절연 기판 110,210; 버퍼층

121,221,222; 활성층 130,230; 게이트 절연막

141,241,242; 게이트 전극 150,250; 층간 절연막

161,261,262; 소스 및 드레인 전극

170; 평탄화막 185, 270; 화소정의막

161a,261a,262a; 제 1 컨택홀 230a; 제 2 컨택홀

270a; 개구부

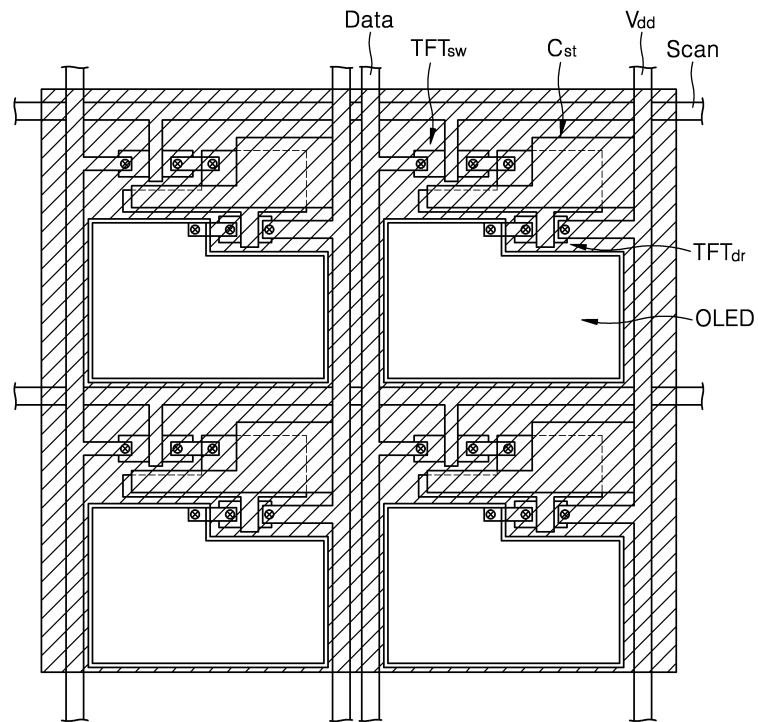
265; 전원 라인 또는 데이터 라인

180,280; 하부 전극 190,290; 유기막

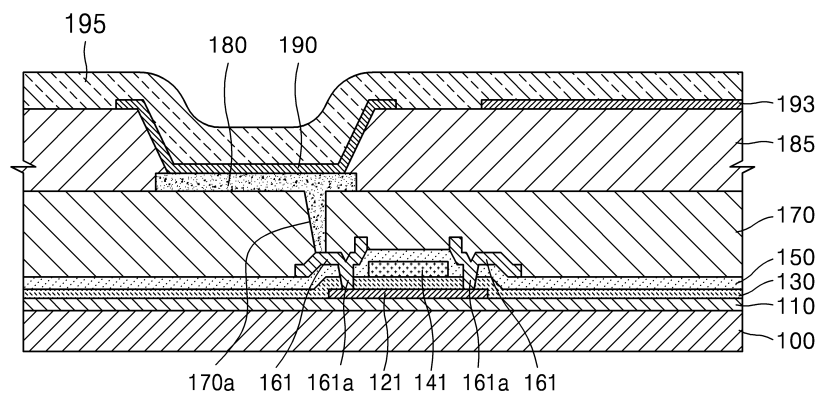
195,295; 상부 전극

도면

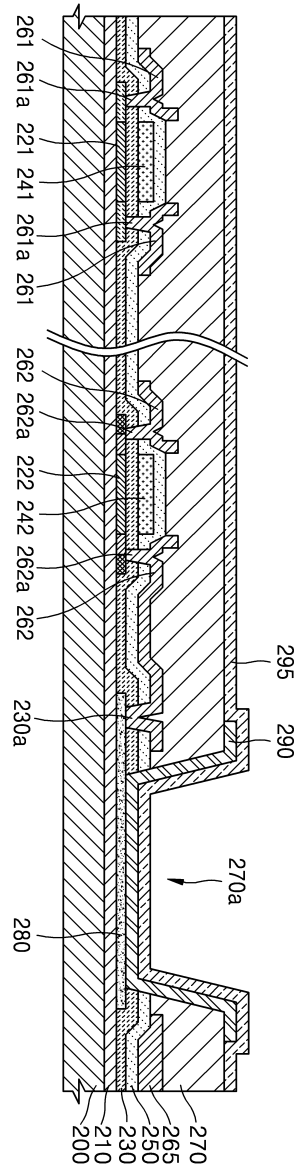
도면1



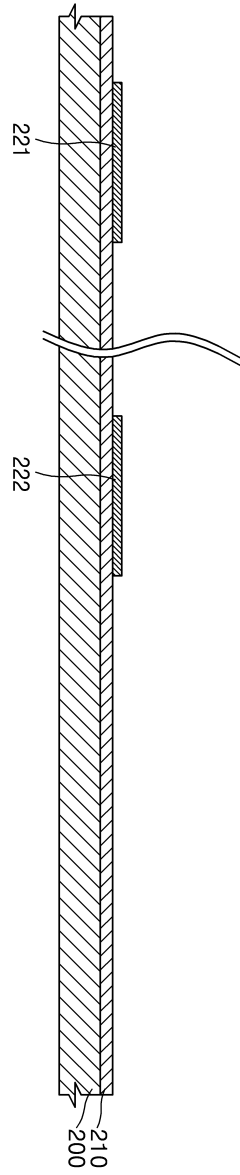
도면2



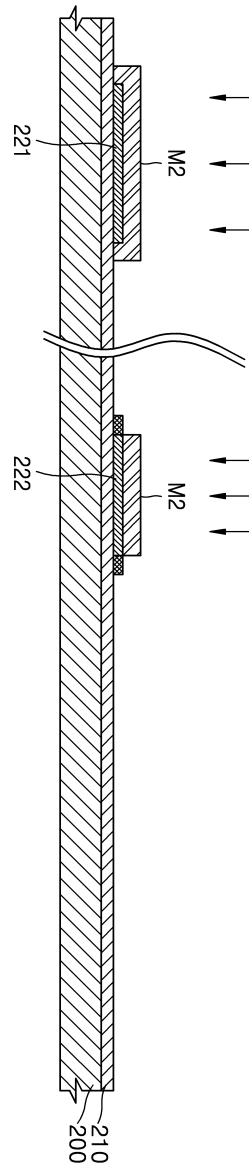
도면3



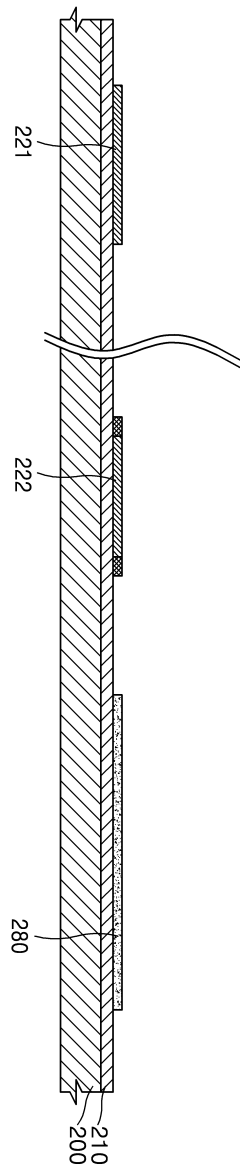
도면4



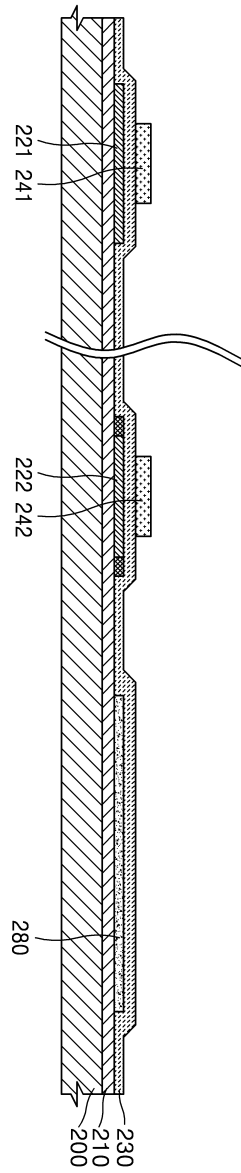
도면5



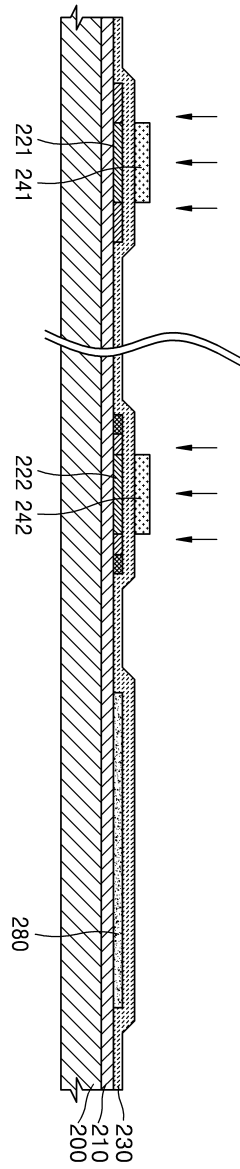
도면6



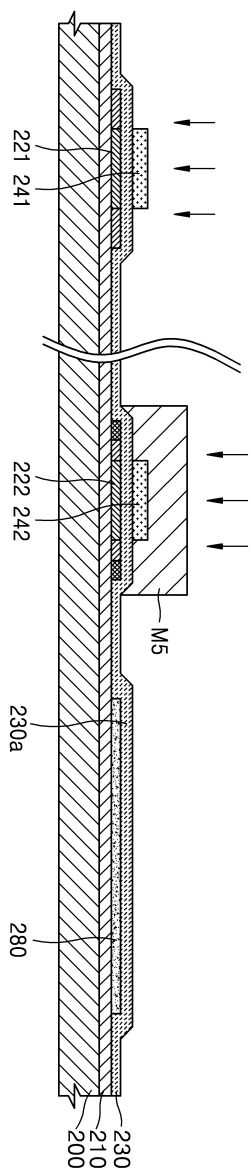
도면7



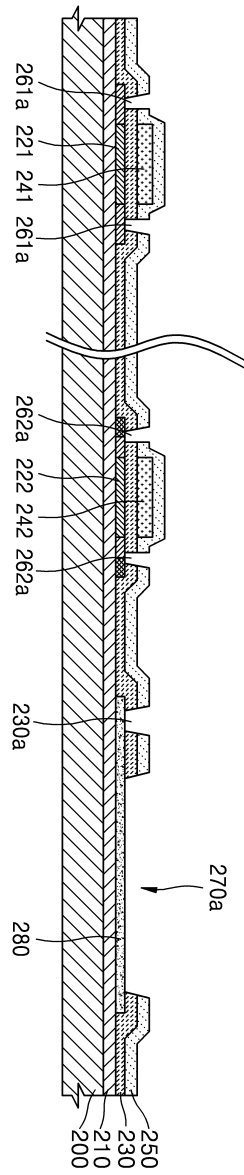
도면8



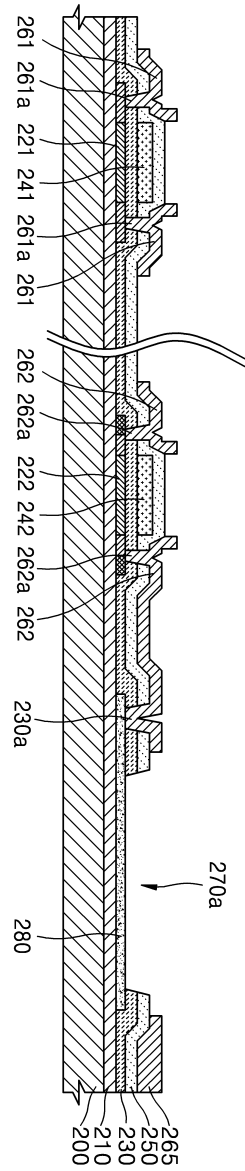
도면9



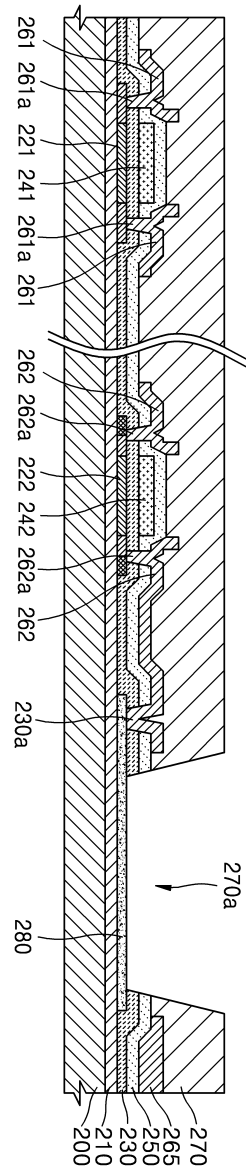
도면10



도면11



도면12



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100669709B1	公开(公告)日	2007-01-16
申请号	KR1020040009844	申请日	2004-02-14
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	OH SANGHUN 오상헌 PARK MOONHEE 박문희		
发明人	오상헌 박문희		
IPC分类号	H05B33/00		
代理人(译)	李，杨HAE		
其他公开文献	KR1020050081542A		
外部链接	Espacenet		

摘要(译)

本发明涉及有机电致发光显示装置。并且它包括连接到薄膜晶体管的有机层，该薄膜晶体管包括配置到导电材料的源极，以连接到漏极区域和漏极电极：源极和漏极电极中的任何一个布置在漏极区域和漏极电极上。绝缘基板和允许在顶部电极层之间形成，其形成以便在底部电极层上绝缘：底部电极层形成在与底部电极层中的上述半导体有源层相同的层中，底部电极层和顶部电极层至少具有发光层。

