

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/30 (2006.01)		(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월20일 10-0562663 2006년03월13일
(21) 출원번호 (22) 출원일자	10-2004-0022696 2004년04월01일	(65) 공개번호 (43) 공개일자	10-2005-0097336 2005년10월07일

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	정보용 서울특별시송파구가락2동173-19호 김양완 충청남도천안시성성동508번지삼성SDIPDP본부 박용성 서울특별시송파구신천동한신코아아파트1425호
(74) 대리인	신영무

심사관 : 천대식

(54) 발광 표시 장치의 화소 회로 및 그 구동 방법

요약

본 발명은 발광 표시 장치의 화소 회로 및 그 구동 방법에 관한 것이다. 본 발명에 따른 발광 표시 장치의 화소 회로는 제1 전원전압과 제4 스위칭 소자 사이에 연결되어 발광 소자에 구동 전류를 공급하는 구동 트랜지스터, 데이터선의 데이터 전압을 제1 저장 소자의 일단에 전달하는 제1 스위칭 소자, 구동 트랜지스터를 다이오드 연결시키는 제2 스위칭 소자, 제1 스위칭 소자와 제1 저장 소자가 연결되는 노드에 제2 전원전압을 전달하는 제3 스위칭 소자, 및 노드와 구동 트랜지스터의 게이트 사이에 전기적으로 연결되어 구동 트랜지스터의 문턱 전압을 저장하는 제2 저장 소자, 및 제2 및 제3 스위칭 소자가 턴온된 후에 턴오프되고 제1 스위칭 소자의 턴오프와 동시에 또는 제1 스위칭 소자가 턴오프된 후에 턴온되는 제4 스위칭 소자를 포함한다.

대표도

도 4

색인어

유기EL, 화소 회로, 구동, 문턱전압, 전압강하, 보상

명세서

도면의 간단한 설명

도 1은 유기 전계발광 소자의 개념도이다.

도 2는 종래의 전류 구동 방식의 화소 회로의 등가 회로도이다.

도 3은 본 발명의 제1 실시예에 따른 발광 표시 장치의 개략적인 구성도이다.

도 4는 본 발명의 제1 실시예에 따른 화소 회로의 등가 회로도이다.

도 5는 본 발명의 제2 실시예에 따른 화소 회로의 등가 회로도이다.

도 6은 본 발명의 제1 및 제2 실시예에 따른 화소 회로를 구동하기 위한 제1 구동 파형도이다.

도 7은 본 발명의 제1 및 제2 실시예에 따른 화소 회로를 구동하기 위한 제2 구동 파형도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 능동 구동 방식의 발광 표시 장치의 화소 회로 및 그 구동 방법에 관한 것이다.

최근, 음극선관 디스플레이의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판 표시장치는 예를 들어 액정 표시장치(Liquid Crystal Display, LCD), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP), 전계 방출 표시장치(Field Emission Display, FED) 및 전계발광(Electro Luminescence, EL) 표시장치 등이 있다.

이들 중에 EL 표시장치는 발광층의 재료에 따라 무기 전계발광 소자를 적용한 무기 EL 표시장치와 유기 전계발광 소자를 적용한 유기 EL 표시장치로 대별된다. 또한 EL 표시장치는 스스로 발광하는 자발광 소자로서 응답속도가 빠르고 발광 효율, 휘도 및 시야각이 큰 장점이 있다. 유기 EL 표시장치는 형광성 또는 인광성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시 장치이며, M*N개의 유기 EL 소자(Organic EL Device, OLED or Organic Light Emitting Device, OLED)들을 전압 구동하거나 전류 기입하여 휘도를 표시할 수 있도록 되어 있다. 이하의 설명에서 OLED는 유기 EL 표시장치의 표시 패널의 한 화소의 전계발광 소자 또는 한 화소 내에 형성되어 복수의 서브 화소 소자 중 하나를 포함한다.

도 1은 유기 전계발광 소자(OLED)의 개념도이다. 도 1을 참조하면, 유기 EL 소자(OLED)는 기본적으로 애노드 전극, 유기 박막, 캐소드 전극의 구조를 가진다. 애노드 전극과 캐소드 전극은 전면 발광 방식이나 배면 발광 방식 또는 양면 발광 방식에 따라 투명 전극(ITO) 또는 알루미늄(Al) 등의 금속(Metal)으로 형성된다. 유기 박막은 전자와 전공의 주입 및 이동 특성의 향상을 통해 발광 효율을 높이기 위해 발광층(emitting layer, EML)의 양측에 전자 수송층(electron transport layer, ETL), 정공 수송층(hole transport layer, HTL), 전자 주입층(electron injecting layer, EIL), 정공 주입층(hole injecting layer, HIL) 또는 정공 저지층(hole blocking layer, HBL)(미도시) 등을 포함하는 다층 구조로 이루어진다.

유기 EL 소자는 전류 구동형 소자 중의 하나이다. 즉, 유기 EL 소자의 발광 응답은 소자 내부로 유입되는 전류에 비례하여 발광하지만 소자 양단에 유입되는 전압에는 반드시 비례하지 않는다. 따라서, 화소나 구동 회로를 설계할 때 소자 내부로 유입되는 전류를 제어하여 계조의 정도를 표현하는 것이 필수적이다. 따라서, 일반적인 능동 매트릭스 어드레싱 방식의 유기 EL 표시장치는 각 화소 회로에 일정 전류원을 삽입하여 1회의 화면(frame) 시간 동안 일정 전류를 유기 EL 소자에 공급할 수 있도록 프로그래밍한다.

도 2는 종래의 전류 구동 방식의 화소 회로에 대한 등가 회로도이다. 도 2를 참조하면, 종래의 화소 회로는 유기 EL 소자(OLED), 유기 EL 소자에 전원전압(VDD)으로부터의 구동 전류를 공급하는 구동 트랜지스터(M1), 구동 트랜지스터의 소스(source)와 게이트(gate) 간에 연결된 저장 커패시터(Cs), 그리고 데이터선(Dm)과 구동 트랜지스터(M1)의 게이트에

연결된 스위칭 트랜지스터(M2)를 포함한다. 스위칭 트랜지스터(M2)의 게이트는 주사선(Sn)에 연결되어 있다. 데이터선(Dm)과 주사선(Sn)은 화상 신호를 나타내는 데이터 전압을 공급하는 데이터 구동부와 구동 화소를 선택하기 위한 선택 신호를 공급하는 주사 구동부에 각각 연결된다.

종래의 화소 회로의 구동 동작을 설명하면 다음과 같다. 먼저, 표시 패널의 n번째 주사선(Sn)에 인에이블 신호가 입력되면, 스위칭 트랜지스터(M2)가 턴온된다. 데이터선(Dm)의 데이터 신호(Data Signal)가 구동 트랜지스터(M1)의 게이트에 인가되고 동시에 저장 커패시터에는 전원전압(V_{DD})과 데이터 신호의 데이터 전압을 양단 전압으로 하는 전압이 유지된다.

따라서 스위칭 트랜지스터(M2)가 턴오프되더라도, 저장 커패시터에 유지된 전압은 구동 트랜지스터의 구동 전류를 제어하여 유기 EL 소자(OLED)가 구동 전류에 상응하는 특정 휘도를 표시하도록 작용한다. 이때, 유기 EL 소자에 흐르는 전류는 다음의 수학적 식 1과 같다.

수학적 식 1

$$I_{OLED} = \frac{\beta}{2} (V_{GS} - V_{TH})^2$$

여기서, I_{OLED} 는 유기 EL 소자에 흐르는 전류, V_{GS} 는 트랜지스터(M1)의 게이트와 소스 사이의 전압, V_{TH} 는 트랜지스터(M1)의 문턱전압, 그리고 베타(β)는 상수 값을 나타낸다.

수학적 식 1에 나타난 바와 같이, 도 2에 도시한 화소 회로에 의하면, 전원전압과 인가되는 데이터 전압 간의 전압차에 상응하여 구동 전류가 유기 EL 소자에 공급되고, 실질적으로 공급된 전류에 상응하여 유기 EL 소자가 발광하게 된다. 이때, 인가되는 데이터 전압은 계조를 표현하기 위하여 일정 범위에서 다단계의 값을 갖는다.

그런데 종래의 전류 구동 방식의 화소 회로에서는 제조 공정의 불균일성에 의해 생기는 박막 트랜지스터의 문턱 전압 및 전자 이동도(electron mobility)의 편차로 인해 고계조를 얻기 어렵다는 문제점이 있다. 예를 들면, 3V로 화소의 박막 트랜지스터를 구동하는 경우 256 레벨의 그레이 레벨(gray level) 즉, 8비트 계조를 표현하기 위해서는 12mV 간격으로 박막 트랜지스터의 제어 전극에 전압을 인가해야 하는데, 만일 제조 공정의 불균일성으로 인하여 박막 트랜지스터의 문턱 전압의 편차가 100mV이면, 12mV의 간격을 제어할 수 없기 때문에 유기 EL 소자의 고계조를 표현하기 어려워진다. 또한 전자 이동도의 편차로 인해 수학적 식 1에서의 베타 값이 달라지면, 박막 트랜지스터의 제어가 곤란하므로 더욱 고계조를 표현하기 어렵게 된다.

한편, 전류 구동 방식의 일종인 전류 기입(programming) 방식의 화소 회로에서는 데이터선 전체를 통해 화소 회로에 균일한 전류를 공급하는 전류원을 배치하여 화소의 균일도를 향상시키고 있다. 따라서 전류 프로그래밍 방식을 이용하면, 각 화소내의 구동 트랜지스터가 불균일한 전압-전류 특성을 갖는다 하더라도 균일한 디스플레이 특성을 얻을 수 있다.

그러나, 일반적으로 유기 EL 소자에 흐르는 전류는 미세 전류이다. 따라서 종래의 전류 기입 방식의 화소 회로에서는 미세한 데이터 전류로서 화소 회로를 제어해야 하므로 데이터선을 충전하는데 시간이 많이 걸린다는 문제점이 있다. 예를 들어, 데이터선 부하 커패시턴스가 30pF이라 가정할 경우에, 수십nA에서 수백nA 정도의 데이터 전류로 데이터선의 부하를 충전하려면 수 ms의 시간이 필요하다. 이는 수십us 수준인 라인 선택 시간을 고려해 볼 때 충전 시간이 충분하지 못하다는 문제점이 있다.

다른 한편으로, 현재의 박막 트랜지스터 제조 공정으로 다결정 실리콘 박막 트랜지스터(이하 'Poly-Si TFT'라 한다)를 유기 EL 표시 장치의 화소 회로에 형성하는 경우, 유기 EL 표시 장치의 구동 회로를 그 표시 패널에 내장하는 것이 가능하다. 하지만, 이러한 종래의 제조 방법에서는 예를 들어 레이저 빔 자체의 조사량 불균일성에 의한 하드웨어적인 측면과 조대한 결정립을 얻기 위한 레이저 에너지 밀도(Laser Energy Density)의 가공 윈도우(Process Window)가 극히 제한되어 있는 소프트웨어적인 측면의 두 가지 요소가 활성층(Active Layer)을 구성하고 있는 Poly-Si 박막의 결정립 크기의 불균일성을 야기시킨다는 공정상의 문제점을 갖고 있다.

이러한 결정립 크기의 불균일성은 구동 트랜지스터의 문턱 전압(Threshold Voltage)의 변이(Shift)를 초래한다. 이와 같이, Poly-Si TFT의 제조 공정의 특성상 균일한 전압-전류 특성을 얻기가 매우 어렵기 때문에, 유기 EL 표시 장치는 표시 패널 및 구동 회로에 많이 사용되는 Poly-Si TFT의 전기적 특성의 불균일성으로 인하여 균일한 휘도를 표현하기 어렵다는 문제점이 있다. 따라서, 양질의 디스플레이 특성을 얻기 위해서는 박막 트랜지스터의 특성을 고려한 구동 회로의 개발이 매우 중요하다.

이와 같이, 유기 EL 표시 장치에서 유기 EL 소자에 전류를 공급하는 구동 트랜지스터의 문턱 전압은 공정 및 웨이퍼(wafer) 상의 위치마다 조금씩 다르기 때문에 전류를 일정하게 유기시키기 위하여 화소마다 문턱 전압의 불균일성을 보상할 수 있는 회로를 설계해야 한다. 그렇지 않으면, 문턱 전압의 조그만 변화에도 유기 EL 소자의 휘도가 화소마다 다르게 되는 문제점이 발생한다.

더욱이, 유기 EL 소자는 전류 구동형 소자이기 때문에 표시 장치의 화면 크기가 커지면 구동 회로의 설계가 더욱 어렵고 복잡해진다. 또한 전류 기입 방식은 앞서 설명한 바와 같이 도 2의 전류 구동 방식에 비해 많은 장점이 있다. 그러나 표시 장치의 화면 크기가 커짐에 따라 데이터선의 길이가 길어지고 저항(resistive) 및 용량성(capacitive) 부하가 증가되는 상황에서 전류 기입 방식만으로는 낮은 그레이 레벨(gray level)의 구동이 불가능해질 수 있다.

따라서, 구동 트랜지스터 소자의 특성을 개선하는 것과 함께 적합한 구동 방식 및 구동 회로가 요구되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 구동 트랜지스터의 문턱 전압의 편차를 신뢰성 있게 보상하여 고계조를 표현하는 것을 그 기술적 과제로 한다.

또한 본 발명은 화소 회로의 구동 트랜지스터의 동작 특성에 따른 화상 불량을 제거하여 표시 화면의 휘도 균일성을 향상시키는 것을 그 기술적 과제로 한다.

발명의 구성 및 작용

본 발명에 일측면에 따른 발광 표시 장치의 화소 회로는 발광 소자를 발광시키기 위한 구동 전류를 공급하는 구동 트랜지스터와, 제1 전원전압과 데이터 전압 간의 전압차에 상응하는 제1 전압을 저장하는 제1 저장 소자와, 제1 선택 신호에 응답하여 제1 저장 소자의 일단에 데이터 전압을 전달하는 제1 스위칭 소자와, 제2 선택 신호에 응답하여 구동 트랜지스터를 다이오드 연결시키는 제2 스위칭 소자와, 제2 선택 신호에 응답하여 제1 스위칭 소자와 제1 저장 소자가 연결되는 노드에 제2 전원전압을 인가하는 제3 스위칭 소자와, 상기 노드와 구동 트랜지스터의 게이트 사이에 전기적으로 연결되며 제2 선택 신호가 인가되는 동안에 구동 트랜지스터의 문턱 전압에 상응하는 제2 전압을 저장하는 제2 저장 소자, 및 상기 제2 선택 신호의 인가시에 구동 트랜지스터의 드레인에 발광 소자의 애노드 전압이 인가되도록 상기 제2 선택 신호가 인가된 후에 제3 선택 신호에 응답하여 턴오프되는 제4 스위칭 소자를 포함한다.

본 발명의 다른 측면에 따른 발광 표시 장치의 구동 방법은 데이터 전압을 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선, 그리고 발광 소자에 전류를 공급하는 구동 트랜지스터와 주사선에 의해 턴온 및 턴오프 제어되는 제1 내지 제4 스위칭 소자와 구동 트랜지스터의 게이트-소스 전압을 일정 기간 유지하는 제1 커패시터 및 제2 커패시터의 직렬 회로를 가지는 복수의 화소 회로를 포함한 발광 표시 장치를 구동하는 방법에 있어서, 구동 트랜지스터의 문턱 전압을 보상하기 위해 제2 주사선에 선택 신호가 인가된 후 제3 주사선의 디스에이블 레벨의 선택 신호로 구동 트랜지스터와 발광 소자 사이에 연결되어 있는 제4 스위칭 소자를 턴오프하여 구동 트랜지스터를 안정적으로 다이오드 연결시키는 단계와, 제2 주사선에 인에이블 레벨의 선택 신호가 인가되는 동안 제1 주사선과 데이터선에 연결된 화소 회로 내의 제2 커패시터에 구동 트랜지스터의 문턱 전압에 상응하는 제2 전압을 충전시켜 구동 트랜지스터의 문턱 전압을 보상하는 단계와, 제1 주사선에 선택 신호가 인가되는 동안 데이터선의 데이터 전압에 상응하는 제1 전압을 제1 커패시터에 충전시키는 단계, 및 제3 주사선의 인에이블 레벨의 선택 신호가 인가되는 동안 제1 및 제2 커패시터의 직렬 회로에 충전된 전압으로 발광 소자에 공급되는 전류를 제어하는 단계를 포함한다.

발광 소자에 공급되는 전류를 제어하는 단계에서, n번째 발광선의 인에이블 레벨의 선택 신호의 인가는 n번째 주사선의 선택 신호가 차단됨과 동시에 수행되는 것이 바람직하다.

발광 소자에 공급되는 전류를 제어하는 단계에서, n번째 발광선의 인에이블 레벨의 선택 신호의 인가는 n번째 주사선의 선택 신호가 오프된 후에 수행되는 것이 바람직하다.

(실시예)

이하, 첨부된 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명하기로 한다. 그러나 본 발명은 여러 가지 형태로 변형되어 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 본 발명을 명확하게 설명하기 위하여 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 연결되어 있는 경우도 포함한다.

먼저, 도 3을 참조하여 본 발명의 제1 실시예에 따른 유기 EL 표시 장치에 대하여 설명한다. 도 3은 본 발명의 제1 실시예에 따른 유기 EL 표시 장치의 개략적인 구성도이다. 도 3에서는 설명의 편의상 화소 회로에 연결되어 있는 제1 및 제2 전원전압(V_{DD} , V_{SUS})을 생략하였다(도 4 참조).

도 3을 참조하면, 본 발명의 실시예에 따른 유기 EL 표시 장치는 유기 EL 표시 패널(200), 주사 구동부(300) 및 데이터 구동부(400)를 포함한다.

유기 EL 표시 패널(200)은 주사 구동부(300)로부터 예를 들어 가로 방향으로 연장되는 복수의 주사선($S1-Sn$, $C1-Cn$, $E1-En$)과 데이터 구동부(400)로부터 세로 방향으로 연장되는 복수의 데이터선($D1-Dm$) 및 복수의 화소 회로(100)를 포함한다. 각 화소 회로(100)는 복수의 주사선과 복수의 데이터선으로 정의되는 화소 영역에 형성되어 있다.

주사 구동부(300)는 각 화소 회로를 구동하기 위한 선택 신호를 제어하고, 제어된 선택 신호를 제1 주사선($S1-Sn$), 제2 주사선($C1-Cn$) 및 제3 주사선($E1-En$)에 공급한다. 제1 내지 제3 주사선을 통해 각 스위칭 소자에 전달되는 선택 신호는 각각 제1 선택 신호, 제2 선택 신호 및 제3 선택 신호로 표시되어 각 스위칭 소자가 턴온 또는 턴오프되도록 기능한다.

데이터 구동부(400)는 화상 신호를 나타내는 데이터 전압을 제어하고, 제어된 데이터 전압을 각 데이터선($D1-Dm$)에 공급한다. 데이터 구동부(400)와 유기 EL 표시 패널(200) 사이에는 데이터 구동부(400)의 복수의 출력단과 복수의 데이터선을 효과적으로 연결하며 데이터선의 길이 차이에 의한 전압 강하를 방지하기 위하여 역다중화부(미도시)가 설치될 수 있다.

주사 구동부(300)와 데이터 구동부(400)는 유기 EL 표시 패널(200)과 동일한 기판상에 형성되는 것이 바람직하다.

다음은 도 4를 참조하여 화소 회로(100)를 보다 상세히 설명한다. 도 4는 본 발명의 제1 실시예에 따른 화소 회로의 등가 회로도이다. 도 4에서는 설명의 편의상 n 번째 제1 주사선(Sn), n 번째 제3 주사선(En) 및 m 번째 데이터선(Dm)에 연결된 화소 회로를 도시하였다. 또한, 도 4에서 제2 주사선(Cn)은 앞서 선택되는 $n-1$ 번째 제1 주사선($Sn-1$)을 공통 연결하여 이용한다는 점에서 $Sn-1$ 로 표시하였다.

도 4를 참조하면, 화소 회로(100)는 유기 EL 소자(OLED), 구동 트랜지스터($M1$), 4개의 스위칭 소자($S1, S2, S3, S4$) 및 2개의 커패시터($C1, C2$)를 포함한다. 구동 트랜지스터($M1$)는 PMOS 트랜지스터로 형성되어 있다.

제1 주사선(Sn)은 데이터선(Dm)과 제1 커패시터($C1$) 사이에 연결된 제1 스위칭 소자($S1$)에 제1 선택 신호를 전달한다. 제2 주사선($Sn-1$)은 유기 EL 소자(OLED)에 구동 전류를 전달하는 구동 트랜지스터($M1$)를 다이오드 연결시키기 위한 제2 스위칭 소자($S2$)에 제2 선택 신호를 전달한다. 또한 제2 주사선($Sn-1$)은 제1 스위칭 소자($S1$)와 제1 커패시터($C1$) 사이의 노드와 제2 전원전압 사이에 연결된 제3 스위칭 소자($S3$)에 제2 선택 신호를 전달한다. 제3 주사선(En)은 구동 트랜지스터($M1$)와 유기 EL 소자(OLED) 사이에 연결된 제4 스위칭 소자($S4$)에 제3 선택 신호를 전달한다.

구동 트랜지스터($M1$)는 제1 전원전압(V_{DD})에 소스(source)가 연결되고 제2 스위칭 소자($S2$) 및 제4 스위칭 소자($S4$)의 일단에 드레인(drain)이 연결되어 있다.

제1 커패시터($C1$)는 구동 트랜지스터($M1$)의 소스와 노드 C 사이에 연결되고, 제1 전원전압과 데이터선(Dm)으로부터 노드 C에 인가되는 데이터 전압의 전압차에 상응하는 제1 전압을 저장한다. 제2 커패시터($C2$)는 노드 C와 구동 트랜지스터($M1$)의 게이트(gate) 사이에 연결되고, 구동 트랜지스터($M1$)의 문턱 전압을 보상하기 위해 그 문턱 전압에 상응하는 제2 전압을 저장한다. 제2 전압은 실질적으로 구동 트랜지스터($M1$)의 문턱 전압과 동일한 전압이 된다. 제1 및 제2 커패시터($C1, C2$)의 직렬 회로는 구동 트랜지스터($M1$)의 소스와 게이트 사이에 연결된다.

따라서 제1 및 제2 커패시터($C1, C2$)의 직렬 회로는 구동 트랜지스터($M1$)의 소스-게이트 전압을 특정 전압 레벨로 유지하여 구동 트랜지스터($M1$)가 문턱 전압에 관계없이 일정한 전류를 공급하는 전류원으로서 동작하도록 작용한다.

제1 스위칭 소자(S1)는 데이터선(Dm)과 노드 C 사이에 연결되며, 제1 주사선(Sn)으로부터의 제1 선택 신호에 응답하여 데이터선(Dm)의 데이터 전압을 노드 C에 전달한다. 제2 스위칭 소자(S2)는 구동 트랜지스터(M1)의 드레인과 게이트 사이에 연결되며, 제2 주사선(Sn-1)으로부터의 제2 선택 신호에 응답하여 구동 트랜지스터(M1)를 다이오드 연결시킨다. 제3 스위칭 소자(S3)는 제2 전원전압선과 노드 C 사이에 연결되며, 제2 스위칭 소자에 입력되는 선택 신호인 제2 선택 신호에 응답하여 제2 전원전압(V_{SUS})을 노드 C에 인가한다. 노드 C는 제1 커패시터(C1)의 일단, 제2 커패시터(C2)의 일단, 제1 스위칭 소자(S1)의 일단 및 제3 스위칭 소자(S3)의 일단의 공통 접속점이 된다.

제4 스위칭 소자(S4)는 구동 트랜지스터(M1)의 드레인과 유기 EL 소자(OLED)의 애노드(anode) 사이에 연결된다. 제4 스위칭 소자(S4)는 제3 주사선(En)의 제3 선택 신호에 응답하여 구동 트랜지스터(M1)에 흐르는 전류를 유기 EL 소자(OLED)에 전달한다. 유기 EL 소자(OLED)는 제4 스위칭 소자(S4)와 기준 전압(V_{SS}) 사이에 연결되며 실질적으로 구동 트랜지스터(M1)에 흐르는 전류의 양에 상응하는 빛을 발광한다. 기준 전압선에서 공급되는 기준 전압(V_{SS})은 유기 EL 소자(OLED)의 캐소드측에 유기되는 전압을 말한다.

본 실시예에서는 제1 내지 제4 스위칭 소자(S1, S2, S3, S4)를 단순히 스위칭 소자로서 설명하였다. 하지만, 제1 내지 제4 스위칭 소자는 트랜지스터로 형성되는 것이 바람직하다. 아래에서는 제1 내지 제4 스위칭 소자(S1, S2, S3, S4)를 PMOS 트랜지스터로 구현한 실시예에 대하여 도 5를 참조하여 상세히 설명한다.

도 5는 본 발명의 제2 실시예에 따른 화소 회로의 등가 회로도이다.

도 5를 참조하면, 본 발명의 제2 실시예에 따른 화소 회로는 도 4의 화소 회로에서 제1 내지 제4 스위칭 소자(S1, S2, S3, S4) 대신에 제2 내지 제5 트랜지스터(M2, M3, M4, M5)가 형성되어 있는 점을 제외하면 제1 실시예와 동일한 구조를 갖는다. 제2 내지 제5 트랜지스터(M2, M3, M4, M5)는 PMOS 트랜지스터로 형성되어 있다.

제2 내지 제5 트랜지스터(M2, M3, M4, M5)에 대해 설명하면 다음과 같다. 제2 트랜지스터(M2)의 게이트에는 제1 주사선(Sn)이 연결되고 그 소스에는 데이터선(Dm)이 연결된다. 제3 트랜지스터(M3)의 게이트에는 제2 주사선(Sn-1)이 연결되고, 그 소스에는 구동 트랜지스터(M1)의 드레인이 연결되며, 그 드레인에는 구동 트랜지스터(M1)의 게이트가 연결된다. 제4 트랜지스터(M4)의 게이트에는 제2 주사선(Sn-1)이 연결되고 그 소스에는 제2 전원전압(V_{SUS})을 공급하는 제2 전원전압선이 연결된다. 제2 및 제4 트랜지스터(M2, M4)의 드레인과 제1 및 제2 커패시터(C1, C2)의 일단은 노드 C에서 공통 연결되어 있다. 제5 트랜지스터(M5)의 소스에는 구동 트랜지스터(M1)의 드레인이 연결되고, 그 드레인에는 유기 EL 소자(OLED)의 애노드(anode)가 연결된다.

다음은 도 6 및 도 7을 더 참조하여 본 발명의 실시예에 따른 화소 회로의 동작에 대하여 보다 상세히 설명한다. 도 6 및 도 7은 본 발명의 제1 및 제2 실시예에 따른 화소 회로를 구동하기 위한 구동 파형도이다.

도 5 내지 도 7을 참조하면, 시간 t1에서 제2 주사선(Sn-1)으로부터 인가되는 로우 레벨 전압의 제2 선택 신호에 의해 제3 및 제4 트랜지스터(M3, M4)가 턴온된다. 이때, 제3 주사선(En)에 이미 인가되어 있는 로우 레벨 전압의 제3 선택 신호에 의해 제5 트랜지스터(M5)는 턴온 상태에 있다.

제5 트랜지스터(M5)의 턴온 상태에서 제3 트랜지스터(M3)가 턴온되면, 제1 트랜지스터(M1)의 드레인과 제3 트랜지스터(M3)의 소스의 연결점인 노드 A에는 유기 EL 소자(OLED)의 애노드측 전압이 유기된다. 유기 EL 소자(OLED)의 애노드측 전압은 통상 제1 전원전압보다 낮은 전압이 된다. 예를 들어 노드 A의 전압은 적어도 구동 트랜지스터(M1)를 다이오드 동작시킬 수 있는 전압 즉, 제1 전원전압(V_{DD})에서 구동 트랜지스터(M1)의 문턱 전압의 절대값을 뺀 전압보다 낮은 전압이 된다. 이러한 구성에 의해 구동 트랜지스터는 제3 트랜지스터(M3)의 턴온과 함께 다이오드 연결된다.

제3 트랜지스터(M3)가 턴온되면, 구동 트랜지스터(M1)의 드레인과 게이트는 공통 접속되고, 구동 트랜지스터(M1)는 다이오드 연결된다. 따라서, 구동 트랜지스터(M1)의 게이트 전압(노드 B의 전압)은 다이오드 연결에 의해 노드 A의 전압과 실질적으로 동일하게 된다.

여기서, 제3 및 제4 트랜지스터(M3, M4)가 턴온된 후, 시간 t2에서 제5 트랜지스터(M5)는 제3 주사선(En)으로부터의 하이 레벨의 제3 선택 신호에 응답하여 턴오프된다. 이것은 구동 트랜지스터(M1)을 통해 노드 A에 흐르는 전류가 제5 트랜지스터(M5)에 의해 유기 EL 소자(OLED)로 흐르는 것을 차단함으로써, 제2 커패시터(C2)를 포함한 구동 트랜지스터

(M1)의 문턱 전압보상 회로를 원활히 형성하기 위한 것이다. 만일 제3 트랜지스터(M3)가 턴온될 때에 제5 트랜지스터(M5)가 턴온되어 있지 않으면, 구동 트랜지스터(M1)는 노드 A의 전압에 따라 다이오드 연결되지 않을 수 있다. 따라서, 본 발명에서는 구동 트랜지스터(M1)의 문턱 전압 보상 회로를 형성할 때에, 구동 트랜지스터가 항상 제3 트랜지스터(M3)의 턴온과 함께 다이오드 연결되도록 이루어진다.

상기 구성에 의해, 구동 트랜지스터(M1)의 게이트(노드 B)에는 제1 전원전압(V_{DD})에서 구동 트랜지스터(M1)의 문턱전압을 뺀 전압이 유기된다. 즉, 노드 B의 전압은 수학적 식 2와 같이 된다.

수학적 식 2

$$V_B = V_{DD} - |V_{TH}|$$

여기서, V_B 는 노드 B의 전압, V_{DD} 는 제1 전원전압, 그리고 $|V_{TH}|$ 는 구동 트랜지스터의 문턱 전압의 절대값을 나타낸다.

한편, 시간 t_1 에서 제4 트랜지스터(M4)가 턴온되면, 노드 C에는 제2 전원전압(V_{SUS})이 인가된다. 이러한 구성은 제1 전원전압(V_{DD})의 전압 강하를 보상한다. 구체적으로 각 화소에 제1 전원전압(V_{DD})을 제공하는 제1 전원전압선에는 전압원으로부터 각 화소에 이르는 라인 길이에 따라 전압 강하가 발생된다. 이러한 경우, 각 화소 회로는 전압 강하의 편차에 따라 서로 다른 휘도를 표시하게 된다. 실제로 유기 EL 표시 장치의 각 화소 회로에서 서로 다른 제1 전원전압의 전압 강하가 발생되면, 구동 트랜지스터(M1)의 소스-게이트 간에 일정 전압을 유기하는 커패시터에 서로 다른 전압이 유기되고, 결국 각 화소 회로가 서로 다른 구동 전류를 유기 EL 소자에 공급함으로써, 디스플레이의 휘도 불균일성이 발생된다는 문제점이 있다. 따라서, 본 발명에 따른 화소 회로에서는 노드 C에 제2 전원전압을 인가하여 제1 전원전압의 전압 강하에 대한 문제를 최소화한다.

또한, 노드 B와 노드 C 사이에 연결되어 있는 제2 커패시터(C2)에는 그 양단에 유기되는 노드 B의 전압(V_B)과 노드 C의 전압에 의해 제2 전압이 저장된다. 예를 들어 제2 전원전압(V_{SUS})이 제1 전원전압(V_{DD})과 공통(common) 연결되어 있으면, 제2 커패시터(C2)에는 구동 트랜지스터(M1)의 문턱 전압과 실질적으로 동일한 크기의 전압이 저장된다.

다음, 시간 t_3 에서 제2 주사선(S_{n-1})으로부터의 하이 레벨의 제2 선택 신호에 응답하여 제3 및 제4 트랜지스터(M3, M4)가 턴오프되면, 노드 B 또는 구동 트랜지스터(M1)의 게이트는 플로팅(floating) 상태가 된다.

다음, 시간 t_4 에서 제1 주사선(S_n)의 로우 레벨의 제1 선택 신호에 의해 제2 트랜지스터(M2)가 턴온되면, 노드 C에는 데이터선(D_m)의 데이터 전압이 인가된다. 그리고 제1 커패시터(C1)에는 제1 전원전압(V_{DD})과 데이터 전압 간의 전압차에 상응하는 제1 전압이 저장된다. 한편, 제2 트랜지스터(M2)가 턴온되면, 노드 C에는 데이터선(D_m)으로부터 데이터 전압이 인가된다. 따라서 제2 커패시터(C2)를 사이에 두고 노드 C와 마주하며 플로팅 상태인 노드 B의 전압은 노드 C의 전압 변화량만큼 부스트(boost)된다. 노드 C의 전압은 노드 C에 인가된 전압 변화량, 즉 데이터 전압과 제2 전원전압(V_{SUS})의 전압차로 표시된다. 따라서 노드 B의 새로운 전압(V_B)은 수학적 식 3과 같이 된다.

수학적 식 3

$$V_B = V_{DD} - |V_{TH}| + (V_{DATA} - V_{SUS})$$

여기서, V_B 는 노드 B의 전압, V_{DD} 는 제1 전원전압, $|V_{TH}|$ 는 구동 트랜지스터(M1)의 문턱 전압의 절대값, V_{SUS} 는 제2 전원전압, 그리고 V_{DATA} 는 데이터 전압을 나타낸다.

수학적 식 3에 나타난 바와 같이 부스트된 노드 B의 전압(V_B)은 구동 트랜지스터(M1)의 스윙(swing) 폭을 작게 한다. 따라서, 구동 트랜지스터(M1)에 의한 전력 소비가 감소된다.

다음, 시간 t_5 에서 제2 트랜지스터(M2)는 제1 주사선(S_n)의 하이 레벨의 제1 선택 신호에 응답하여 턴오프된다. 그리고 제3 주사선(S_{n+1})의 로우 레벨의 제3 선택 신호에 응답하여 제5 트랜지스터(M5)가 턴온된다.

이때, 제5 트랜지스터(M5)는 도 6에 나타난 바와 같이 시간 t5에서 제2 트랜지스터(M2)가 턴오프된 후에 시간 t6에서 턴온된다. 다른 한편으로, 제5 트랜지스터(M5)는 도 7에 나타난 바와 같이 제2 트랜지스터(M2)가 턴오프되는 시간 t5에서 턴온된다. 이때, 제1 저장 소자(C1)는 제5 트랜지스터(M5)가 턴오프된 상태에서 제1 주사선(Sn)의 로우 레벨의 선택 주기 동안에 구동 트랜지스터(M1)의 구동 전류를 제한하는 구동 트랜지스터(M1)의 소스-게이트 전압에 상응하는 제1 전압을 저장할 수 있는 시간을 확보하게 된다.

상기 과정에 의해, 구동 트랜지스터(M1)의 게이트는 플로팅 상태에 있고, 동시에 구동 트랜지스터(M1)의 소스-게이트 전압은 작아진다. 따라서, 구동 트랜지스터(M1)는 자신의 문턱 전압에 상관없이 제1 및 제2 커패시터의 직렬 회로에 의해 설정된 구동 전류를 유기 EL 소자(OLED)에 공급할 수 있게 된다. 구동 트랜지스터(M1)의 구동 전류는 수학식 4 및 수학식 5와 같이 된다.

수학식 4

$$I_{OLED} = \frac{\beta}{2} (V_{GS} - V_{TH})^2 = \frac{\beta}{2} (V_{SG} - |V_{TH}|)^2$$

수학식 5

$$I_{OLED} = \frac{\beta}{2} [V_{DD} - (V_{DD} - |V_{TH}| + (V_{DATA} - V_{SUS})) - |V_{TH}|]^2 = \frac{\beta}{2} (V_{SUS} - V_{DATA})^2$$

여기서, I_{OLED} 는 구동 트랜지스터(M1)에 흐르는 구동 전류, V_{DD} 는 제1 전원전압, $|V_{TH}|$ 는 구동 트랜지스터의 문턱 전압의 절대값, V_{SUS} 는 제2 전원전압, 그리고 V_{DATA} 는 데이터선(Dm)의 데이터 전압을 나타낸다.

수학식 5에서와 같이, 구동 전류(I_{OLED})는 제2 전원전압(V_{SUS})과 데이터 전압(V_{DATA})에 의해서만 제어된다. 따라서, 유기 EL 소자의 휘도를 제어하여 표시 장치의 불균일성을 감소시킬 수 있다.

이와 같이, 본 발명에서는 제3 주사선(Em)의 제3 선택 신호를 제1 및 제2 선택 신호의 구동 타이밍을 고려하여 제어함으로써, 표시 패널 내의 복수의 화소 회로가 구동 트랜지스터(M1)의 문턱 전압의 편차 또는 제1 전원전압(V_{DD})의 전압 강하의 보상 회로를 효과적으로 제어할 수 있다. 따라서, 유기 EL 표시 장치의 불균일성을 더욱 감소시킬 수 있다.

한편, 본 발명의 제2 실시예에 따른 발광 표시 장치의 화소 회로에서 제5 트랜지스터(M5)는 NMOS 트랜지스터로 형성될 수 있다. 이러한 경우, 제5 트랜지스터(M5)는 제3 주사선(En)의 하이 레벨의 제3 선택 신호에 응답하여 턴온되고, 로우 레벨의 제3 선택 신호에 응답하여 턴오프된다. 이러한 구성은 본 기술 분야의 통상의 지식을 가진 자에게 자명하므로 그에 대한 상세한 설명은 생략한다.

상술한 본 발명의 실시예에 따른 구동 트랜지스터와 스위칭 소자는 박막 트랜지스터(TFT)로 형성되는 것이 바람직하다. 그리고, 본 발명에 따른 스위칭 트랜지스터는 트랜지스터의 턴오프 상태일 때 누설 전류를 감소되는 것과 같이 스위칭 소자로서의 특성이 우수한 듀얼 게이트 박막 트랜지스터를 이용할 수 있다. 이러한 구성은 본 기술 분야의 통상의 지식을 가진 자에게 자명하므로 그에 대한 상세한 설명은 생략한다.

본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

발명의 효과

본 발명에 의하면, 화소 회로의 주사 신호를 제어하여 유기 EL 소자에 구동 전류를 공급하는 구동 트랜지스터의 문턱 전압을 신뢰성 있게 보상할 수 있다. 따라서, 고계조 및 고균일성의 발광 표시 장치를 제공할 수 있다.

본 발명에 의하면, 화소 회로의 주사 신호를 제어하여 구동 트랜지스터의 문턱 전압 보상을 보다 안정적으로 수행함으로써 화소 회로의 구동 트랜지스터의 동작 특성에 따른 화상 불량을 제거하여 표시 화면의 휘도 균일성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

발광 소자를 발광시키기 위한 구동 전류를 공급하는 구동 트랜지스터;

제1 전원전압과 데이터 전압 간의 전압차에 상응하는 제1 전압을 저장하는 제1 저장 소자;

제1 선택 신호에 응답하여 상기 제1 저장 소자의 일단에 상기 데이터 전압을 전달하는 제1 스위칭 소자;

제2 선택 신호에 응답하여 상기 구동 트랜지스터를 다이오드 연결시키는 제2 스위칭 소자;

상기 제2 선택 신호에 응답하여 상기 제1 스위칭 소자와 상기 제1 저장 소자가 연결되는 노드에 제2 전원전압을 인가하는 제3 스위칭 소자;

상기 노드와 상기 구동 트랜지스터의 게이트 사이에 전기적으로 연결되며 상기 제2 선택 신호가 인가되는 동안에 상기 구동 트랜지스터의 문턱 전압에 상응하는 제2 전압을 저장하는 제2 저장 소자; 및

상기 제2 선택 신호의 인가시에 구동 트랜지스터의 드레인에 발광 소자의 애노드 전압이 인가되도록 상기 제2 선택 신호가 인가된 후에 제3 선택 신호에 응답하여 턴오프되는 제4 스위칭 소자를 포함하는 발광 표시 장치의 화소 회로.

청구항 2.

데이터 전압을 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선, 그리고 발광 소자에 전류를 공급하는 구동 트랜지스터와 상기 주사선에 의해 턴온 및 턴오프 제어되는 제1 내지 제4 스위칭 소자와 상기 구동 트랜지스터의 게이트-소스 전압을 일정 기간 유지하는 제1 커패시터 및 제2 커패시터의 직렬 회로를 가지는 복수의 화소 회로를 포함한 발광 표시 장치를 구동하는 방법에 있어서,

구동 트랜지스터의 문턱 전압을 보상하기 위해 제2 주사선에 선택 신호가 인가된 후 제3 주사선의 디스에이블 레벨의 선택 신호로 상기 구동 트랜지스터와 상기 발광 소자 사이에 연결되어 있는 상기 제4 스위칭 소자를 턴오프하여 상기 구동 트랜지스터를 안정적으로 다이오드 연결시키는 단계;

상기 제2 주사선에 인에이블 레벨의 선택 신호가 인가되는 동안 제1 주사선과 데이터선에 연결된 상기 화소 회로 내의 상기 제2 커패시터에 상기 구동 트랜지스터의 문턱 전압에 상응하는 제2 전압을 충전시켜 상기 구동 트랜지스터의 문턱 전압을 보상하는 단계;

상기 제1 주사선에 선택 신호가 인가되는 동안 상기 데이터선의 상기 데이터 전압에 상응하는 제1 전압을 상기 제1 커패시터에 충전시키는 단계; 및

상기 제3 주사선의 인에이블 레벨의 선택 신호가 인가되는 동안 상기 제1 및 제2 커패시터의 직렬 회로에 충전된 전압으로 상기 발광 소자에 공급되는 전류를 제어하는 단계를 포함하는 발광 표시 장치의 구동 방법.

청구항 3.

제2항에 있어서,

상기 발광 소자에 공급되는 전류를 제어하는 단계에서, 상기 n번째 발광선의 인에이블 레벨의 선택 신호의 인가는 상기 n번째 주사선의 선택 신호가 차단됨과 동시에 수행되는 발광 표시 장치의 구동 방법.

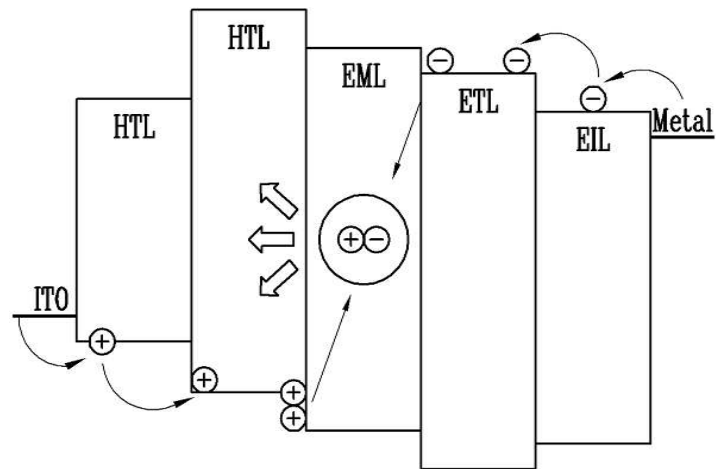
청구항 4.

제2항에 있어서,

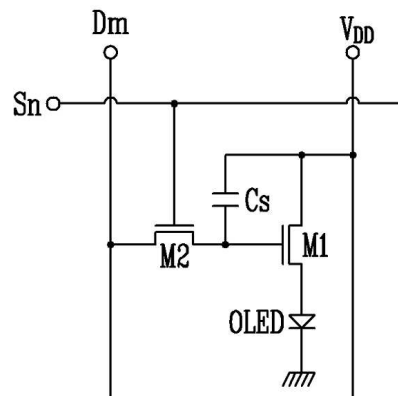
상기 발광 소자에 공급되는 전류를 제어하는 단계에서, 상기 n번째 발광선의 인에이블 레벨의 선택 신호의 인가는 상기 n번째 주사선의 선택 신호가 오프된 후에 수행되는 발광 표시 장치의 구동 방법.

도면

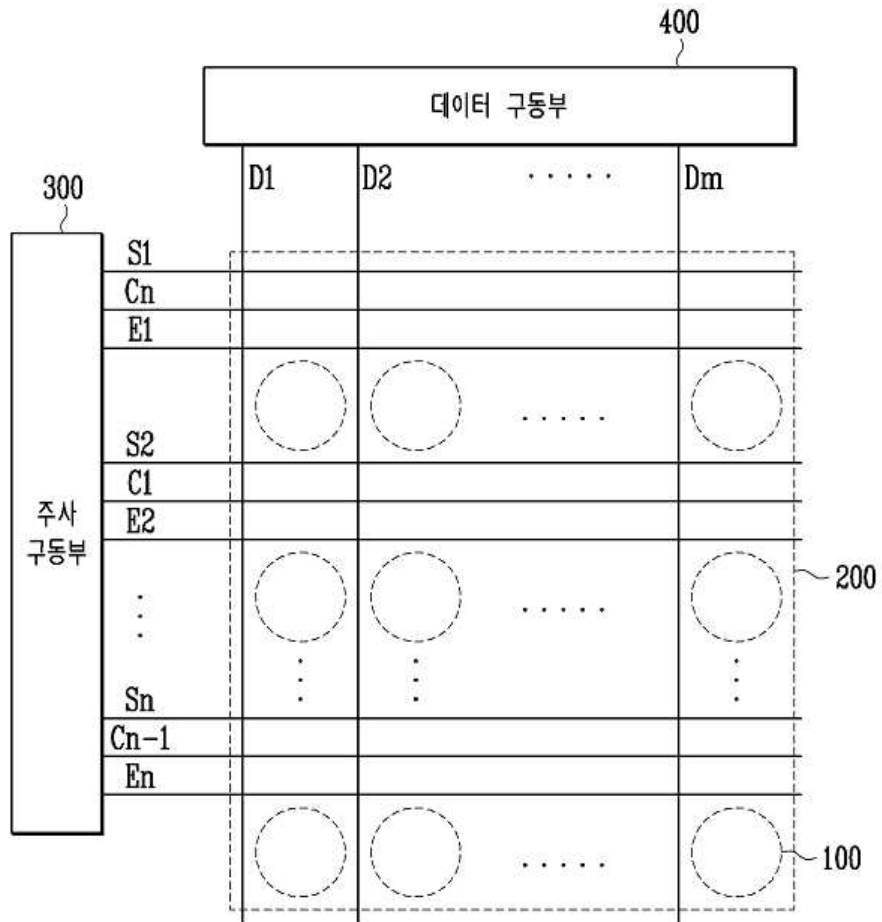
도면1



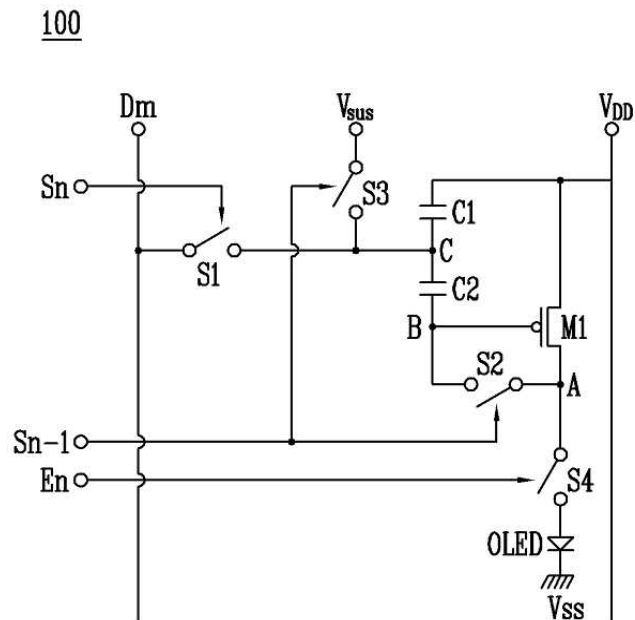
도면2



도면3



도면4



专利名称(译)	发光显示装置的像素电路及其驱动方法		
公开(公告)号	KR100562663B1	公开(公告)日	2006-03-20
申请号	KR1020040022696	申请日	2004-04-01
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	CHUNG BOYONG 정보용 KIM YANGWAN 김양완 PARK YONGSUNG 박용성		
发明人	정보용 김양완 박용성		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3233 G09G2300/043 G09G2300/0876 G09G2320/0233 H01L27/3244		
代理人(译)	SHIN , YOUNG MOO		
其他公开文献	KR1020050097336A		
外部链接	Espacenet		

摘要(译)

本发明涉及发光显示装置的像素电路及其驱动方法。根据本发明的发光显示装置的像素电路包括第一电源电压和用于向发光器件提供驱动电流的驱动晶体管，其连接在第四开关元件和传输第二开关元件的第三开关元件之间。向第一开关装置提供电压，提供二极管连接驱动晶体管的第二开关元件，以及第一开关装置和第一存储单元在第一存储单元数据线的数据电压的一端连接的节点。存储驱动晶体管的阈值电压的第二存储单元在驱动晶体管和节点的栅极与第三和第四开关元件之间电连接，第二和第四开关元件在第三开关器件导通后或者在第二开关元件导通时截止。在第一次切换de之后，通过关闭第一开关装置来接通相同的时间副关闭。有机EL，像素电路，驱动，阈值电压，电压降，补偿。

100

