

특허청구의 범위

청구항 1

발광 소자와, 그 발광 소자를 구동하는 화소 회로를 포함하는 다수의 화소들을 포함하는 유기 발광 다이오드 표시 장치에 있어서,

상기 화소 회로는,

상기 발광 소자를 구동하는 구동 트랜지스터와;

제1 스캔 라인의 제1 스캔 신호에 응답하여 데이터 라인의 데이터 전압을 제1 노드로 공급하는 제1 스위칭 트랜지스터와;

상기 제1 스캔 라인의 상기 제1 스캔 신호에 응답하여 전원 라인에 상기 구동 트랜지스터를 다이오드 구조로 접속시키는 제2 스위칭 트랜지스터와;

발광 제어 라인의 발광 제어 신호에 응답하여 상기 제1 노드에 기준 전압 공급 라인으로부터의 기준 전압을 공급하는 제3 스위칭 트랜지스터와;

상기 발광 제어 라인의 발광 제어 신호에 응답하여 상기 구동 트랜지스터와 상기 발광 소자를 연결하는 제4 스위칭 트랜지스터와;

제2 스캔 라인의 제2 스캔 신호에 응답하여 상기 제4 스위칭 트랜지스터와 상기 기준 전압 공급 라인을 연결하는 제5 스위칭 트랜지스터와;

상기 제1 노드와, 상기 구동 트랜지스터의 게이트 전극과 접속된 제2 노드 사이에 접속되어 상기 제1 및 제2 노드의 차전압을 충전하여 유지하는 스토리지 커패시터와;

상기 제1 스캔 라인과 상기 제2 노드와 접속되어 상기 제1 스캔 신호의 변화량에 응답하여 상기 제2 노드의 전압을 상승시키는 부스트 커패시터를 구비하는 것을 특징으로 하는 유기 발광 다이오드 표시 장치.

청구항 2

청구항 1에 있어서,

상기 제1 및 제2 스캔 신호가 공급되는 스캔 기간은 초기화 기간 및 샘플링 기간을 포함하고;

상기 초기화 기간에서 상기 제2, 제4, 제5 스위칭 트랜지스터를 경유하여 상기 제2 노드는 상기 기준 전압 쪽으로 초기화되고, 상기 제1 및 제3 스위칭 트랜지스터를 통해 상기 제1 노드에는 상기 데이터 전압 및 기준 전압이 공급되며;

상기 샘플링 기간에서 상기 구동 트랜지스터 및 상기 제2 스위칭 트랜지스터를 경유하여 상기 제2 노드는 상기 전원 라인으로부터 구동 전압과 상기 구동 트랜지스터의 문턱 전압과의 차전압을 샘플링하는 것을 특징으로 하는 유기 발광 다이오드 표시 장치.

청구항 3

청구항 2에 있어서,

상기 스캔 시간은 상기 제1 스캔 신호가 구동되기 이전에 상기 제2 스캔 신호가 구동되어서 상기 제5 스위칭 트랜지스터가 상기 제4 스위칭 트랜지스터를 통해 접속된 상기 구동 트랜지스터와 상기 발광 소자의 접속점을 상기 기준 전압 쪽으로 프리-초기화시키는 프리-초기화 기간을 추가로 포함하는 것을 특징으로 하는 유기 발광 다이오드 표시 장치.

청구항 4

청구항 2에 있어서,

상기 스캔 기간 다음에 이어지는 부스팅 기간에서

상기 제2 스위칭 트랜지스터가 턴-오프되고 상기 제2 노드는 상기 제1 스캔 신호의 변화량(ΔV)과 상기 스토리

지 커패시터(Cst) 및 부스트 커패시터(Cb)의 조합비(Cb/(Cb+Cst))에 따라 상승되는 것을 특징으로 하는 유기 발광 다이오드 표시 장치.

청구항 5

청구항 4에 있어서,

상기 화소 회로는

상기 구동 트랜지스터로부터 상기 발광 소자로 공급되는 출력 전류는 상기 데이터 전압과, 상기 기준 전압과, 상기 부스팅 기간에서 상승된 상기 제2 노드의 상승 전압과의 차전압에 의해 결정되는 것을 특징으로 하는 유기 발광 다이오드 표시 장치.

청구항 6

청구항 1 내지 청구항 5 중 어느 한 청구항에 있어서,

상기 다수의 화소와 접속된 다수의 데이터 라인을 시분할 구동하는 멀티플렉서를 추가로 구비하는 것을 특징으로 하는 유기 발광 다이오드 표시 장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 유기 발광 다이오드(Organic Light Emitting Diode; 이하 OLED) 표시 장치에 관한 것으로, 특히 구동 트랜지스터의 특성 편차를 보정함과 아울러 데이터 라인의 시분할 구동이 가능한 OLED 표시 장치에 관한 것이다.

배경기술

[0002] 본 발명은 유기 발광 다이오드(Organic Light Emitting Diode; 이하 OLED) 표시 장치 관한 것으로, 특히 박막 트랜지스터의 특성 차이로 인한 휘도 불균일을 방지할 수 있는 OLED 표시 장치 및 그의 구동 방법에 관한 것이다.

[0003] OLED 표시 장치는 전자와 정공의 재결합으로 유기 발광층을 발광시키는 자발광 소자로 휘도가 높고 구동 전압이 낮으며 초박막화가 가능하여 차세대 표시 장치로 기대되고 있다.

[0004] OLED 표시 장치를 구성하는 다수의 화소들 각각은 양극 및 음극 사이의 유기발광층으로 구성된 발광 소자와, 발광 소자를 독립적으로 구동하는 화소 회로를 구비한다. 화소 회로는 주로 스위칭 트랜지스터 및 커패시터와 구동 트랜지스터를 포함한다. 스위칭 트랜지스터는 스캔 펄스에 응답하여 데이터 신호를 커패시터에 충전하고, 구동 트랜지스터는 커패시터에 충전된 데이터 전압의 크기에 따라 발광 소자로 공급되는 전류의 크기를 조절하여 계조를 구현한다.

[0005] 종래의 OLED 표시 장치는 공정 편차 등의 이유로 구동 트랜지스터의 문턱 전압이 불균일하여 휘도가 불균일해지고, 시간에 따라 문턱 전압이 가변하여 휘도 감소로 수명이 저하되는 문제점이 있다. 이를 해결하기 위하여, 구동 트랜지스터의 문턱 전압을 보정하는 방법으로, 기준 전압을 이용하여 구동 트랜지스터의 문턱 전압을 샘플링한 다음, 실제 데이터 전압을 공급하여 구동 트랜지스터의 문턱 전압과 함께 이동도를 보정하는 방법이 제안되었다.

[0006] 그러나, OLED 표시 장치가 고해상도 및 대형화되면서 구동 트랜지스터의 문턱 전압을 샘플링하는 기간이 불충분하게 되어 구동 트랜지스터의 구동 전압이 상승하고 OLED로 유입되는 전류가 증가함으로써 블랙 휘도가 상승하여 콘트라스트비가 저하되는 문제점이 있다. 또한, OLED 표시 장치가 고해상도 및 대형화되면서 데이터 라인의 시분할 구동을 위한 멀티플렉서를 적용하는 경우 구동 트랜지스터의 문턱 전압을 샘플링하는 기간에서 데이터 라인이 플로팅되어 데이터 라인의 기생 커패시터와 스토리지 커패시터의 차지 셰어링(Charge Sharing)으로 구동 트랜지스터의 구동 전압이 상승하고 OLED로 유입되는 전류가 증가함으로써 블랙 휘도가 상승하여 콘트라스트비가 저하되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명이 해결하고자 하는 과제는 샘플링 기간이 불충분하거나 데이터 라인이 플로팅되더라도 구동 트랜지스터의 구동 전압이 상승되는 것을 억제하여 컨트라스트비를 향상시킬 수 있는 OLED 표시 장치를 제공하는 것이다.

과제 해결수단

[0008] 상기 과제를 달성하기 위하여, 본 발명의 실시 예에 따른 OLED 표시 장치는 발광 소자를 구동하는 화소 회로가, 상기 발광 소자를 구동하는 구동 트랜지스터와; 제1 스캔 라인의 제1 스캔 신호에 응답하여 데이터 라인의 데이터 전압을 제1 노드로 공급하는 제1 스위칭 트랜지스터와; 상기 제1 스캔 라인의 상기 제1 스캔 신호에 응답하여 전원 라인에 상기 구동 트랜지스터를 다이오드 구조로 접속시키는 제2 스위칭 트랜지스터와; 발광 제어 라인의 발광 제어 신호에 응답하여 상기 제1 노드에 기준 전압 공급 라인으로부터의 기준 전압을 공급하는 제3 스위칭 트랜지스터와; 상기 발광 제어 라인의 발광 제어 신호에 응답하여 상기 구동 트랜지스터와 상기 발광 소자를 연결하는 제4 스위칭 트랜지스터와; 제2 스캔 라인의 제2 스캔 신호에 응답하여 상기 제4 스위칭 트랜지스터와 상기 기준 전압 공급 라인을 연결하는 제5 스위칭 트랜지스터와; 상기 제1 노드와, 상기 구동 트랜지스터의 게이트 전극과 접속된 제2 노드 사이에 접속되어 상기 제1 및 제2 노드의 차전압을 충전하여 유지하는 스토리지 커패시터와; 상기 제1 스캔 라인과 상기 제2 노드와 접속되어 상기 제1 스캔 신호의 변화량에 응답하여 상기 제2 노드의 전압을 상승시키는 부스트 커패시터를 구비한다.

[0009] 상기 제1 및 제2 스캔 신호가 공급되는 스캔 기간은 초기화 기간 및 샘플링 기간을 포함하고; 상기 초기화 기간에서 상기 제2, 제4, 제5 스위칭 트랜지스터를 경유하여 상기 제2 노드는 상기 기준 전압 쪽으로 초기화되고, 상기 제1 및 제3 스위칭 트랜지스터를 통해 상기 제1 노드에는 상기 데이터 전압 및 기준 전압이 공급되며; 상기 샘플링 기간에서 상기 구동 트랜지스터 및 상기 제2 스위칭 트랜지스터를 경유하여 상기 제2 노드는 상기 전원 라인으로부터 구동 전압과 상기 구동 트랜지스터의 문턱 전압과의 차전압을 샘플링한다.

[0010] 상기 스캔 시간은 상기 제1 스캔 신호가 구동되기 이전에 상기 제2 스캔 신호가 구동되어서 상기 제5 스위칭 트랜지스터가 상기 제4 스위칭 트랜지스터를 통해 접속된 상기 구동 트랜지스터와 상기 발광 소자의 접속점을 상기 기준 전압 쪽으로 프리-초기화시키는 프리-초기화 기간을 추가로 포함한다.

[0011] 상기 스캔 기간 다음에 이어지는 부스팅 기간에서 상기 제2 스위칭 트랜지스터가 턴-오프되고 상기 제2 노드는 상기 제1 스캔 신호의 변화량(ΔV)과 상기 스토리지 커패시터(Cst) 및 부스트 커패시터(Cb)의 조합비($Cb/(Cb+Cst)$)에 따라 상승된다.

[0012] 상기 구동 트랜지스터로부터 상기 발광 소자로 공급되는 출력 전류는 상기 데이터 전압과, 상기 기준 전압과, 상기 부스팅 기간에서 상승된 상기 제2 노드의 상승 전압과의 차전압에 의해 결정된다.

[0013] 그리고, 본 발명의 OLED 표시 장치는 상기 다수의 화소와 접속된 다수의 데이터 라인을 시분할 구동하는 멀티플렉서를 추가로 구비한다.

효과

[0014] 본 발명에 따른 OLED 표시 장치는 부스트 커패시터를 구비함으로써, 샘플링 기간이 부족하거나, 시분할 구동시 플로팅된 데이터 라인과 스토리지 커패시터의 커플링으로 데이터 전압이 감소한 경우에도 제2 노드의 불충분한 전압을 부스트 커패시터에 의한 상승 전압으로 보상함으로써 구동 트랜지스터의 전압 상승을 억제하여 블랙 휘도가 상승하는 것을 방지할 수 있다. 따라서, 컨트라스트비를 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0015] 도 1은 본 발명의 제1 실시 예에 따른 OLED 표시 장치 중 한 화소를 나타낸 회로도이고, 도 2는 도 1에 나타낸 한 화소의 구동 파형도이다.

[0016] 도 1에 나타낸 각 화소는 발광 소자(44)를 독립적으로 구동하는 화소 회로(42)를 구비한다. 발광 소자(44)는 화소 회로(42)와 접속된 애노드와, 그라운드 라인에 접속된 캐소드와, 애노드 및 캐소드 사이의 유기 발광층을 포함하는 OLED로 구성된다. 화소 회로(42)는 구동 트랜지스터(DT), 제1 내지 제5 스위칭 트랜지스터(ST1 내지 ST5), 스토리지 커패시터(Cst) 및 부스트(Boost) 커패시터(Cb)를 구비한다. 여기서, 구동 트랜지스터(DT)와 제

1 내지 제4 스위칭 트랜지스터(ST1 내지 ST5)는 모두 PMOS 트랜지스터이지만, NMOS 트랜지스터가 이용될 수 있다.

- [0017] 제1 스위칭 트랜지스터(ST1)는 게이트 전극이 제1 스캔 라인(28)과 접속되고, 소스 전극 및 드레인 전극이 데이터 라인(26) 및 제1 노드(N1) 사이에 접속된 구조를 갖는다. 제2 스위칭 트랜지스터(ST2)는 게이트 전극이 제1 스캔 라인(28)과 접속되고, 소스 전극 및 드레인 전극이 제2 노드(N2) 및 제3 노드(N3) 사이에 접속된 구조를 갖는다. 제3 스위칭 트랜지스터(ST3)는 게이트 전극이 발광 제어 라인(32)과 접속되고, 소스 전극 및 드레인 전극이 제1 노드(N1)와 기준 전압 공급 라인(34) 사이에 접속된 구조를 갖는다. 제4 스위칭 트랜지스터(ST4)는 게이트 전극이 발광 제어 라인(32)과 접속되고, 소스 전극 및 드레인 전극이 제3 노드(N3) 및 발광 소자(44)의 애노드 사이에 접속된 구조를 갖는다. 제5 스위칭 트랜지스터(ST5)는 게이트 전극이 제2 스캔 라인(30)과 접속되고 소스 전극 및 드레인 전극이 기준 전압 공급 라인(34)과 제4 스위칭 트랜지스터(ST4)의 드레인 전극 사이에 접속된 구조를 갖는다. 구동 트랜지스터(DT)는 게이트 전극이 제2 노드(N2)와 접속되고, 소스 전극 및 드레인 전극이 전원 공급 라인(36)과 제3 노드(N3) 사이에 접속된 구조를 갖는다. 스토리지 커패시터(Cst)는 제1 노드(N1) 및 제2 노드(N2) 사이에 접속되고, 부스트 커패시터(Cb)는 제2 노드(N2) 및 제3 노드(N3) 사이에 접속된다. 구동 트랜지스터(DT)와 제1 내지 제5 스위칭 트랜지스터(ST1 내지 ST5) 각각에서의 소스 전극과 드레인 전극은 서로 뒤바뀔 수 있다.
- [0018] 제1 스위칭 트랜지스터(ST1)는 제1 스캔 라인(28)으로부터의 제1 스캔 신호(GD1)에 응답하여 도 2에 도시된 초기화 기간(T1) 및 샘플링 기간(T2)에서 데이터 라인(26)으로부터의 데이터 전압(Vdata)을 제1 노드(N1)으로 공급한다.
- [0019] 제2 스위칭 트랜지스터(ST2)는 제1 스위칭 트랜지스터(ST1)와 함께 제1 스캔 라인(28)으로부터의 제1 스캔 신호(GD1)에 응답하여 초기화 기간(T1)에서 구동 트랜지스터(DT)의 게이트 전극, 즉 제2 노드(N2)를 초기화시키는 경로로 이용되고, 샘플링 기간(T2)에서 구동 전압(VDD)과 구동 트랜지스터(DT)의 문턱 전압(Vth)의 샘플링을 위해 구동 트랜지스터(DT)의 게이트 전극과 드레인 전극을 단락시키는 경로로 이용된다.
- [0020] 제3 스위칭 트랜지스터(ST3)는 발광 제어 라인(32)으로부터의 발광 제어 신호(EM)에 응답하여 제1 스위칭 트랜지스터(ST1)가 턴-온되는 초기화 기간(T1) 이전의 프리-초기화 기간(T0)에서 초기화 기간(T1)까지 기준 전압(Vref)을 제1 노드(N1)로 공급한다.
- [0021] 제4 스위칭 트랜지스터(ST4)는 제3 스위칭 트랜지스터(ST3)와 함께 발광 제어 라인(32)으로부터의 발광 제어 신호(EM)에 응답하여 제2 스위칭 트랜지스터(ST2)가 턴-온되는 초기화 기간(T1) 이전의 프리-초기화 기간(T0)에서 구동 트랜지스터(DT)의 드레인 전극을 프리-초기화시키는 경로로 이용되고, 초기화 기간(T1)에서 제2 스위칭 트랜지스터(ST2)와 함께 제1 노드(N1)를 초기화시키는 경로로 이용되며, 발광 기간(T4)에서 구동 트랜지스터(DT)의 출력 전류(I)를 발광 소자(44)로 공급한다.
- [0022] 제5 스위칭 트랜지스터(ST5)는 제2 스캔 라인(30)으로부터의 제2 스캔 신호(GD2)에 응답하여 제4 스위칭 트랜지스터(ST4)와 함께 프리-초기화 기간(T0)에서 구동 트랜지스터(DT)의 드레인 전극 및 발광 소자(44)의 애노드를 프리-초기화시키는 경로로 이용되고, 초기화 기간(T1)에서 제2 스위칭 트랜지스터(ST2)와 함께 제1 노드(N1)를 초기화시키는 경로로 이용된다.
- [0023] 스토리지 커패시터(Cst)는 제1 노드(N1) 및 제2 노드(N2)의 차전압을 충전 및 유지하여서 부스팅 기간(T3) 및 발광 기간(T4)에서 구동 트랜지스터(DT)가 구동되게 한다.
- [0024] 부스트 커패시터(Cb)는 제1 스캔 라인(28)으로부터의 제1 스캔 신호(GD1)의 변동 전압(ΔV_{g1}), 즉 라이징 전압에 응답하여 부스팅 기간(T3)에서 제2 노드(N2)의 전압을 상승시키는 역할을 한다. 이에 따라, 구동 트랜지스터(DT)의 샘플링 기간(T2)이 부족하여 제2 노드(N2) 전압이 감소하거나, 시분할 구동시 플로팅된 데이터 라인(26)과 스토리지 커패시터(Cst)의 커플링 작용으로 데이터 전압(Vdata)이 감소하여 제2 노드(N2) 전압이 감소할지라도, 부스트 커패시터(Cb)에 의해 상승된 전압에 의해 제2 노드(N2)의 전압의 감소분이 보상됨으로써 구동 트랜지스터(DT) 전압(Vgs)의 상승을 억제하여 블랙 휘도가 상승하는 것을 방지할 수 있다.
- [0025] 이하, 도 2에 도시된 구동 과정을 참조하여 도 1에 도시된 화소 회로(42)의 동작 과정을 상세히 설명하기로 한다. 도 1에 도시된 스위칭 트랜지스터(ST1 내지 ST5) 및 구동 트랜지스터(DT)는 PMOS 트랜지스터이므로 로우 레벨에 의해 턴-온되어 액티브된다.
- [0026] 프리-초기화 기간(T0)에서 로우 상태로 폴링(falling)된 제2 스캔 신호(GD2)에 응답하여 제5 스위칭 트랜지스터(ST5)가 턴-온되고, 이전부터 로우 상태를 유지하는 발광 제어 신호(EM)에 응답하여 제3 및 제4 스위칭 트랜지

스터(ST3, ST4)는 턴-온 상태를 유지하고 있으며, 이전부터 하이 상태를 유지하는 제1 스캔 신호(GD1)에 응답하여 제1 및 제2 스위칭 트랜지스터(ST1, ST2)는 턴-오프 상태를 유지하고 있다. 이에 따라, 턴-온된 제4 및 제5 트랜지스터(ST4, ST5)를 경유하여 구동 트랜지스터(DT)의 드레인 전극 및 발광 소자(44)의 애노드 전압이 기준 전압(Vref) 쪽으로 프리-초기화된다.

[0027] 초기화 기간(T1)에서 로우 상태로 풀링된 제1 스캔 신호(GD1)에 응답하여 제1 및 제2 스위칭 트랜지스터(ST1, ST2)가 턴-온되고, 이전부터 로우 상태를 유지하는 제2 스캔 신호(GD2) 및 발광 제어 신호(EM)에 응답하여 제3 내지 제5 스위칭 트랜지스터(ST3 내지 ST5)는 턴-온 상태를 유지하고 있다. 이에 따라, 구동 트랜지스터(DT)의 게이트 전압, 즉 제2 노드(N2)의 전압이 턴-온된 제2, 제4, 제5 스위칭 트랜지스터(ST2, ST4, ST5)를 통해 기준 전압(Vref) 쪽으로 초기화된다. 이때, 턴-온된 제5 스위칭 트랜지스터(ST5)가 발광 소자(44)로 전류가 흐르는 것을 방지하므로 블랙 휘도가 초기화 기간(T1)에서 발광 소자(44)가 발광하여 블랙 휘도가 상승하는 것을 억제한다. 또한, 턴-온된 제1 스위칭 트랜지스터(ST1)를 통해 데이터 라인(26) 상의 데이터 전압(Vdata)이 제1 노드(N1)로 공급됨과 아울러 턴-온된 제3 스위칭 트랜지스터(ST3)를 통해 기준 전압(Vref)이 제1 노드(N1)로 공급되므로 제1 노드(N1)에는 데이터 전압(Vdata)과 기준 전압(Vref)의 합전압(Vdata+Vref)이 공급된다.

[0028] 샘플링 기간(T2)에서 하이 상태로 라이징된 발광 제어 신호(EM)에 응답하여 제3 및 제4 스위칭 트랜지스터(ST3, ST4)는 턴-오프되고, 이전부터 로우 상태를 유지하는 제1 및 제2 스캔 신호(GD1, GD2)에 응답하여 제1, 제2, 제5 스위칭 트랜지스터(ST1, ST2, ST5)는 턴-온 상태를 유지하고 있다. 이에 따라, 턴-온된 제2 스위칭 트랜지스터(ST2)를 통해 다이오드 구조로 액티브되는 구동 트랜지스터(DT)는 구동 전압(VDD)과 문턱 전압(Vth)의 차전압(VDD-Vth)을 샘플링하여 제2 노드(N2)로 공급한다. 이때, 제2 노드(N2)의 샘플링 전압(VDD-Vth)이 점진적으로 증가함에 따라 제2 노드(N2)의 전압이 도 2와 같이 점진적으로 증가하고, 샘플링이 완료되면 제2 노드(N2)의 전압은 구동 트랜지스터(DT)에 의해 샘플링된 전압(VDD-Vth)과 제1 노드(N1)의 전압(Vdata+Vref)과의 차전압{(VDD-Vth)-(Vdata+Vref)}을 유지한다. 샘플링 기간(T2)에서 턴-온된 제5 스위칭 트랜지스터(ST5)는 발광 소자(44)의 애노드에 기준 전압(Vref)을 공급하여 샘플링 기간(T2)에서 발광 소자(44)의 발광을 방지한다.

[0029] 부스팅 기간(T3)에서 하이 상태로 라이징된 제1 및 제2 스캔 신호(GD1, GD2)에 의해 제1, 제2, 제5 스위칭 트랜지스터(ST1, ST2, ST5)가 턴-오프되고, 이전부터 하이 상태를 유지하는 발광 제어 신호(EM)에 의해 제3 및 제4 스위칭 트랜지스터(ST3, ST4)는 턴-오프 상태를 유지하고 있다. 이에 따라, 제2 노드(N2)가 턴-오프된 제2 스위칭 트랜지스터(ST2)에 의해 플로팅되고 제3 노드(N3)에 공급되는 제1 스캔 신호(GD1)가 라이징됨으로써 부스트 커패시터(Cb)에 의해 제2 노드(N2)의 전압이 제1 스캔 신호(GD1)의 변동분(ΔV)을 따라 상승된다. 이때, 제2 노드(N2)에서 상승되는 전압(VB)은 다음 수학식 1과 같이 부스트 커패시터(Cb) 및 스토리지 커패시터(Cst)의 조합비(Cb/(Cb+Cst))와 제1 스캔 신호(GD1)의 변동분(ΔV)에 의해 결정된다.

수학식 1

$$VB = \left(\frac{Cb}{Cb + Cst} \right) S \Delta V$$

[0030]

[0031] 이에 따라, 부스팅 기간(T3)에서 제2 노드(N2)의 전압(Vn2)은 다음 수학식 2와 같이 상기 부스트 커패시터(Cb)에 의한 상승 전압(VB) 만큼 증가한다.

수학식 2

$$\begin{aligned} Vn2 &= (VDD - Vth) - (Vdata + Vref) + \left(\frac{Cb}{Cb + Cst} \right) S \Delta V \\ &= (VDD - Vth) - (Vdata + Vref) + VB \end{aligned}$$

[0032]

[0033] 도 2를 참조하면, 부스트 커패시터(Cb)가 없는 6T1C 구조의 화소 회로에서의 제2 노드의 전압(빨간선)과 대비하여, 부스트 커패시터(Cb)를 이용한 6T2C 구조의 본원 발명의 화소 회로(42)에서 제2 노드(N2)의 전압(파란선)이 더 증가되었음을 알 수 있다. 따라서, 부스팅 기간(T3)에서 구동 트랜지스터(DT)에서 출력되는 출력 전류(I)는 다음 수학식 3과 같다.

수학식 3

$$\begin{aligned}
 I &= k(V_{gs} - V_{th})^2 \\
 &= k[VDD - \{(VDD - V_{th}) - (V_{data} + V_{ref}) + VB\} - V_{th}]^2 \\
 &= k(V_{data} - V_{ref} - VB)^2
 \end{aligned}$$

여기서, $k = \frac{1}{2} \mu C_{ox} \frac{W}{L}$, $VB = \left(\frac{C_b}{C_b + C_{st}} \right) S \Delta V$

[0034]

[0035] 발광 기간(T4)에서 로우 상태로 풀링된 발광 제어 신호(EM)에 의해 제3 및 제4 스위칭 트랜지스터(ST3, ST4)가 턴-온되어 구동 트랜지스터(DT)의 출력 전류(I)가 발광 소자(44)로 공급됨으로써 발광 소자(44)는 공급 전류(I)에 비례하여 발광한다.

[0036]

상기 수학식 3을 참조하면, 구동 트랜지스터(DT)의 출력 전류(I)를 결정하는 전압에서 구동 전압(VDD) 및 문턱 전압(Vth)의 항목은 서로 상쇄됨으로써, 출력 전류(I)는 전원 공급 라인(36)의 전압 강하로 인한 구동 전압(VDD)의 편차 및 구동 트랜지스터(DT)의 문턱 전압(Vth) 편차로 인하여 출력 전류(I)가 불균일해지는 것을 방지할 수 있다. 또한, 상기 수학식 3을 참조하면, 구동 트랜지스터(DT)의 출력 전류(I)를 결정하는 전압은 데이터 전압(Vdata)-기준 전압(Vref)-상승 전압(VB)에 의해 결정된다. 이에 따라, 구동 트랜지스터(DT)의 샘플링 기간(T2)이 부족하여 제2 노드(N2) 전압이 감소하거나, 시분할 구동시 플로팅된 데이터 라인(26)과 스토리지 커패시터(Cst)의 커플링 작용으로 데이터 전압(Vdata)이 감소하여 제2 노드(N2) 전압이 감소할지라도, 부스트 커패시터(Cb)에 의한 상승 전압(VB)에 의해 제2 노드(N2)의 전압의 부족분이 보상됨으로써 구동 트랜지스터(DT) 전압(Vgs)의 상승을 억제하여 블랙 휘도가 상승하는 것을 방지할 수 있다.

[0037]

이와 같이, 본 발명에 따른 OLED 표시 장치의 화소 회로는 샘플링 기간(T2)이 부족하거나, 시분할 구동시 플로팅된 데이터 라인(26)과 스토리지 커패시터(Cst)의 커플링 작용으로 데이터 전압(Vdata)이 감소한 경우에도, 제2 노드(N2)에서의 불충분한 전압을 부스트 커패시터(Cb)에 의한 상승 전압(VB)으로 보상함으로써 구동 트랜지스터(DT) 전압(Vgs)의 상승을 억제하여 블랙 휘도가 상승하는 것을 방지할 수 있다.

[0038]

도 3은 도 1에 도시된 화소 회로(42)를 이용한 OLED 표시 장치를 개략적으로 나타낸 회로도이고, 도 4는 도 3에 도시된 화상 표시부의 구동 파형도이다.

[0039]

도 3에 도시된 OLED 표시 장치는 화상 표시부(16)와, 화상 표시부(16)를 구동하는 데이터 구동부(10), 스캔 구동부(12), 발광 제어부(14)를 구비한다.

[0040]

화상 표시부(16)는 다수의 화소(22)로 구성된 화소 매트릭스와, 데이터 구동부(10)로부터의 데이터 신호(DS)을 화소(22)로 공급하는 데이터 라인(26), 스캔 구동부(12)로부터의 제1 및 제2 스캔 신호(GD1, GD2)를 화소(22)로 공급하는 제1 및 제2 스캔 라인(28, 30), 발광 제어부(14)로부터의 발광 제어 신호(EM)를 화소(22)로 공급하는 발광 제어 라인(32)을 구비한다. 화상 표시부(20)는 각 화소(22)에 기준 전압(Vref)을 공급하는 기준 전압 라인(34), 구동 전원(VDD)을 공급하는 전원 라인(36), 그라운드 전압을 공급하는 그라운드 라인(38)을 구비한다. 또한, 화상 표시부(20)는 데이터 구동부(10)와 데이터 라인(26) 사이에 접속되어 다수의 데이터 라인(26)을 시분할 구동하는 다수의 멀티플렉서(24)를 구비하고, 설명의 편의상 도 1에서는 하나의 멀티플렉서(24)만을 도시한다. 각 화소(22)는 발광 소자(44)와, 발광 소자(44)를 독립적으로 구동하는 화소 회로(42)를 구비한다. 화소 회로(42)는 도 1과 같이 구동 트랜지스터(DT), 제1 내지 제5 스위칭 트랜지스터(ST1 내지 ST5), 스토리지 커패시터(Cst) 및 부스트 커패시터(Cb)를 구비하는 6T2C 구조를 갖는다.

[0041]

스캔 구동부(12)는 제1 스캔 라인(28)으로 제1 스캔 신호(GD1)을 공급하고 제2 스캔 라인(30)으로 제2 스캔 신호(GD2)를 공급한다. 발광 제어부(14)는 발광 제어 라인(32)으로 발광 제어 신호(EM)를 공급한다. 스캔 구동부(12)가 도 4에 도시된 해당 스캔 기간(1H)에서 제1 및 제2 스캔 라인(GD1, GD2)을 구동하고, 그 다음 발광 기간(T4)에서 발광 제어부(14)가 발광 제어 라인(32)을 다음 프레임의 스캔 기간 이전까지 구동한다.

[0042]

데이터 구동부(10)는 디지털 데이터를 아날로그 데이터 신호(DS)로 변환하여 출력한다. 특히, 데이터 구동부(10)는 해당 출력 채널을 통해 멀티플렉서(24)와 접속된 다수의 데이터 라인(26)에 대응하는 다수의 데이터 신호(DS)를 순차 공급한다.

[0043] 각 멀티플렉서(24)는 제어 신호(MUX1, MUX2, MUX3)에 응답하여 다수개의 데이터 라인(26)을 시분할 구동하는 다수의 스위치(S1, S2, S3)를 구비한다. 각 멀티플렉서(24)의 스위치들(S1, S2, S3)은 데이터 구동부(10)의 1개의 출력 채널에 공통 접속되고, 1개의 출력 채널을 통해 공급되는 데이터 전압(Vdata)를 도 4와 같이 순차적으로 위상이 쉬프트되는 제어 신호(MUX1, MUX2, MUX3)에 응답하여 다수의 데이터 라인(26)에 순차 공급한다. 멀티플렉서(24)는 다수의 데이터 라인(26)에 순차적으로 데이터 전압(Vdata)이 공급한 다음 턴-오프되므로 다수의 데이터 라인(26)은 공급된 데이터 전압(Vdata)을 유지하면서 플로팅된다.

[0044] 도 1 및 도 2에서 전술한 바와 같이, 화소 회로(42)는 제1 및 제2 스캔 신호(GD1, GD2)에 응답하여 프리-초기화 시간(T0) 및 초기화 시간(T1)에서 제2 노드(N2)를 초기화하고, 샘플링 기간(T3)에서 구동 전압(VDD)-문턱 전압(Vth)을 샘플링하며, 부스팅 기간(T3)에서 부스트 커패시터(Cb)에 의해 제2 노드(N2)의 전압을 상승시킨다. 이에 따라, 구동 트랜지스터(DT)의 샘플링 기간(T2)이 부족하여 제2 노드(N2) 전압이 감소하거나, 시분할 구동시 플로팅된 데이터 라인(26)과 스토리지 커패시터(Cst)의 커플링 작용으로 데이터 전압(Vdata)이 감소하여 제2 노드(N2) 전압이 감소할지라도, 부스트 커패시터(Cb)에 의한 상승 전압(VB)에 의해 제2 노드(N2)의 전압의 부족분이 보상됨으로써 구동 트랜지스터(DT) 전압(Vgs)의 상승을 억제하여 블랙 휘도가 상승하는 것을 방지할 수 있다. 그리고, 발광 기간(T4)에서 상기 수학식 3으로 결정된 구동 트랜지스터(DT)의 출력 전류(I)가 발광 소자(44)로 공급됨으로써 발광 소자(44)는 공급 전류(I)에 비례하여 발광한다.

[0045] 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

도면의 간단한 설명

[0046] 도 1은 본 발명의 실시예에 따른 화소 회로를 나타낸 도면.

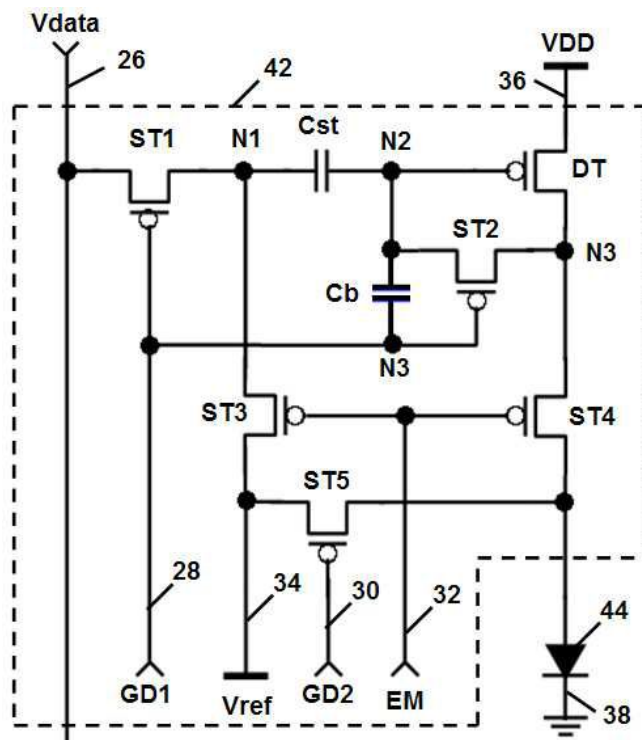
[0047] 도 2는 도 1에 도시된 화소 회로의 구동 파형도.

[0048] 도 3은 도 1에 도시된 화소 회로를 이용한 OLED 표시 장치를 개략적으로 나타낸 도면.

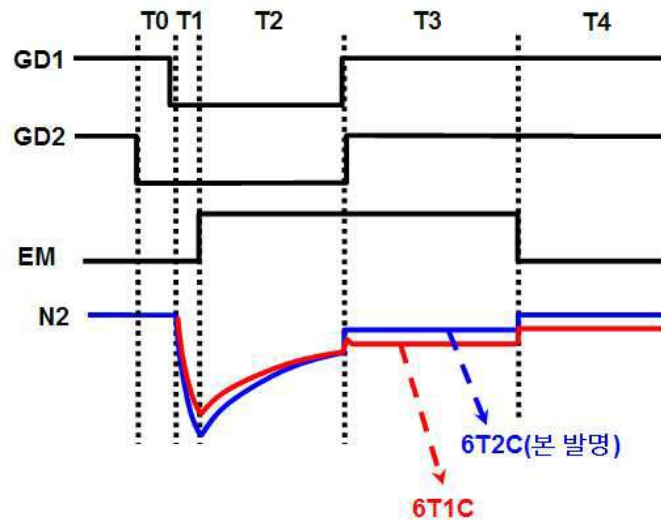
[0049] 도 4는 도 3에 도시된 화상 표시부의 구동 파형도.

도면

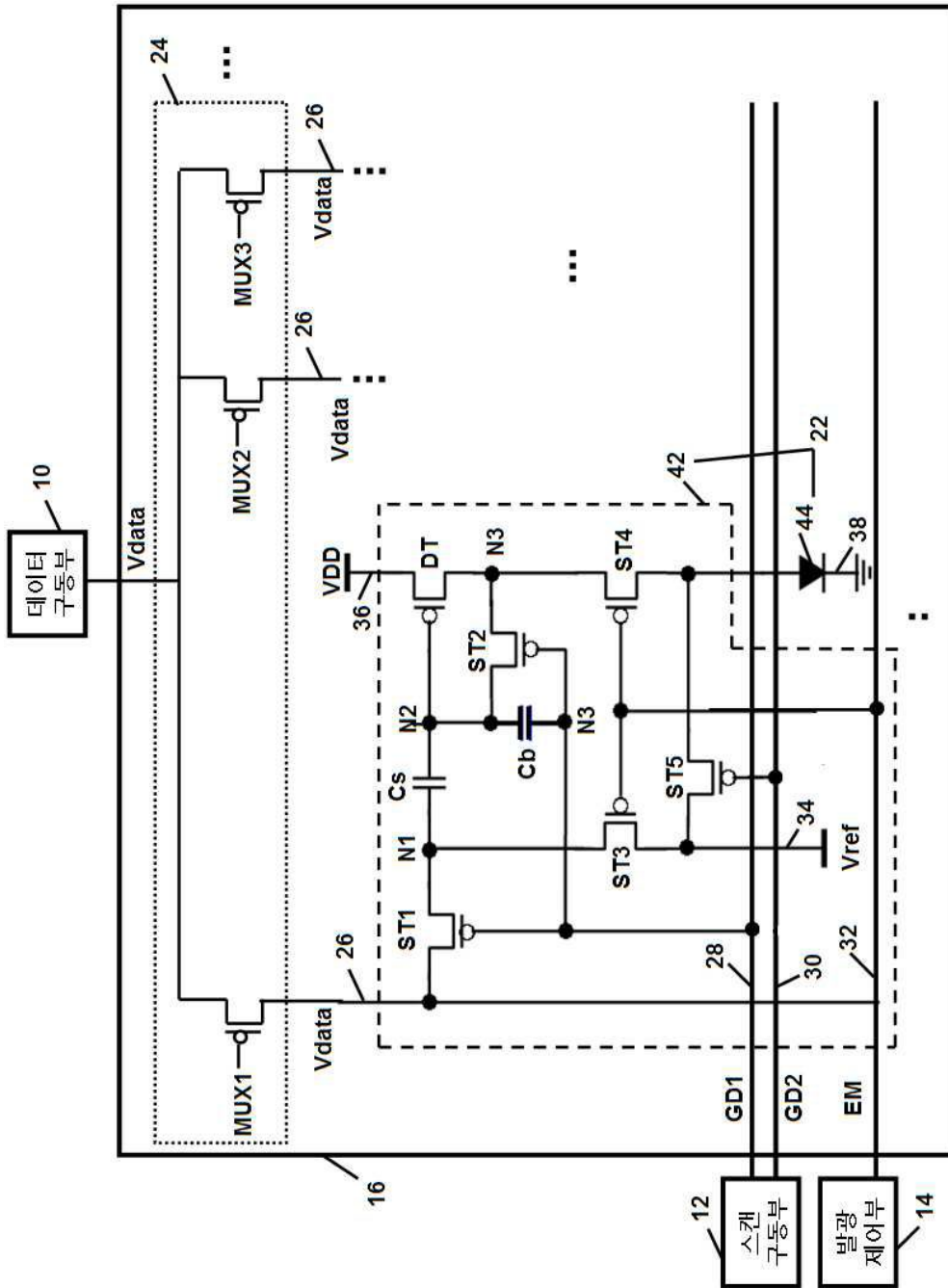
도면1



도면2



도면3



도면4

