



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0003620
(43) 공개일자 2009년01월12일

(51) Int. Cl.

H05B 33/02 (2006.01) H05B 33/26 (2006.01)

H05B 33/14 (2006.01)

(21) 출원번호 10-2007-0066430

(22) 출원일자 2007년07월03일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

서성모

경기 수원시 영통구 영통동 948-4번지 황골마을주
공1단지아파트108동 1001호

(74) 대리인

특허법인로알

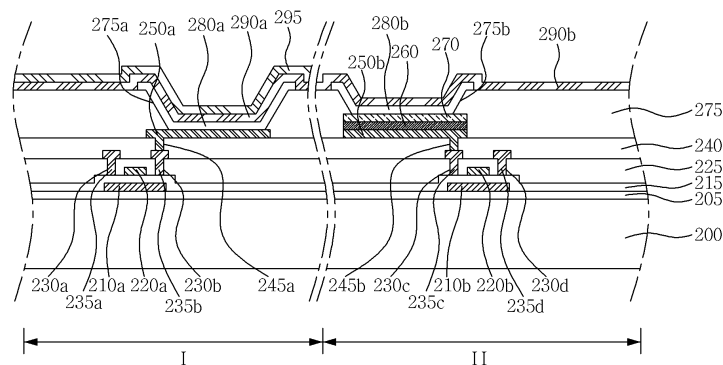
전체 청구항 수 : 총 10 항

(54) 유기전계발광표시장치 및 그 제조방법

(57) 요약

본 발명은 두 개의 스캔 라인, 데이터 라인 및 전원라인에 의해 정의되며, 배면발광 영역 및 전면발광 영역을 포함하는 화소 영역을 포함하는 기판, 상기 배면발광 영역 및 전면발광 영역에 각각 위치하며, 반도체층, 게이트 전극, 소오스 전극 및 드레인 전극을 포함하는 다수개의 박막 트랜지스터 및 상기 박막 트랜지스터와 각각 전기적으로 연결되며, 상기 배면발광 영역에 위치하는 제 1 발광소자 및 상기 전면발광 영역에 위치하는 제 2 발광소자를 포함하며, 상기 제 1 발광소자는 제 1 하부전극, 제 1 발광층, 제 1 상부전극 및 제 1 반사막을 포함하고, 상기 제 2 발광소자는 투명한전극 및 제 2 반사막을 포함하는 제 2 하부전극, 제 2 발광층 및 제 2 상부전극을 포함하는 유기전계발광표시장치를 제공한다.

대표도 - 도3f



특허청구의 범위

청구항 1

두 개의 스캔 라인, 데이터 라인 및 전원라인에 의해 정의되며, 배면발광 영역 및 전면발광 영역을 포함하는 화소 영역을 포함하는 기관;

상기 배면발광 영역 및 전면발광 영역에 각각 위치하며, 반도체층, 게이트 전극, 소오스 전극 및 드레인 전극을 포함하는 다수개의 박막 트랜지스터; 및

상기 박막 트랜지스터와 각각 전기적으로 연결되며, 상기 배면발광 영역에 위치하는 제 1 발광소자 및 상기 전면발광 영역에 위치하는 제 2 발광소자를 포함하며,

상기 제 1 발광소자는 제 1 하부전극, 제 1 발광층, 제 1 상부전극 및 제 1 반사막을 포함하고,

상기 제 2 발광소자는 투명도전막 및 제 2 반사막을 포함하는 제 2 하부전극, 제 2 발광층 및 제 2 상부전극을 포함하는 유기전계발광표시장치.

청구항 2

제 1항에 있어서,

상기 제 1 하부전극 및 제 2 하부전극은 ITO, IZO 또는 ITZO인 유기전계발광표시장치.

청구항 3

제 1항에 있어서,

상기 제 1 상부전극 및 제 2 상부전극은 마그네슘(Mg), 은(Ag) 또는 마그네슘-은(MgAg) 합금인 유기전계발광표시장치.

청구항 4

제 1항에 있어서,

상기 제 1 반사막 및 제 2 반사막은 은(Ag), 알루미늄(Al), 니켈(Ni) 및 이들의 합금인 유기전계발광표시장치.

청구항 5

제 1항에 있어서,

상기 제 1 발광층 및 제 2 발광층과 제 1 하부전극 및 제 2 하부전극 사이에 정공주입층 또는 정공수송층을 더 포함하고, 상기 제 1 발광층 및 제 2 발광층과 제 1 상부전극 및 제 2 상부전극 사이에 전자수송층 또는 전자주입층을 더 포함하는 유기전계발광표시장치.

청구항 6

배면발광 영역 및 전면발광 영역을 포함하는 화소 영역을 포함하는 기관 상에 반도체층, 게이트 전극, 소오스 전극 및 드레인 전극을 포함하는 다수개의 박막 트랜지스터를 형성하는 단계;

상기 기관 상의 배면발광 영역 및 전면발광 영역 전면에 상기 드레인 전극과 전기적으로 연결되는 각각 연결되는 제 1 투명도전층을 적층하는 단계;

상기 제 1 투명도전층 상에 반사층을 적층하는 단계;

상기 반사층 상에 제 2 투명도전층을 적층하는 단계;

상기 제 1 투명도전층, 반사층 및 제 2 투명도전층을 패터닝하여 상기 전면발광 영역에 투명도전막, 제 2 반사막 및 제 2 하부전극을 형성하는 단계;

상기 전면발광 영역의 투명도전막, 제 2 반사막 및 제 2 하부전극을 제외한 상기 배면발광 영역의 반사층 및 제 2 투명도전층을 제거하여, 배면발광 영역에 제 1 하부전극을 형성하는 단계;

상기 제 1 하부전극 및 제 2 하부전극의 일정 영역을 노출시키는 뱅크층을 형성하는 단계;
 상기 노출된 제 1 하부전극 및 제 2 하부전극 상에 발광층을 형성하는 단계;
 상기 발광층 상에 제 1 상부전극 및 제 2 상부전극을 형성하는 단계; 및
 상기 제 1 상부전극 상에 제 1 반사막을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

청구항 7

제 6항에 있어서,
 상기 제 1 하부전극 및 제 2 하부전극은 ITO, IZO 또는 ITZO인 유기전계발광표시장치의 제조방법.

청구항 8

제 6항에 있어서,
 상기 제 1 상부전극 및 제 2 상부전극은 마그네슘(Mg), 은(Ag) 또는 마그네슘-은(MgAg) 합금인 유기전계발광표시장치의 제조방법.

청구항 9

제 6항에 있어서,
 상기 제 1 반사막 및 제 2 반사막은 은(Ag), 알루미늄(Al), 니켈(Ni) 및 이들의 합금인 유기전계발광표시장치의 제조방법.

청구항 10

제 6항에 있어서,
 상기 제 1 발광층 및 제 2 발광층과 제 1 하부전극 및 제 2 하부전극 사이에 정공주입층 또는 정공수송층을 형성하고, 상기 제 1 발광층 및 제 2 발광층과 제 1 상부전극 및 제 2 상부전극 사이에 전자수송층 또는 전자주입층을 형성하는 단계를 더 포함하는 유기전계발광표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은 유기전계발광표시장치 및 그 제조방법에 관한 것이다.
- <15> 최근, 평판표시장치(FPD: Flat Panel Display)는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 디스플레이(Liquid Crystal Display: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출표시장치(Field Emission Display: FED), 유기전계발광표시장치(Organic Light Emitting Device) 등과 같은 여러 가지의 평면형 디스플레이가 실용화되고 있다.
- <16> 특히, 유기전계발광표시장치는 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 소비 전력이 낮고 자체 발광이다. 또한, 시야각에 문제가 없어서 장치의 크기에 상관없이 동화상 표시 매체로서 장점이 있다. 또한, 저온 제작이 가능하고, 기존의 반도체 공정 기술을 바탕으로 제조 공정이 간단하므로 향후 차세대 평판 표시 장치로 주목받고 있다.
- <17> 따라서, 전술한 유기전계발광표시장치의 장점으로 인해 휴대용 기기에 많이 사용되고 있다. 최근의 추세에 따르면 휴대용 기기의 전면에는 서브 표시창이 구비되고, 후면에는 메인 표시창이 구비되어 사용자들의 편리성을 추구하고 있다.
- <18> 상기와 같은, 유기전계발광표시장치의 양면발광을 구현하는 방법으로는, 일 방향으로 빛을 방출하는 두 장의 패널을 붙여서 양면발광을 구현하거나, 하나의 패널 내에 전면발광 소자와 배면발광 소자를 구비하여 양면발광을

구현할 수 있다.

- <19> 그러나, 두 장의 패널을 붙여서 양면발광을 구현하는 방법은 표시장치의 두께가 두꺼워 박형경량을 추구할 수 없다는 문제점이 있었다.
- <20> 또한, 하나의 패널 내에 전면발광 소자와 배면발광 소자를 형성하여 양면발광을 구현하는 유기전계발광표시장치의 경우에는 박막 트랜지스터와 연결된 하부 전극의 구조가 전면발광 구조와 배면발광 구조에서 서로 상이하기 때문에, 하부 전극을 형성하는 공정이 복잡한 문제점이 있었다.
- <21> 따라서, 종래의 양면발광형 유기전계발광표시장치는 공정이 복잡하고, 제조원가가 상승되며, 제조수율이 저하되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

- <22> 따라서, 본 발명은 공정을 단순화하고 제조원가를 절감할 수 있는 유기전계발광표시장치 및 그 제조방법을 제공한다.

발명의 구성 및 작용

- <23> 상기한 목적을 달성하기 위해, 본 발명은, 두 개의 스캔 라인, 데이터 라인 및 전원라인에 의해 정의되며, 배면발광 영역 및 전면발광 영역을 포함하는 화소 영역을 포함하는 기관, 상기 배면발광 영역 및 전면발광 영역에 각각 위치하며, 반도체층, 게이트 전극, 소오스 전극 및 드레인 전극을 포함하는 다수개의 박막 트랜지스터 및 상기 박막 트랜지스터와 각각 전기적으로 연결되며, 상기 배면발광 영역에 위치하는 제 1 발광소자 및 상기 전면발광 영역에 위치하는 제 2 발광소자를 포함하며, 상기 제 1 발광소자는 제 1 하부전극, 제 1 발광층, 제 1 상부전극 및 제 1 반사막을 포함하고, 상기 제 2 발광소자는 투명도전막 및 제 2 반사막을 포함하는 제 2 하부전극, 제 2 발광층 및 제 2 상부전극을 포함하는 유기전계발광표시장치를 제공한다.
- <24> 또한, 본 발명은 배면발광 영역 및 전면발광 영역을 포함하는 화소 영역을 포함하는 기관 상에 반도체층, 게이트 전극, 소오스 전극 및 드레인 전극을 포함하는 다수개의 박막 트랜지스터를 형성하는 단계, 상기 기관 상의 배면발광 영역 및 전면발광 영역 전면에 상기 드레인 전극과 전기적으로 연결되는 각각 연결되는 제 1 투명도전층을 적층하는 단계, 상기 제 1 투명도전층 상에 반사층을 적층하는 단계, 상기 반사층 상에 제 2 투명도전층을 적층하는 단계, 상기 제 1 투명도전층, 반사층 및 제 2 투명도전층을 패터닝하여 상기 전면발광 영역에 투명도전막, 제 2 반사막 및 제 2 하부전극을 형성하는 단계, 상기 전면발광 영역의 투명도전막, 제 2 반사막 및 제 2 하부전극을 제외한 상기 배면발광 영역의 반사층 및 제 2 투명도전층을 제거하여, 배면발광 영역에 제 1 하부전극을 형성하는 단계, 상기 제 1 하부전극 및 제 2 하부전극의 일정 영역을 노출시키는 뱅크층을 형성하는 단계, 상기 노출된 제 1 하부전극 및 제 2 하부전극 상에 발광층을 형성하는 단계, 상기 발광층 상에 제 1 상부전극 및 제 2 상부전극을 형성하는 단계 및 상기 제 1 상부전극 상에 제 1 반사막을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법을 제공한다.
- <25> 이하, 첨부한 도면들을 참조하여 본 발명의 실시 예들을 상세하게 설명하도록 한다.
- <26> <실시예>
- <27> 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 화소 영역의 회로도이다.
- <28> 본 발명의 일 실시예에 따른 유기전계발광표시장치는 두 개의 스캔 라인, 데이터 라인 및 전원라인에 의해 정의되며, 배면발광 영역 및 전면발광 영역을 포함하는 다수개의 화소 영역을 포함할 수 있다.
- <29> 도 1을 참조하면, 유기전계발광표시장치를 이루는 하나의 화소 영역은 제 1 스캔 라인(10), 제 2 스캔 라인(20), 상기 제 1 및 제 2 스캔 라인(10, 20)과 수직방향으로 교차되는 데이터 라인(30) 및 전원 라인(40)에 의해 정의된다.
- <30> 화소 영역은 배면발광이 가능한 제 1 발광소자가 형성된 배면발광 영역(I) 및 전면발광이 가능한 제 2 발광소자가 형성된 전면발광 영역(II)을 포함할 수 있다.
- <31> 배면발광 영역(I)은 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 제 1 캐패시터(C1) 및 제 1 발광소자(D1)를 포함할 수 있다.
- <32> 여기서, 스위칭 박막 트랜지스터(T1)는 제 1 스캔 라인(10)과 데이터 라인(30)에 의해 인가되는 신호에 따라 온

(On)/오프(Off) 되고, 제 1 캐패시터(C1)는 스위칭 박막 트랜지스터(T1)가 온(On) 상태로 됨에 따라 전원 라인(40)과 연결되어 전압이 충전된다. 그리고, 구동 박막 트랜지스터(T2)는 제 1 캐패시터(C1)에서 인가되는 전압에 의해 전류가 흐르게 되며, 이에 따라, 제 1 발광소자(D1)로 전류가 흐르게 되어 제 1 발광소자(D1)를 구동시킨다.

- <33> 전면발광 영역(II)은 스위칭 박막 트랜지스터(T3), 구동 박막 트랜지스터(T4), 제 2 캐패시터(C2) 및 제 2 발광소자(D2)를 포함할 수 있다.
- <34> 여기서, 스위칭 박막 트랜지스터(T3)는 제 2 스캔 라인(20)과 데이터 라인(30)에 의해 인가되는 신호에 따라 온(On)/오프(Off) 되고, 제 2 캐패시터(C2)는 스위칭 박막 트랜지스터(T3)가 온(On) 상태로 됨에 따라 전원 라인(40)과 연결되어 전압이 충전된다. 그리고, 구동 박막 트랜지스터(T4)는 제 2 캐패시터(C2)에서 인가되는 전압에 의해 전류가 흐르게 되며, 이에 따라, 제 2 발광소자(D2)로 전류가 흐르게 되어 제 2 발광소자(D2)를 구동시킨다.
- <35> 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 화소 영역은 두 개의 스캔 라인에 의해 전면발광 영역의 제 1 발광소자와 배면발광 영역의 제 2 발광소자가 개별적으로 구동할 수 있으며, 이때, 제 1 발광소자와 제 2 발광소자는 데이터 라인과 전원 라인을 공유할 수 있다. 따라서, 제 1 발광소자와 제 2 발광소자는 개별 구동이 가능하고, 이에 따라 서로 다른 화상을 표시부에 표시할 수 있다.
- <36> 또한, 상기 제 1 발광소자와 제 2 발광소자는 동일색을 발광할 수 있으며, 이와는 달리, 서로 다른 색을 발광할 수도 있다.
- <37> 도 2는 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 단면도이다.
- <38> 도 2를 참조하면, 배면발광 영역(I) 및 전면발광 영역(II)을 포함하는 기판(100) 상에 버퍼층(105)이 위치한다. 버퍼층(105) 상에 반도체층(110a, 110b)이 위치한다. 반도체층(110a, 110b)을 덮도록 게이트 절연막(115)이 위치하며, 게이트 절연막(115) 상에 반도체층(110a, 110b)의 일정 영역과 대응되는 게이트 전극(120a, 120b)이 위치한다.
- <39> 게이트 전극(120a, 120b)을 포함하는 기판(100) 전면에 층간 절연막(125)이 위치하며, 층간 절연막(125) 및 게이트 절연막(115) 내에 반도체층(120a, 120b)의 일부를 노출시키는 콘택홀들(130a, 130b, 130c, 130d)이 위치한다.
- <40> 층간 절연막(125)의 콘택홀들(130a, 130b, 130c, 130d)을 통하여 반도체층(110a, 110b)과 전기적으로 연결되는 소오스 및 드레인 전극(135a, 135b, 135c, 135d)이 위치함으로써, 박막 트랜지스터를 구성한다.
- <41> 박막 트랜지스터의 소오스 및 드레인 전극(135a, 135b, 135c, 135d)을 포함하는 기판(100) 전면에 평탄화막(140)이 위치한다. 평탄화막(140) 내에 소오스 및 드레인 전극(135a, 135b, 135c, 135d) 중 어느 하나를 노출시키는 비어홀(145a, 145b)이 위치한다.
- <42> 배면발광 영역(I)의 평탄화막(140) 상에 비어홀(145a)을 통하여 소오스 및 드레인 전극(135a, 135b) 중 어느 하나, 즉 드레인 전극(135b)과 전기적으로 연결되는 제 1 하부전극(150a)이 위치한다.
- <43> 전면발광 영역(II)의 평탄화막(140) 상에 비어홀(145b)을 통하여 소오스 및 드레인 전극(135c, 135d) 중 어느 하나, 즉 드레인 전극(135d)과 전기적으로 연결되는 투명도전막(150b)이 위치한다.
- <44> 전면발광 영역(II)의 투명도전막(150b) 상에 제 2 반사막(160)이 위치하고, 제 2 반사막(160) 상에 제 2 하부전극(170)이 위치한다.
- <45> 배면발광 영역(I) 및 전면발광 영역(II)의 제 1 하부전극(150a) 및 제 2 하부전극(170) 상에 बैं크층(175)이 위치한다. बैं크층(175)은 배면발광 영역(I)의 제 1 하부전극(150a)과 전면발광 영역(II)의 제 2 하부전극(170)의 일정 영역을 노출시키는 개구부(175a, 175b)를 구비한다.
- <46> 배면발광 영역(I)의 제 1 하부전극(150a) 및 전면발광 영역(II)의 제 2 하부전극(170) 상에 제 1 발광층(180a) 및 제 2 발광층(180b)이 위치한다.
- <47> 배면발광 영역(I)의 제 1 발광층(180a) 상에 제 1 상부전극(190a)이 위치하고, 전면발광 영역(II)의 제 2 발광층(180b) 상에 제 2 상부전극(190b)이 위치한다.
- <48> 여기서, 배면발광 영역(I)의 제 1 하부전극(150a)과 제 1 발광층(180a) 사이에 정공수송층 또는 정공주입층을

더 포함할 수 있고, 제 1 발광층(180a)과 제 1 상부전극(190a) 사이에는 전자수송층 또는 전자주입층을 더 포함할 수 있다.

<49> 또한, 전면발광 영역(II)의 제 2 하부전극(170)과 제 2 발광층(180b) 사이에 정공수송층 또는 정공주입층을 더 포함할 수 있고, 제 2 발광층(180b)과 제 2 상부전극(190b) 사이에는 전자수송층 또는 전자주입층을 더 포함할 수 있다.

<50> 배면발광 영역(I)의 제 1 상부전극(190a) 상에 제 1 반사막(195)이 위치한다.

<51> 이하에서는 도 3a 내지 도 3f를 참조하여, 상기와 같은 구조를 갖는 본 발명의 일 실시 예에 따른 유기전계발광 표시장치의 제조방법을 설명하기로 한다.

<52> 도 3a를 참조하면, 배면발광 영역(I) 및 전면발광 영역(II)이 정의된 기판(200) 상에 버퍼층(205)을 형성한다. 이때, 기판(200)은 유리, 플라스틱 또는 금속으로 이루어질 수 있다. 그리고, 버퍼층(205)은 기판(200)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막 트랜지스터를 보호하기 위해 형성하는 것으로, 실리콘 산화물(SiO_2), 실리콘 질화물(SiNx) 등을 사용하여 선택적으로 형성할 수 있다.

<53> 이어, 상기 버퍼층(205) 상에 반도체층(210a, 210b)을 형성한다. 반도체층(210a, 210b)은 비정질 실리콘을 사용할 수 있으며, 비정질 실리콘을 결정화한 다결정 실리콘을 사용할 수 도 있다.

<54> 다음, 상기 반도체층(210a, 210b)을 덮도록 게이트 절연막(215)을 형성한다. 게이트 절연막(215)은 실리콘 산화막, 실리콘 질화막 또는 이들의 이중층으로 형성할 수 있다.

<55> 이어서, 상기 게이트 절연막(215) 상에 반도체층(210a, 210b)의 일정 영역과 대응되는 게이트 전극(220a, 220b)을 형성한다. 게이트 전극(220a, 220b)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금일 수 있다.

<56> 다음으로, 게이트 전극(220a, 220b)을 포함하는 기판(200) 상에 층간 절연막(225)을 형성한 다음, 층간 절연막(225) 및 게이트 절연막(215)을 식각하여, 반도체층(210a, 210b)의 일부를 노출시키는 콘택홀들(230a, 230b, 230c, 230d)을 형성한다.

<57> 이어, 상기 층간 절연막(225) 상에 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu) 등의 금속을 증착한 후 패터닝하여 소오스 전극(235a, 235c) 및 드레인 전극(235b, 235d)를 형성하여 박막 트랜지스터를 완성한다.

<58> 본 발명의 일 실시예에서는 반도체층 상부에 게이트 전극이 위치하는 탑(Top) 게이트형 박막 트랜지스터를 개시하였지만, 이와는 달리 게이트 전극이 반도체층 하부에 위치하는 바텀(Bottom) 게이트형 박막 트랜지스터를 사용할 수 있다.

<59> 이어, 도 3b를 참조하면, 소오스 전극(235a, 235c) 및 드레인 전극(235b, 235d)을 포함하는 기판(200) 상에 평탄화막(240)을 형성한다. 평탄화막(240)은 하부 구조의 단차를 완화시키는 역할을 할 수 있으며, 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물 또는 실리콘 산화물을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 무기물을 사용하여 형성할 수도 있다.

<60> 그런 다음, 평탄화막(240)을 식각하여, 소오스 전극(235a, 235c) 및 드레인 전극(235b, 235d) 중 어느 하나를 노출시키는 비어홀(245a, 245b)을 형성한다.

<61> 이어, 비어홀(245a, 245b)을 포함하는 기판(200) 상에 제 1 투명도전층, 반사층 및 제 2 투명도전층을 순차적으로 적층한다. 이때, 제 1 투명도전층은 ITO, IZO 또는 ITZO를 사용할 수 있고, 반사층은 은(Ag), 알루미늄(Al), 니켈(Ni) 또는 이들의 합금을 사용할 수 있고, 제 2 투명도전층은 제 1 투명도전층과 동일한 물질을 사용할 수 있다.

<62> 이어, 기판(200) 상에 적층된 제 1 투명도전층, 반사층 및 제 2 투명도전층을 일괄 식각하여 전면발광 영역(I)에 투명도전막(250b), 제 2 반사막(260) 및 제 2 하부전극(270)을 형성하고, 배면발광 영역(I)에는 추후 제 1 하부전극이 형성될 크기로 패터닝한다.

<63> 다음, 도 3c를 참조하면, 기판(200)의 전면에 포토레지스트(Photo Resist : PR)를 도포하고 패터닝하여 전면발광 영역(II) 상에 형성된 투명도전막(250b), 제 2 반사막(260) 및 제 2 하부전극(270)을 덮도록 형성하고, 배면

발광 영역(II)은 노출시킨다.

- <64> 이어, 도 3d와 같이, 배면발광 영역(II)에 노출된 제 1 투명도전층, 반사층 및 제 2 투명도전층 중 제 1 투명도전층을 제외한 반사층 및 제 2 투명도전층을 제거하여, 배면발광 영역(II) 상에 제 1 하부전극(250a)을 형성한다.
- <65> 이러한 공정은 종래 배면발광 영역 및 전면발광 영역에 서로 다른 하부 전극을 각각 형성하기 위해 2번의 패터닝 공정을 거쳤던 것을 하나의 패터닝 공정으로 줄일 수 있는 이점이 있다.
- <66> 이어, 도 3e를 참조하면, 제 1 하부전극(250a) 및 제 2 하부전극(270)이 형성된 기판(200) 상에 बैं크층(275)을 형성한다. 이때, बैं크층(275)은 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin) 또는 아크릴레이트(acrylate)를 스핀 코팅법을 이용하여 형성할 수 있다.
- <67> 다음, 상기 बैं크층(275)의 일정 영역을 식각하여 배면발광 영역(I)의 제 1 하부전극(250a) 및 전면발광 영역(II)의 제 2 하부전극(270)의 일정 영역을 노출시키는 개구부(275a, 275b)를 형성한다.
- <68> 이어, 상기 개구부(275a, 275b)에 의해 노출된 제 1 하부전극(250a) 및 제 2 하부전극(270) 상에 발광층(280a, 280b)을 형성한다. 발광층(280a, 280b)은 진공증착법, 레이저 열 전사법, 스크린 프린팅법 등을 이용하여 형성할 수 있다.
- <69> 이때, 발광층(280a, 280b)은 동일색 또는 서로 상이한 색을 발광할 수 있는 물질들로 이루어질 수 있다.
- <70> 다음, 발광층(280a, 280b)이 형성된 기판(200) 상에 마그네슘(Mg), 은(Ag) 또는 마그네슘-은(MgAg) 합금을 적층하여, 배면발광 영역(I)에 제 1 상부전극(290a)을 형성하고 전면발광 영역(II)에 제 2 상부전극(290b)을 형성한다.
- <71> 여기서, 배면발광 영역(I)의 제 1 하부전극(250a)과 제 1 발광층(280a) 사이에 정공수송층 또는 정공주입층을 더 형성할 수 있고, 제 1 발광층(280a)과 제 1 상부전극(290a) 사이에는 전자수송층 또는 전자주입층을 더 형성할 수 있다.
- <72> 또한, 전면발광 영역(II)의 제 2 하부전극(270)과 제 2 발광층(280b) 사이에 정공수송층 또는 정공주입층을 더 형성할 수 있고, 제 2 발광층(280b)과 제 2 상부전극(290b) 사이에는 전자수송층 또는 전자주입층을 더 형성할 수 있다.
- <73> 이어, 도 3f를 참조하면, 배면발광 영역(I)의 제 1 상부전극(290a)이 형성된 기판(200) 상에 은(Ag), 알루미늄(Al), 니켈(Ni) 및 이들의 합금 중 어느 하나를 적층하여 제 1 반사막(295)을 형성한다.
- <74> 따라서, 기판(200) 상에 배면발광이 가능한 제 1 발광소자와 전면발광이 가능한 제 2 발광소자를 포함하는 유기전계발광표시장치를 완성한다.
- <75> 상기와 같은 공정을 통해 제조된 본 발명의 일 실시 예에 따른 유기전계발광표시장치는 하나의 화소 영역 내에 배면발광이 가능한 제 1 발광소자 및 전면발광이 가능한 제 2 발광소자를 형성할 수 있다.
- <76> 상기 제 1 발광소자는 투명한 제 1 하부전극, 발광층, 제 1 상부전극 및 제 1 반사막이 순차적으로 적층되어, 발광층에서 추출되는 빛이 상부의 제 1 반사막에 의해 반사되어 기판이 위치하는 배면으로 나아가게 되어 배면발광을 구현할 수 있다. 또한, 상기 제 2 발광소자는 제 2 하부전극 하부에 제 2 반사막이 위치함으로써, 발광층에서 추출되는 빛이 제 2 상부전극이 위치하는 전면으로 나아가게 되어 전면발광을 구현할 수 있다.
- <77> 또한, 종래 양면발광을 구현하기 위한 유기전계발광표시장치는 전면발광 영역과 배면발광 영역의 하부 전극을 서로 다르게 형성해야 하기 때문에, 전면발광 영역 및 배면발광 영역의 하부 전극을 각각 따로 형성하여 공정이 복잡하였지만, 본 발명의 일 실시 예에서는 전면발광 영역 및 배면발광 영역의 하부 전극을 동시에 형성함으로써, 공정이 단순화될 수 있는 이점이 있다.
- <78> 따라서, 본 발명의 일 실시 예에 따른 유기전계발광표시장치 및 그 제조방법은 서로 다른 표시부에 동일 또는 상이한 화상을 표시할 수 있는 양면발광형 유기전계발광표시장치를 제공할 수 있는 이점이 있다.
- <79> 또한, 제조공정을 단순화하여 제조수율을 높이고, 제조원가를 절감할 수 있는 유기전계발광표시장치 및 그 제조방법을 제공할 수 있는 이점이 있다.
- <80> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태

로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

<81> 상술한 바와 같이, 본 발명의 유기전계발광표시장치 및 그 제조방법은 개별 구동이 가능한 양면발광형 유기전계 발광표시장치를 제공할 수 있고, 유기전계발광표시장치의 제조공정을 단순화하여 제조수율을 높이고, 제조원가를 절감할 수 있는 이점이 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 화소 영역의 회로도.

도 2는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단면도.

<3> 도 3a 내지 3f는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 공정별 단면도.

<4> * 도면의 주요부분에 대한 부호의 설명 *

<5> 200 : 기관 205 : 버퍼층

<6> 210a, 210b : 반도체층 215 : 게이트 절연막

<7> 220a, 220b : 게이트 전극 225 : 층간 절연막

<8> 235a, 235c : 소오스 전극 235b, 235d : 드레인 전극

<9> 240 : 평탄화막 250a : 제 1 하부전극

<10> 250b : 투명도전막 260 : 제 2 반사막

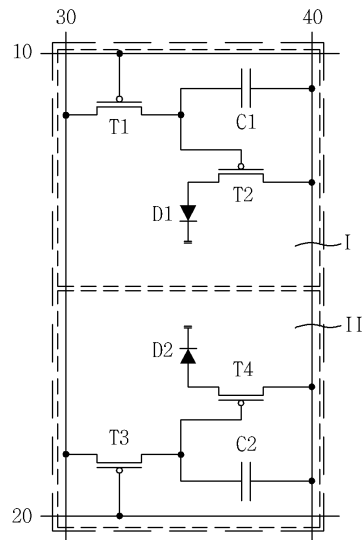
<11> 270 : 제 2 하부전극 275 : बैं크층

<12> 280a, 280b : 발광층 290a, 290b : 제 1 및 제 2 상부전극

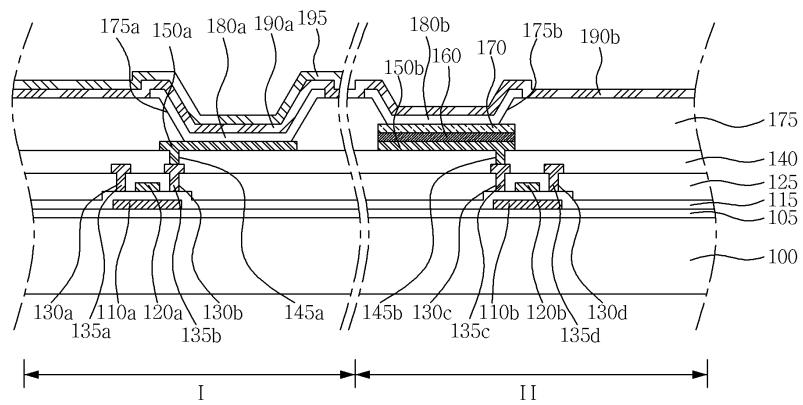
<13> 295 : 제 1 반사막

도면

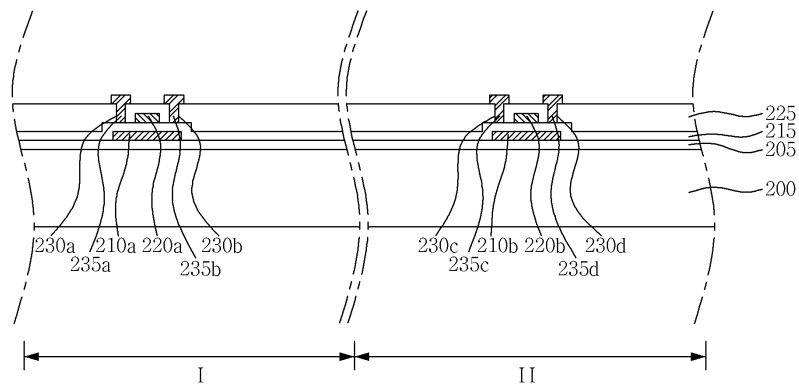
도면1



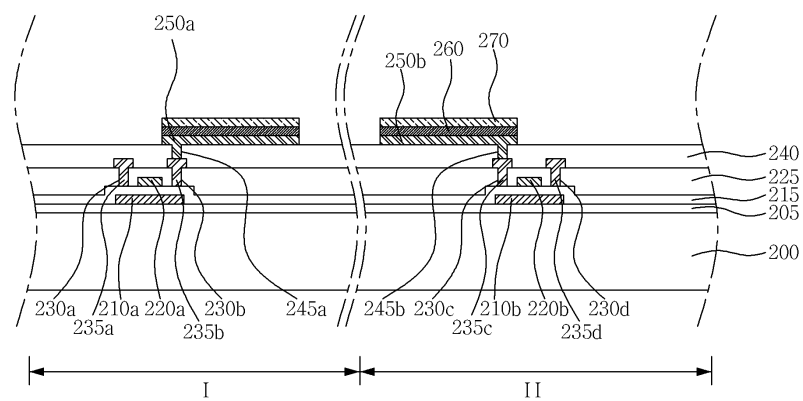
도면2



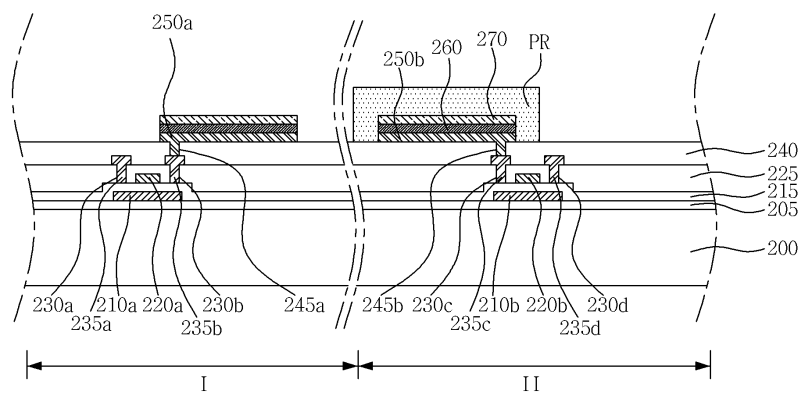
도면3a



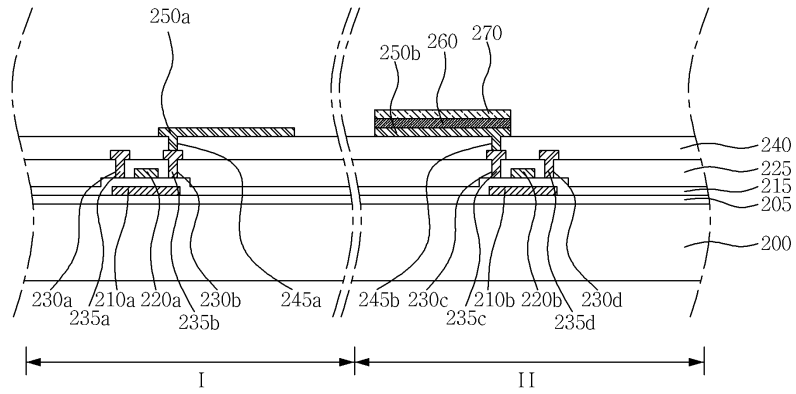
도면3b



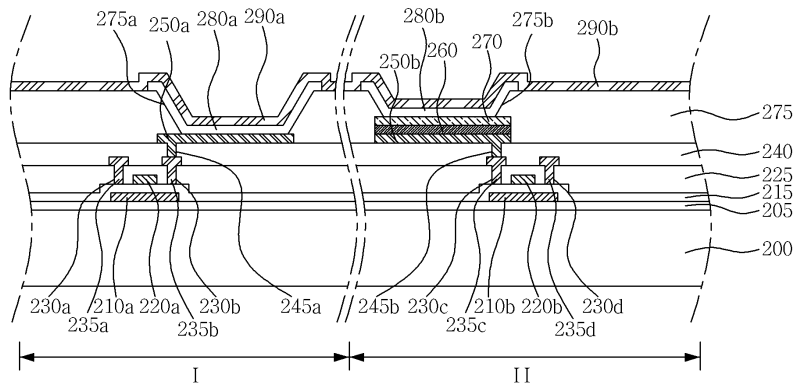
도면3c



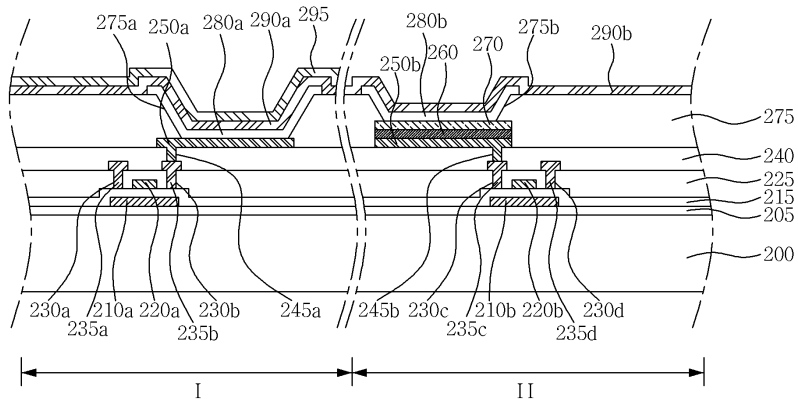
도면3d



도면3e



도면3f



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020090003620A	公开(公告)日	2009-01-12
申请号	KR1020070066430	申请日	2007-07-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SEO SEONG MOH		
发明人	SEO, SEONG MOH		
IPC分类号	H05B33/02 H05B33/26 H05B33/14		
CPC分类号	H01L27/3209 H01L27/3248 H01L27/3262 H01L51/5012 H01L51/5203 H01L51/5271 H01L51/56 H01L2924/12044		
其他公开文献	KR101476433B1		
外部链接	Espacenet		

摘要(译)

半导体器件技术领域本发明涉及一种半导体器件，包括：衬底，包括由两条扫描线限定的像素区域;数据线;以及电源线，包括底部发射区域和顶部发射区域，多个薄膜晶体管，每个包括栅电极，源电极和漏电极，以及电连接到薄膜晶体管的第一发光器件，第一发光器件位于底部发光区域，其中，第一发光装置包括第一下电极，第一发光层，第一上电极和第一反射膜，第二发光装置包括第二下电极，第二下电极包括透明导电膜和第二反射膜，第二发光层和第二上电极。

