



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0000806
(43) 공개일자 2008년01월03일

(51) Int. Cl.

H05B 33/10 (2006.01) H05B 33/04 (2006.01)

(21) 출원번호 10-2006-0058602

(22) 출원일자 2006년06월28일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

이재윤

서울 용산구 원효로4가 178번지 강변삼성아파트
103동 105호

김호진

대구 달서구 본동 616 (9/1) 월성주공5단지아파트
507동 212호

김정현

경기 군포시 산본동 백두아파트 969동 1202호

(74) 대리인

김용인, 심창섭

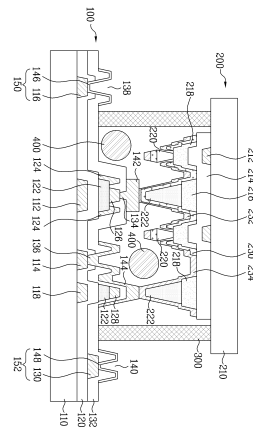
전체 청구항 수 : 총 16 항

(54) 유기 전계발광 표시장치와 그 제조 방법

(57) 요약

본 발명은 듀얼 플레이트 타입에서도 수분 및 가스를 흡착하여 유기 발광층의 열화를 방지할 수 있는 유기 전계 발광 표시장치와 그 제조 방법을 제공하는 것으로, 서브화소 구동부 어레이가 형성된 제1 기판과; 유기 발광 다이오드 어레이가 형성된 제2 기판과; 상기 제1 및 제2 기판을 합착시키는 실링재와; 상기 실링재에 밀봉된 상기 제1 및 제2 기판 사이의 내부 영역에 형성되어 수분 및 가스를 흡착하는 다수의 게터를 포함하는 유기 전계발광 표시장치와 그 제조 방법을 개시한다.

대표도 - 도1



특허청구의 범위

청구항 1

서브화소 구동부 어레이가 형성된 제1 기판과;

유기 발광 다이오드 어레이가 형성된 제2 기판과;

상기 제1 및 제2 기판을 합착시키는 실링재와;

상기 실링재에 밀봉된 상기 제1 및 제2 기판 사이의 내부 영역에 형성되어 수분 및 가스를 흡착하는 다수의 게터를 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 다수의 게터 각각은 게터는 마이크로 볼 형태의 절연체로 형성된 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 서브화소 구동부 어레이에 포함된 서브화소 구동부 각각은

적어도 2개의 박막 트랜지스터와;

상기 적어도 2개의 박막 트랜지스터 중 하나의 박막 트랜지스터와 접속된 제1 컨택 전극을 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 유기 발광 다이오드 어레이에 포함된 유기 발광 다이오드는 각각은

상기 하판의 제1 컨택 전극과 접속된 제1 전극과;

제2 전극과;

상기 제1 및 제2 전극 사이에 형성된 유기 발광층을 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 제2 전극은 상기 유기 발광 다이오드 어레이에 공통으로 형성되고;

상기 유기 발광 다이오드 어레이는

상기 제2 전극 위에 형성되어 서브화소 단위로 상기 유기 발광 다이오드의 형성 영역을 마련하는 버퍼막과;

상기 버퍼막 위에 형성되어 상기 유기 발광층 및 제1 전극을 서브화소 단위로 분리시키는 세퍼레이터와;

상기 버퍼막 위에 형성되어 상기 제1 전극이 상기 제1 기판의 컨택 전극과 접촉하도록 지지하는 컨택 스페이서를 추가로 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 제1 기판은

전원 신호를 공급하는 전원 라인과;

상기 전원 라인과 접속된 제2 컨택 전극을 추가로 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 7

제 6 항에 있어서,

상기 제2 기판은 제2 컨택 전극과 상기 제2 전극을 전기적으로 연결하는 제3 컨택 전극과;

상기 제2 전극과 상기 제2 컨택 전극 사이에 형성되어 상기 제3 컨택 전극이 상기 제1 기판의 제2 컨택 전극과 접촉하도록 지지하는 버퍼막 및 컨택 스페이서를 추가로 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 8

제 1 항에 있어서,

상기 제1 기판은 상기 실링재의 바깥쪽에 형성된 다수의 패드를 추가로 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 9

서브화소 구동부 어레이가 형성된 제1 기판을 마련하는 단계와;

유기 발광 다이오드 어레이가 형성된 제2 기판을 마련하는 단계와;

상기 제1 및 제2 기판 중 어느 한 기판에 다수의 게터를 산포하는 단계와;

상기 제1 및 제2 기판을 실링재를 이용하여 합착하고 상기 제1 및 제2 기판을 전기적으로 접속시키는 단계를 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 다수의 게터는 마이크로 볼 형태의 절연체로 형성되어 산포되는 것을 특징으로 하는 유기 전계발광 표시장치의 제조 방법.

청구항 11

제 9 항에 있어서,

상기 제1 기판에 상기 서브화소 구동부 어레이를 형성하는 단계는

적어도 2개의 박막 트랜지스터와, 상기 적어도 2개의 박막 트랜지스터 중 하나의 박막 트랜지스터와 접속된 제1 컨택 전극을 포함하는 다수의 서브화소 구동부와 다수의 신호 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 제조 방법.

청구항 12

제 11 항에 있어서,

상기 제2 기판에 상기 유기 발광 다이오드 어레이를 형성하는 단계는

제1 및 제2 전극 사이에 유기 발광층이 형성된 다수의 유기 발광 다이오드를 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 제조 방법.

청구항 13

제 12 항에 있어서,

상기 제2 전극은 상기 유기 발광 다이오드 어레이에 공통으로 형성되고;

상기 유기 발광 다이오드 어레이를 형성하는 단계는

상기 제2 전극 위에 형성되어 서브화소 단위로 상기 유기 발광 다이오드의 형성 영역을 마련하는 버퍼막을 형성

하는 단계와;

상기 버퍼막 위에 형성되어 상기 유기 발광층 및 제1 전극을 서브화소 단위로 분리시키는 세퍼레이터를 형성하는 단계와;

상기 버퍼막 위에 상기 제1 전극이 상기 제1 기관의 제1 컨택 전극과 접촉하도록 지지하는 컨택 스페이서를 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 제조 방법.

청구항 14

제 13 항에 있어서,

상기 제1 기관에 전원 신호를 공급하는 전원 라인을 형성하는 단계와;

상기 전원 라인과 접속된 제2 컨택 전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 제조 방법.

청구항 15

제 14 항에 있어서,

상기 제2 기관에 상기 제2 전극과 접속된 제3 컨택 전극을 형성하는 단계와;

상기 제2 전극과 상기 제2 컨택 전극 사이에 상기 제3 컨택 전극이 상기 제1 기관의 제2 컨택 전극과 접촉하도록 지지하는 버퍼막 및 컨택 스페이서를 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 제조 방법.

청구항 16

제 11 항에 있어서,

상기 제1 기관에 상기 실링재의 바깥쪽에 위치하여 상기 다수의 신호 라인과 각각 접속되는 다수의 패드를 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 유기 전계발광 표시장치의 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <21> 본 발명은 유기 전계발광 표시 장치에 관한 것으로, 특히 유기 발광층의 열화를 방지할 수 있는 유기 전계발광 표시장치와 그 제조 방법에 관한 것이다.
- <22> 최근 다양한 정보를 화면으로 구현해 주는 다양한 표시 장치들 중 종이와 같이 박막화가 가능한 유기 전계발광(Electro-Luminescence) 표시장치가 주목받고 있다. 유기 전계발광 표시장치는 전극 사이의 얇은 유기 발광층을 이용한 자발광 소자로 유기 EL 또는 OLED(Organic Light Emitting Diode) 표시장치라고 부르며 이하에서는 OLED 표시장치를 사용한다. OLED 표시장치는 액정 표시장치와 비교하여 저소비전력, 박형, 자발광 등의 장점을 갖지만, 수명이 짧은 단점을 갖는다. OLED 표시장치의 수명은 여러 가지 요인이 있지만 주로 수분 및 가스에 의한 유기 발광층의 열화가 가장 큰 문제로 지적되고 있다.
- <23> OLED 표시장치는 한 화소를 구성하는 3색(R, G, B) 서브 화소 각각을 독립적으로 구동하여 동영상상을 표시하기에 적합한 액티브 매트릭스 타입을 중심으로 발전되고 있다. 액티브 매트릭스 OLED(이하, AMOLED) 표시장치의 각 서브화소는 양극 및 음극 사이의 유기 발광층으로 구성된 OLED와, OLED를 독립적으로 구동하는 서브화소 구동부를 구비한다. 서브화소 구동부는 적어도 2개의 박막 트랜지스터와 스토리지 커패시터를 포함하여 데이터 신호에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 밝기를 제어한다. OLED는 양극과 음극 사이에 유기물로 적층된 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층을 포함한다. 양극과 음극 사이에 순방향 전압이 인가되면 음극으로부터의 전자가 전자 주입층 및 전자 수송층을 통해 발광층으로 이동하고, 양극으로부터의 정공이 정공 주입층 및 정공 수송층을 통해 발광층으로 이동한다. 발광층은 전자 수송층으로부터의 전자

와 정공 수송층으로부터의 정공의 재결합으로 빛을 방출하고, 밝기는 양극과 음극 사이에 흐르는 전류량에 비례한다.

<24> 종래의 AMOLED 표시장치는 서브화소 구동부 어레이와 OLED 어레이가 형성된 기판에 패키징판이 합착된 인캡슐레이션(Encapsulation) 구조로 그 기판을 통해 빛을 방출한다. 패키징 판에는 수분 및 가스를 흡착하는 게터가 형성되어 유기 발광층의 열화를 방지한다. 그러나, 종래의 AMOLED 표시장치는 서브화소 구동부의 공정이 완료된 다음 OLED 어레이의 공정에서 불량 발생하면 기판 전체를 모두 불량 처리해야 하므로 전체 공정 수율이 낮은 문제점이 있다. 또한, 패키징판은 개구율을 제한하고 고해상도 표시장치에 적용되기 어려운 문제점이 있다.

<25> 이러한 문제점들을 해결하기 위한 방안으로 최근에는 서브화소 구동부 어레이와 OLED 어레이가 서로 다른 기판에 분리 형성되어 합착된 듀얼 플레이트 타입(Dual Plate Type)의 AMOLED가 제안되었다. 그러나, 듀얼 플레이트 타입의 AMOLED는 게터 형성이 어려워 수분 및 가스에 의한 유기 발광층의 열화를 방지할 수 없는 문제점을 갖고 있다.

발명이 이루고자 하는 기술적 과제

<26> 따라서, 본 발명은 듀얼 플레이트 타입에서도 수분 및 가스를 흡착하여 유기 발광층의 열화를 방지할 수 있는 OLED 표시장치와 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

<27> 상기 목적을 달성하기 위하여, 본 발명에 따른 OLED 표시장치는 서브화소 구동부 어레이가 형성된 제1 기판과; 유기 발광 다이오드 어레이가 형성된 제2 기판과; 상기 제1 및 제2 기판을 합착시키는 실링재와; 상기 실링재에 밀봉된 상기 제1 및 제2 기판 사이의 내부 영역에 형성되어 수분 및 가스를 흡착하는 다수의 게터를 포함한다. 상기 다수의 게터 각각은 게터는 마이크로 볼 형태의 절연체로 형성된다.

<28> 상기 서브화소 구동부 어레이에 포함된 서브화소 구동부 각각은 적어도 2개의 박막 트랜지스터와; 상기 적어도 2개의 박막 트랜지스터 중 하나의 박막 트랜지스터와 접속된 제1 컨택 전극을 포함한다, 상기 유기 발광 다이오드 어레이에 포함된 유기 발광 다이오드는 각각은 상기 하판의 제1 컨택 전극과 접속된 제1 전극과; 제2 전극과; 상기 제1 및 제2 전극 사이에 형성된 유기 발광층을 포함한다. 상기 제2 전극은 상기 유기 발광 다이오드 어레이에 공통으로 형성되고; 상기 유기 발광 다이오드 어레이는 상기 제2 전극 위에 형성되어 서브화소 단위로 상기 유기 발광 다이오드의 형성 영역을 마련하는 버퍼막과; 상기 버퍼막 위에 형성되어 상기 유기 발광층 및 제1 전극을 서브화소 단위로 분리시키는 세퍼레이터와; 상기 버퍼막 위에 형성되어 상기 제1 전극이 상기 제1 기판의 컨택 전극과 접촉하도록 지지하는 컨택 스페이서를 추가로 포함한다.

<29> 상기 제1 기판은 전원 신호를 공급하는 전원 라인과; 상기 전원 라인에 접속된 제2 컨택 전극을 추가로 포함하고, 상기 제2 기판은 제2 컨택 전극과 상기 제2 전극을 전기적으로 연결하는 제3 컨택 전극과; 상기 제2 전극과 상기 제2 컨택 전극 사이에 형성되어 상기 제3 컨택 전극이 상기 제1 기판의 제2 컨택 전극과 접촉하도록 지지하는 버퍼막 및 컨택 스페이서를 추가로 포함한다. 상기 제1 기판은 상기 실링재의 바깥쪽에 형성된 다수의 패드를 추가로 포함한다.

<30> 그리고, 본 발명의 다른 특징에 따른 유기 전계발광 표시장치의 제조 방법은 서브화소 구동부 어레이가 형성된 제1 기판을 마련하는 단계와; 유기 발광 다이오드 어레이가 형성된 제2 기판을 마련하는 단계와; 상기 제1 및 제2 기판 중 어느 한 기판에 다수의 게터를 산포하는 단계와; 상기 제1 및 제2 기판을 실링재를 이용하여 합착하고 상기 제1 및 제2 기판을 전기적으로 접속시키는 단계를 포함한다. 상기 다수의 게터는 마이크로 볼 형태로 형성되어 산포된다.

<31> 상기 제1 기판에 상기 서브화소 구동부 어레이를 형성하는 단계는 적어도 2개의 박막 트랜지스터와, 상기 적어도 2개의 박막 트랜지스터 중 하나의 박막 트랜지스터와 접속된 제1 컨택 전극을 포함하는 다수의 서브화소 구동부와 다수의 신호 라인을 형성하는 단계를 포함한다. 상기 제2 기판에 상기 유기 발광 다이오드 어레이를 형성하는 단계는 제1 및 제2 전극 사이에 유기 발광층이 형성된 다수의 유기 발광 다이오드를 형성하는 단계를 포함한다. 상기 제2 전극은 상기 유기 발광 다이오드 어레이에 공통으로 형성되고; 상기 유기 발광 다이오드 어레이를 형성하는 단계는 상기 제2 전극 위에 형성되어 서브화소 단위로 상기 유기 발광 다이오드의 형성 영역을 마련하는 버퍼막을 형성하는 단계와; 상기 버퍼막 위에 형성되어 상기 유기 발광층 및 제1 전극을 서브화소 단위로 분리시키는 세퍼레이터를 형성하는 단계와; 상기 버퍼막 위에 상기 제1 전극이 상기 제1 기판의 제1 컨택

전극과 접촉하도록 지지하는 컨택 스페이서를 형성하는 단계를 추가로 포함한다.

- <32> 그리고, 본 발명의 제조 방법은 상기 제1 기판에 전원 신호를 공급하는 전원 라인을 형성하는 단계와; 상기 전원 라인과 접속된 제2 컨택 전극을 형성하는 단계와, 상기 제2 기판에 상기 제2 전극과 접속된 제3 컨택 전극을 형성하는 단계와; 상기 제2 전극과 상기 제2 컨택 전극 사이에 상기 제3 컨택 전극이 상기 제1 기판의 제2 컨택 전극과 접촉하도록 지지하는 버퍼막 및 컨택 스페이서를 형성하는 단계를 추가로 포함한다.
- <33> 또한, 본 발명의 제조 방법은 상기 제1 기판에 상기 실링재의 바깥쪽에 위치하여 상기 다수의 신호 라인과 각각 접속되는 다수의 패드를 형성하는 단계를 추가로 포함한다.
- <34> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <35> 이하, 본 발명의 바람직한 실시 예를 도 1 내지 도 4를 참조하여 상세히 설명하기로 한다.
- <36> 도 1은 본 발명의 실시예에 따른 OLED 표시장치를 도시한 단면도이다.
- <37> 도 1에 도시된 OLED 표시장치는 서브화소 구동부 어레이가 형성된 하판(100)과, OLED 어레이가 형성된 상판(200)이 실링재(300)에 의해 합착된 구조를 갖는다. 여기서 서브화소 구동부 어레이는 화상 표시부를 구성하는 다수의 서브화소의 서브화소 구동부들을 포함하고, OLED 어레이는 다수의 서브화소의 OLED들을 포함한다.
- <38> 하판(100)은 절연 기판(110)에 형성된 다수의 신호 라인과 박막 트랜지스터(TFT)를 포함하는 서브화소 구동부 어레이를 포함한다. 서브화소 구동부 어레이는 실링재(300)에 의해 밀봉되는 하판(100)의 내부 영역에 형성된다. 하판(100)은 실링재(300)가 형성된 실링 영역을 기준으로 내부 영역과 외부 영역으로 구분될 수 있다.
- <39> 각 서브화소에 형성된 서브화소 구동부는 주로 2개의 박막 트랜지스터와 하나의 커패시터를 포함한다. 예를 들면, 게이트 라인의 스캔 신호에 응답하여 데이터 라인으로부터의 데이터 신호를 공급하는 스위치 박막 트랜지스터와, 스위치 박막 트랜지스터로부터의 데이터 신호에 응답하여 OLED를 흐르는 전류량을 제어하는 구동 박막 트랜지스터와, 스위치 박막 트랜지스터가 턴-오프되더라도 구동 박막 트랜지스터를 통해 일정한 전류가 흐르게 하는 스토리지 커패시터를 포함한다. 이러한 서브화소 구동부에서 도 2에 도시된 박막 트랜지스터(TFT)는 OLED와 접속된 구동 박막 트랜지스터에 대응하는 것이고, 스위치 박막 트랜지스터는 구동 박막 트랜지스터와 같은 단면 구조를 갖으므로 생략한다.
- <40> 도 1에 도시된 박막 트랜지스터(TFT)는 절연 기판(110) 위에 형성된 게이트 전극(112)과, 게이트 절연막(120)을 사이에 두고 게이트 전극(112)과 중첩된 반도체층(122)과, 반도체층(122)을 채널로 이용하는 소스 전극(124) 및 드레인 전극(126)을 포함하고, 소스 전극(124) 및 드레인 전극(126)과 반도체층(122) 사이에는 불순물 반도체층, 즉 오믹 컨택층(미도시)이 추가로 포함된다. 구동 박막 트랜지스터(TFT)의 게이트 전극(112)은 스위치 박막 트랜지스터의 드레인 전극(미도시)과 접속되고, 소스 전극(124)은 제2 전원 라인(미도시)과 접속되며, 드레인 전극(126)은 제1 컨택 전극(142) 및 도전 필름(160)을 통해 상판(200)에 형성된 OLED, 즉 OLED의 제1 전극(232)과 접속된다. 여기서 스위치 박막 트랜지스터의 게이트 전극(미도시)은 게이트 라인(미도시)과, 소스 전극은 데이터 라인(미도시)과 접속된다.
- <41> 제1 컨택 전극(142)은 박막 트랜지스터(TFT)를 보호하는 보호막(132)을 관통하는 컨택홀(134)을 통해 드레인 전극(126)과 접속된다. 제1 컨택 전극(142)은 상판(200)에 형성된 OLED의 제1 전극(232)과 접촉하여 전기적으로 연결된다.
- <42> 그리고, 하판(100)은 실링재(300)에 의해 밀봉되는 내부 영역 중 서브화소 구동부 어레이의 주변부에 게이트 전극(112)과 함께 형성된 제1 전원 라인(114)과, 제1 전원 라인(114)과 접속된 제2 컨택 전극(144)을 더 포함한다. 제1 전원 라인(114)은 하판(100)에 형성된 제2 컨택 전극(144)과 상판(200)에 형성된 제3 컨택 전극(234)을 경유하여 상판(200)에 형성된 OLED의 제2 전극(214)과 접속된다. 제2 컨택 전극(144)은 보호막(132) 및 게이트 절연막(120)을 관통하는 컨택홀(136)을 통해 제1 전원 라인(114)과 접속된다. 그리고, 제2 컨택 전극(144)은 상판(200)에 형성된 제3 컨택 전극(234)과 접촉하여 전기적으로 연결된다. 이때 상판(200)과 접촉하는 제2 컨택 전극(144)의 표면 높이를 제1 컨택 전극(142)과 맞추기 위하여 제2 컨택 전극(144)의 아래에는 다수의 더미 패턴들(118, 122, 128)이 적층된다. 예를 들면, 다수의 더미 패턴들(118, 123, 128)은 게이트 전극(112)과 함께 형성된 더미 패턴(118)과, 게이트 절연막(120) 위의 반도체층(122)과, 소스/드레인 전극(124, 126)과 함께 보호막(132) 아래에 형성된 더미 패턴(128)을 포함하고, 반도체층(122)과 더미 패턴(128) 사이에는 불순물 반도체층(미도시)이 더 포함된다.

- <43> 또한, 하판(100)에서 실링재(300)가 형성된 실링 영역을 기준으로 외부 영역에는 게이트 라인(미도시)과 접속된 게이트 패드(150)과, 데이터 라인(미도시)과 접속된 데이터 패드(152)가 형성된 패드 영역이 마련된다. 게이트 패드(150)는 게이트 전극(112)과 함께 형성되어 게이트 라인으로부터 연장된 하부 게이트 패드(116)와, 보호막(132) 및 게이트 절연막(120)을 관통하는 컨택홀(138)을 통해 하부 게이트 패드(116)과 접속된 상부 게이트 패드(146)를 포함한다. 데이터 패드(152)는 소스/드레인 전극(124, 126)과 함께 형성되어 데이터 라인으로부터 연장된 하부 데이터 패드(130)와, 보호막(132)을 관통하는 컨택홀(140)을 통해 하부 데이터 패드(130)와 접속된 상부 데이터 패드(148)을 포함한다. 여기서 상부 게이트 패드(146)와 상부 데이터 패드(148)는 투명 도전층으로 형성된다.
- <44> 상판(200)은 하판(100)의 서브화소 구동부와 접속된 제1 전극(232)과, 제2 전원 라인(114)과 접속된 제2 전극(214)과, 제1 및 제2 전극(232, 214) 사이에 형성된 유기 발광층(230)을 포함하는 OLED 어레이가 절연 기판(210)에 형성된 구조를 갖는다. OLED 어레이는 수분 및 가스 등에 의해 열화되는 특성을 갖으므로 실링재(300)에 의해 밀봉되는 상판(200)의 내부 영역에 형성된다.
- <45> OLED의 제2 전극(214)은 절연 기판(210)에 형성되고, 유기 발광층(230)으로부터의 빛을 투과시키기 위하여 투명 도전층으로 형성된다. 제2 전극(214)은 OLED 어레이를 모두 포함하는 판형으로 형성되어 제2 전원 라인(114)으로부터의 제2 전원을 OLED 어레이에 공통으로 공급한다. 그리고, 제2 전극(214)과 절연 기판(210) 사이에는 투명 도전층의 저항 성분을 보상하기 위한 보조 전극(212)이 금속층으로 형성된다. 보조 전극(212)은 유기 발광층(230)의 비발광 영역에 형성된다.
- <46> 제2 전극(214) 다음에는 각 서브화소 단위로 유기 발광층(230)의 발광 영역을 마련하는 버퍼막(218)이 유기 발광층(230)의 비발광 영역에 형성된다. 버퍼막(218)에 의해 마련된 유기 발광층(230)의 발광 영역들은 매트릭스 형태로 배열된다. 다시 말하여, 버퍼막(218)은 각 서브화소의 OLED가 형성될 OLED 영역을 마련한다.
- <47> 버퍼막(218) 다음에는 후속으로 형성될 유기 발광층(230)과 제1 전극(232)을 서브화소 단위로 분리시키는 세퍼레이터(Separator)(220)와, 제1 전극(232)을 하판(100)과 접속시키기 위하여 상대적으로 높은 컨택 스페이스(222)가 형성된다. 세퍼레이터(220)는 각 서브화소를 감싸는 격벽 형태로 형성되고, 컨택 스페이스(222)는 상하판(200, 100)에서 전기적인 접속이 필요한 부분, 즉 각 서브화소 구동부와 OLED의 접속 부분에만 정렬되어 기둥 형태로 형성된다. 또한, 세퍼레이터(220)의 측면은 그 위에 적층되는 유기 발광층(230)과 제1 전극(232)의 분리를 위하여 컨택 스페이스(222)와 반대되는 역테이퍼를 갖는다. 다시 말하여, 컨택 스페이스(222)는 버퍼막(218)과 접촉하는 밑면으로부터 위로 갈수록 폭이 점진적으로 감소하여 순방향의 경사면을 갖지만, 세퍼레이터(220)는 버퍼막(218)과 접촉하는 밑면으로부터 위로 갈수록 폭이 점진적으로 증가하여 역방향의 경사면을 갖는다.
- <48> 그리고, 버퍼막(218)과 세퍼레이터(220) 및 컨택 스페이스(222)가 형성된 제2 전극(214) 위에 유기 발광층(230)이 형성되고, 유기 발광층(230) 위에 제1 전극(232)이 형성된다. 유기 발광층(230)과 제1 전극(232)은 세퍼레이터(220)의 역 경사면에 의해 서브화소 단위로 분리된다. 유기 발광층(230)은 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층을 포함한다. 이러한 유기 발광층(230)은 서브화소 단위로 적, 녹, 청색광을 방출한다. 제1 전극(232)은 컨택 스페이스(222)에 의해 상하판(200, 100) 합착시 하판(100)과 접촉할 수 있는 높이를 갖는다. 컨택 스페이스(222)는 하판(100)의 제1 컨택 전극(142)과 정렬되어 위치한다. 이에 따라, 컨택 스페이스(222)를 덮는 제1 전극(232)은 제1 컨택 전극(142)과 접촉하면서 전기적으로 연결된다. 이 결과 각 서브화소의 제1 전극(232)은 각 서브화소 구동부의 박막 트랜지스터(TFT)로부터의 구동 신호를 제1 컨택 전극(142)을 경유하여 공급받는다.
- <49> 그리고, 상판(200)의 제2 전극(214)은 OLED 어레이 주변부까지 연장되어 제3 컨택 전극(234)을 통해 하판(100)으로부터의 제2 전원 신호를 공급받는다. 제2 전극(214)과 접속된 제3 컨택 전극(234)을 제1 전극(232)과 유사한 높이로 하판(100)과 접속시키기 위하여 제2 전극(214)과 제3 컨택 전극(234) 사이에는 버퍼막(218)과 컨택 스페이스(222)가 형성된다. 여기서 버퍼막(218)과 컨택 스페이스(222)는 하판(100)의 제2 컨택 전극(144)과 정렬되어 위치한다. 이에 따라, 버퍼막(218) 및 컨택 스페이스(222)를 덮는 제3 컨택 전극(234)은 상하판(200, 100) 합착시 하판(100)의 제2 컨택 전극(142)과 접촉하면서 전기적으로 연결된다. 이 결과, 제2 전극(214)은 제2 전원 라인(114)로부터의 제2 전원 신호를 제2 컨택 전극(142) 및 제3 컨택 전극(234)을 경유하여 공급받는다. 여기서 제3 컨택 전극(234)은 제1 전극(232)과 함께 형성되며 세퍼레이터(220)에 의해 제1 전극(232)과 분리된다.
- <50> 하판(100)에서 제1 전원 라인(미도시)은 박막 트랜지스터(TFT)의 소스 전극(124)으로 구동 전압(VDD) 및 그라운

드 전압(GND) 중 어느 하나의 전원 신호를 공급하고, 제2 전원 라인(114)은 나머지 전원 신호를 공급한다. 따라서, 상판(200)에서 OLED의 제1 전극(232)은 양극 및 음극 중 어느 하나의 전극으로 이용되고, 제2 전극(214)은 나머지 전극으로 이용된다.

- <51> 실링재(300)는 하판(100) 또는 상판(200)의 실링 영역에 형성되어 상하판(200, 100)을 합착시킨다. 실링재(300)는 자외선을 통해 경화된다. 여기서 실링재(300)는 상하판(200, 100)의 절연 기관(210, 110)과 부착된다.
- <52> 그리고 실링재(300)에 상하판(200, 100)이 합착되기 이전에 마이크로 볼 형태의 게터들(400)을 하판(100) 위에 산포한다. 게터(400)로는 수분과 가스를 흡착할 수 있는 실리카(Silica), 칼슘(Ca), 바륨(Ba), 산화칼슘(CaO), 산화바륨(BaO) 등이 이용된다. 이러한 게터들(400)은 상하판(200, 100)과 실링재(300)의 계면을 통해 외부로부터 유입되거나, 내부에서 발생된 수분이나 산소와 같은 가스를 흡착하여 유기 발광층(230)의 열화를 방지하고, 가스로 인한 내부 압력 증가를 방지함으로써 내압 증가로 인한 상하판(200, 100)의 컨택 불량을 방지할 수 있다. 또한 게터들(400)은 절연체로 컨택 스페이서(222)의 높이 보다 작은 직경을 갖도록 하여 상하판(200, 100)의 전기적인 접속이나 OLED에 영향을 주지 않도록 한다.
- <53> 도 2는 본 발명의 실시예에 따른 OLED 표시 장치의 제조방법을 단계적으로 도시한 흐름도이고, 도 3은 도 1에 도시된 하판을, 도 4는 도 1에 도시된 상판을 도시한 단면도이다. 도 2 내지 도 4를 참조하여 본 발명의 OLED 표시장치의 제조 방법을 설명한다.
- <54> 단계 2(S2)에서 하판(100)의 절연 기관(110) 위에 게이트 라인(미도시)과 함께 게이트 전극(112), 제2 전원 라인(114), 더미 패턴(118)과 하부 게이트 패드(116)를 포함하는 제1 금속 패턴군이 형성된다. 구체적으로 제1 금속 패턴군은 절연 기관(110) 위에 제1 금속층이 스퍼터링 등의 증착 방법으로 형성된 다음 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 형성된다. 제1 금속층으로는 몰리브덴(Mo), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 크롬(Cr) 등과 이들의 합금이 단일층 또는 복층 구조로 이용된다.
- <55> 단계 4(S4)에서 상기 제1 금속 패턴군이 형성된 절연 기관(110) 위에 게이트 절연막(120)이 형성되고, 그 위에 반도체층(122)과 불순물 반도체층(미도시)이 적층된다. 구체적으로, 게이트 절연막(120) 및 반도체층(122)과 불순물 반도체층은 PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 증착 방법으로 적층된다. 게이트 절연막(120)으로는 질화 실리콘(SiNx), 산화 실리콘(SiOx) 등의 무기 절연물이 이용된다. 반도체층(122)은 비정질 실리콘층(a-Si)이, 불순물 반도체층으로는 n+이온이 도핑된 비정질 실리콘층(n+ a-Si)이 적층된 구조로 이용된다. 그 다음 포토리소그래피 공정과 식각 공정으로 불순물 반도체층 및 반도체층(122)이 패터닝됨으로써 게이트 절연막(120) 위에 반도체층(122) 및 불순물 반도체층이 부분적으로 존재하게 된다.
- <56> 단계 6(S6)에서 상기 반도체층(122)이 형성된 게이트 절연막(120) 위에 데이터 라인(미도시) 및 제1 전원 라인(미도시)과 함께 소스 전극(124), 드레인 전극(126), 더미 패턴(128)과 하부 데이터 패드(130)를 포함하는 제2 금속 패턴군이 형성된다. 구체적으로 제2 금속 패턴군은 반도체층(122)이 형성된 게이트 절연막(120) 위에 제2 금속층이 스퍼터링 등의 증착 방법으로 형성된 다음 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 형성된다. 그리고 소스 전극(124)과 드레인 전극(126)을 마스크로 이용한 식각 공정으로 노출된 불순물 반도체층이 제거된다. 제2 금속층으로는 몰리브덴(Mo), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 크롬(Cr) 등과 이들의 합금이 단일층 또는 복층 구조로 이용된다.
- <57> 한편, 전술한 반도체층(122) 및 불순물 반도체층과 제2 금속 패턴군은 회절 노광을 이용한 회절 노광 마스크 또는 반투과를 이용한 하프톤(Half-tone) 마스크를 이용하여 하나의 마스크 공정으로 형성되기도 한다.
- <58> 단계 8(S8)에서 상기 제2 금속 패턴군이 형성된 게이트 절연막(120) 위에 다수의 컨택홀들(134, 136, 138, 140)을 포함하는 보호막(132)이 형성된다. 보호막(132)은 CVD 등의 증착 방법으로 제2 금속 패턴군이 형성된 게이트 절연막(120) 위에 형성된다. 그 다음 포토리소그래피 공정 및 식각 공정으로 보호막(132)이 패터닝됨으로써 드레인 전극(126)의 일부를 노출시키는 컨택홀(134), 게이트 절연막(120)까지 관통하여 제2 전원 라인(114)의 일부를 노출시키는 컨택홀(136) 및 하부 게이트 패드(116)를 노출시키는 컨택홀(138), 하부 데이터 패드(130)를 노출시키는 컨택홀(140)이 형성된다. 보호막(132)으로는 질화 실리콘(SiNx), 산화 실리콘(SiOx) 등의 무기 절연물이 이용된다. 이와 달리, 보호막(132)으로는 스핀 코팅 또는 스핀리스 코팅 등의 코팅 방법을 이용하는 유기 절연물이 이용되기도 한다.
- <59> 단계 10(S10)에서 상기 보호막(132) 위에 제1 및 제2 컨택 전극(142, 144)이 형성된다. 제1 및 제2 컨택 전극(142, 144)은 보호막(132) 위에 제3 금속층이 스퍼터링 등의 증착 방법으로 형성된 다음 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다. 제1 컨택 전극(142)은 컨택홀(134)을 통해 박막 트랜지스터(TFT)

의 드레인 전극(126)과 접속되고, 제2 컨택 전극(144)은 컨택홀(136)을 통해 제2 전원 라인(114)과 접속된다. 제3 금속층으로는 몰리브덴(Mo), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 크롬(Cr) 등과 이들의 합금이 단일층 또는 복층 구조로 이용된다.

- <60> 단계 12(S12)에서 상기 보호막(132) 위에 컨택홀(138, 140) 각각을 경유하는 상부 게이트 패드(146) 및 상부 데이터 패드(148)가 형성된다. 상부 게이트 패드(146) 및 상부 데이터 패드(148)는 보호막(132) 위에 투명 도전층이 스퍼터링 등의 증착 방법으로 형성된 다음 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다. 상부 게이트 패드(146)는 컨택홀(138)을 통해 하부 게이트 패드(116)와 접속되고, 상부 데이터 패드(148)는 컨택홀(140)을 통해 하부 데이터 패드(130)와 접속된다. 투명 도전층으로는 ITO(Indium Tin Oxide), TO(Tin Oxide), IZO(Indium Zinc Oxide), ITZO 등이 이용된다.
- <61> 한편, 상기 단계 10(S10)과 단계 20(S20)의 공정 순서는 바뀔 수 있다.
- <62> 이러한 단계 2(S2) 내지 단계 12(S12)를 통해 도 3에 도시된 하판(100)이 완성된다.
- <63> 그리고, 단계 20(S20)에서 상판(200)의 절연 기판(210) 위에 보조 전극(212)이 형성된다. 보조 전극(212)은 절연 기판(210)에 금속층이 스퍼터링 등의 증착 방법으로 형성된 다음 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다. 보조 전극(212)의 금속으로는 몰리브덴(Mo), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 크롬(Cr) 등과 이들의 합금이 단일층 또는 복층 구조로 이용된다.
- <64> 단계 22(S22)에서 상기 보조 전극(212)이 형성된 절연 기판(210) 위에 제2 전극(214)이 형성된다. 제2 전극(214)은 보조 전극(212)이 형성된 절연 기판(210) 위에 투명 도전층이 스퍼터링 등의 증착 방법으로 형성된 다음 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다. 투명 도전층으로는 ITO(Indium Tin Oxide), TO(Tin Oxide), IZO(Indium Zinc Oxide), ITZO 등이 이용된다.
- <65> 단계 24(S24)에서 상기 제2 전극(214) 위에 버퍼막(218)이 형성된다. 버퍼막(218)은 절연 물질이 제2 전극(214) 위에 PECVD 등의 증착 방법으로 형성된 다음 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다. 버퍼막(218)으로는 질화 실리콘(SiNx), 산화 실리콘(SiOx) 등의 무기 절연물이 이용된다. 이와 달리, 보호막(218)으로는 스핀 코팅 또는 스핀리스 코팅 등의 코팅 방법을 이용하는 유기 절연물이 이용되기도 한다.
- <66> 단계 26(S26)에서 상기 버퍼막(218) 위에 세퍼레이터(220)가 형성된다. 세퍼레이터(220)는 유기 절연물이 버퍼막(218) 위에 스핀 코팅 또는 스핀리스 코팅 등의 코팅 방법으로 형성된 다음 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 역경사면을 갖도록 형성된다.
- <67> 단계 28(S28)에서 상기 버퍼막(218) 위에 컨택 스페이서(222)가 형성된다. 컨택 스페이서(222)는 유기 절연물이 버퍼막(218) 위에 스핀 코팅 또는 스핀리스 코팅 등의 코팅 방법으로 형성된 다음 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다.
- <68> 한편, 컨택 스페이서(222)는 세퍼레이터(220)가 형성되기 이전에 버퍼막(218) 위에 형성되기도 한다.
- <69> 단계 30(S30)에서 상기 컨택 스페이서(222) 및 세퍼레이터(220)와 버퍼막(218)이 형성된 제2 전극(214) 위에 유기 발광층(230)이 형성된다. 유기 발광층(230)은 새도우 마스크를 이용한 증착 공정을 반복하여 적, 녹, 청색의 유기 발광층(230)이 해당 영역에 순차적으로 형성된다. 이러한 유기 발광층(230)은 세퍼레이터(220)에 의해 서브화소 단위로 분리된다.
- <70> 단계 32(S32)에서 상기 유기 발광층(230) 위에 제1 전극(232)이 형성되고, 제2 전극(214) 위에 제3 컨택 전극(234)이 형성된다. 제2 전극(232) 및 제3 컨택 전극(234)은 금속 물질이 열증착(Thermal Evaporation) 등의 증착 방법을 통해 유기 발광층(230) 위에 증착됨으로써 형성된다. 제2 전극(232)은 세퍼레이터(220)에 의해 서브화소 단위로 분리되고, 제3 컨택 전극(234)은 세퍼레이터(220)에 의해 제2 전극(232)과 분리된다. 제2 전극(232) 및 제3 컨택 전극(234)의 금속으로는 Al, MgAg, Ca, Ba 등이 이용된다.
- <71> 이러한 단계 20(S20) 내지 단계 32(S32)을 통해 도 4에 도시된 상판(200)이 완성된다.
- <72> 그리고, 단계 40(S40)에서 하판(100) 위에 마이크로 볼 형태의 게터(400)를 산포한다. 게터(400)로는 실리카(Silica), 칼슘(Ca), 바륨(Ba), 산화칼슘(CaO), 산화바륨(BaO) 등이 이용된다.
- <73> 단계 42(S42)에서 하판(100)에 실링재(300)를 형성한 다음 상판(200)을 하판(100)과 마주하게 정렬한 다음 상하판(200, 100)을 진공 합착한다. 이때, 상판(200)에 가해지는 압력에 의해 상판(200)의 컨택 스페이서(222)가 형성된 부분이 하판(100)과 접촉함으로써 컨택 스페이서(222) 위의 제2 전극(232) 및 제3 컨택 전극(234)은 하

판(100)의 제1 컨택 전극(142) 및 제2 컨택 전극(144)과 각각 전기적으로 접속된다.

발명의 효과

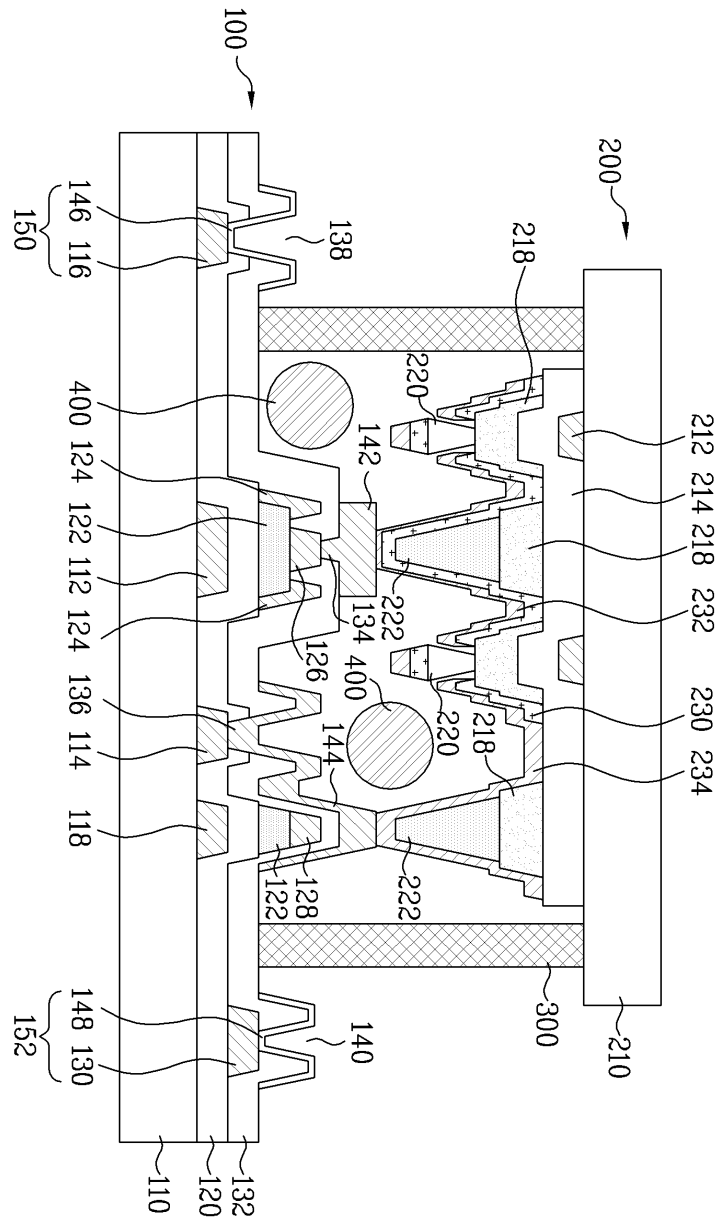
- <74> 상술한 바와 같이, 본 발명에 따른 OLED 표시장치 및 그 제조 방법은 마이크로 볼 형태의 게터를 산포한 다음 상하판을 함착한다. 이에 따라 실링재에 의해 밀봉되는 내부 영역에 형성된 게터들은 수분 및 가스를 흡수하여 유기 발광층의 열화를 방지함으로써 수명을 연장할 수 있음과 아울러 아울러 가스로 인한 내압 증가를 방지하여 상하판의 컨택 불량도 방지할 수 있다.
- <75> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

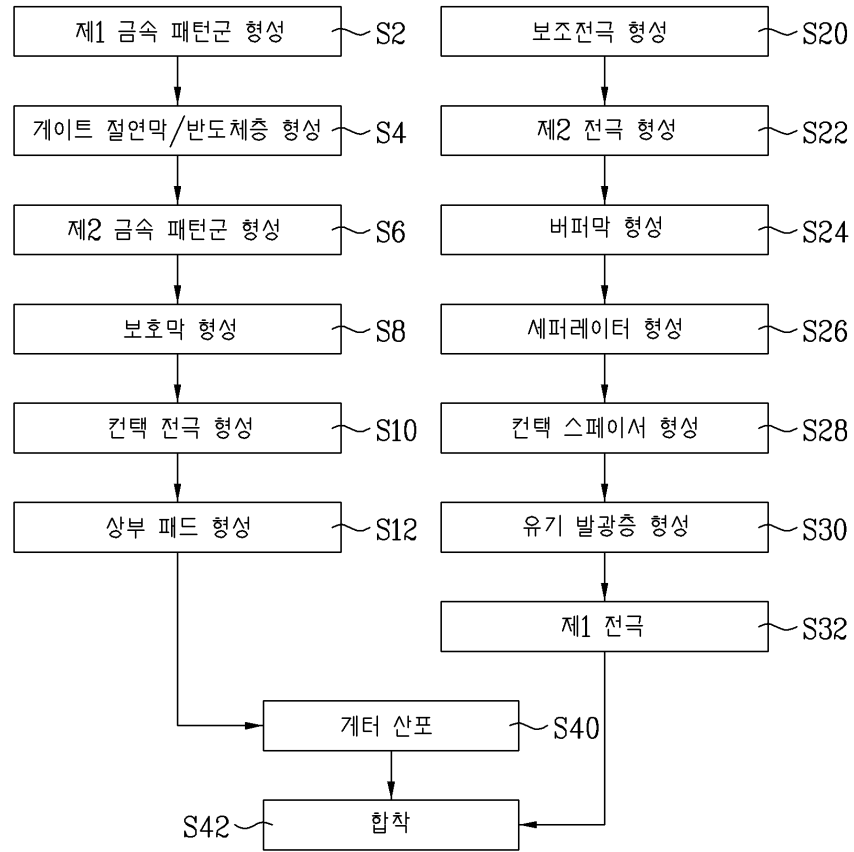
- <1> 도 1은 본 발명의 실시예에 따른 유기 전계발광 표시장치를 도시한 단면도.
- <2> 도 2는 본 발명의 실시예에 따른 유기 전계발광 표시장치의 제조 방법을 단계적으로 도시한 흐름도.
- <3> 도 3은 도 1에 도시된 하판을 도시한 단면도.
- <4> 도 4는 도 1에 도시된 상판을 도시한 단면도.
- <5> <도면의 주요부분에 대한 부호의 간단한 설명>
- | | |
|-------------------------------|------------------|
| <6> 100 : 하판 | 110, 210 : 절연 기판 |
| <7> 112 : 게이트 전극 | 114 : 제2 전원 라인 |
| <8> 116 : 하부 게이트 패드 | 118, 128 : 더미 패턴 |
| <9> 120 : 게이트 절연막 | 122 : 반도체층 |
| <10> 124 : 소스 전극 | 126 : 드레인 전극 |
| <11> 130 : 하부 데이터 패드 | 132 : 보호막 |
| <12> 134, 136, 138, 140 : 컨택홀 | 142 : 제1 컨택 전극 |
| <13> 144 : 제2 컨택 전극 | 146 : 상부 게이트 패드 |
| <14> 148 : 상부 데이터 패드 | 150 : 게이트 패드 |
| <15> 152 : 데이터 패드 | 200 : 상판 |
| <16> 212 : 보조 전극 | 214 : 제2 전극 |
| <17> 218 : 버퍼막 | 220 : 세퍼레이터 |
| <18> 222 : 컨택 스페이서 | 230 : 유기 발광층 |
| <19> 232 : 제1 전극 | 234 : 제3 컨택 전극 |
| <20> 300 : 실링재 | 400 : 게터 |

도면

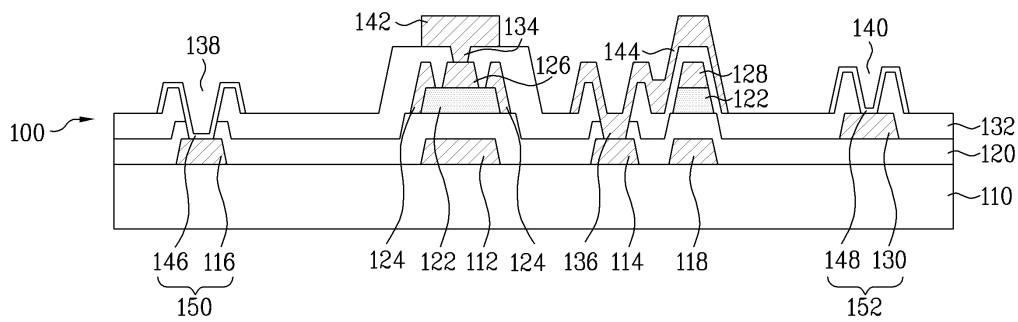
도면1



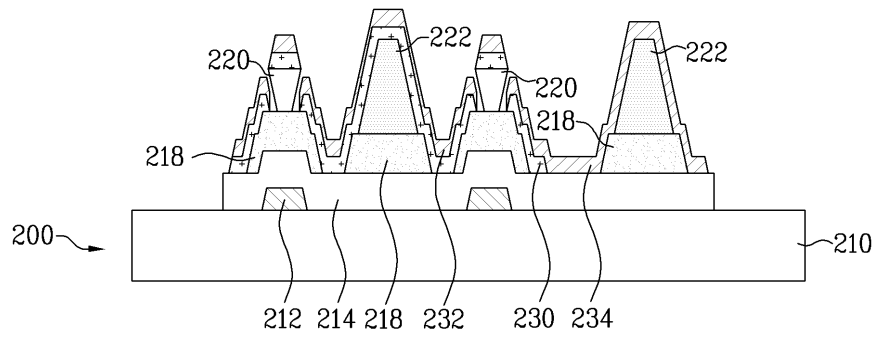
도면2



도면3



도면4



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020080000806A	公开(公告)日	2008-01-03
申请号	KR1020060058602	申请日	2006-06-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JAE YOON 이재운 KIM HO JIN 김호진 KIM JEONG HYUN 김정현		
发明人	이재운 김호진 김정현		
IPC分类号	H05B33/10 H05B33/04		
CPC分类号	H01L51/5259 H01L27/3251 H01L51/5246 H01L51/525 H01L51/56		
代理人(译)	金勇 新昌		
外部链接	Espacenet		

摘要(译)

本发明的目的在于提供一种能够防止有机发光层的劣化的有机电致发光显示装置，在双板型中吸附水分和气体，其制造方法能够实现有机电致发光显示及其制造方法，包括公开了第一基板，第二基板，密封构件和多个吸气剂。关于第一基板，形成子像素驱动器阵列。关于第二衬底，形成有机电致发光二极管阵列。密封构件粘附地安装第一和第二基板。多个吸气剂形成在密封构件中密封的第一和第二基板之间的间隙中并吸附水分和气体。AMOLED，吸气剂，微粉，顶部和底部接触，水分，气体。

