



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0000470
(43) 공개일자 2008년01월02일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2006-0058326

(22) 출원일자 2006년06월27일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

정상훈

서울 동작구 사당3동 삼성래미안아파트 113동 403호

(74) 대리인

특허법인로알

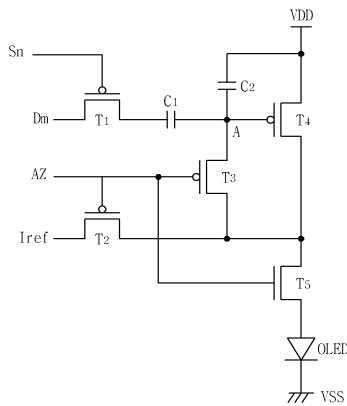
전체 청구항 수 : 총 7 항

(54) 유기전계발광표시장치의 화소 회로

(57) 요약

본 발명은, 스캔 라인으로부터의 선택 신호에 응답하여 기준 신호 또는 데이터 신호를 전달하는 제 1 트랜지스터, 제어 라인으로부터의 제어 신호에 응답하여 기준 전류를 입력하는 제 2 및 제 3 트랜지스터, 입력된 기준 전류에 의한 보상 전압을 저장하여 상기 제 1 트랜지스터로부터 인가받은 데이터 신호를 보상하기 위한 제 1 커패시터, 제 1 커패시터로부터 보상된 데이터 신호를 인가받아 저장하기 위한 제 2 커패시터, 제 2 커패시터로부터 보상된 데이터 신호를 인가받아 구동 전류를 발생시키기 위한 제 4 트랜지스터, 제어 라인으로부터의 제어 신호에 응답하여, 상기 제 4 트랜지스터에서 발생한 구동 전류를 전달하는 제 5 트랜지스터 및 제 5 트랜지스터로부터 구동 전류를 인가받아 발광 동작을 수행하기 위한 발광 다이오드를 포함하는 유기전계발광표시장치의 화소 회로를 제공한다.

대표도 - 도3



특허청구의 범위

청구항 1

스캔 라인으로부터의 선택 신호에 응답하여 기준 신호 또는 데이터 신호를 전달하는 제 1 트랜지스터;

제어 라인으로부터의 제어 신호에 응답하여 기준 전류를 입력하는 제 2 및 제 3 트랜지스터;

상기 입력된 기준 전류에 의한 보상 전압을 저장하여 상기 제 1 트랜지스터로부터 인가받은 데이터 신호를 보상하기 위한 제 1 커패시터;

상기 제 1 커패시터로부터 보상된 데이터 신호를 인가받아 저장하기 위한 제 2 커패시터;

상기 제 2 커패시터로부터 보상된 데이터 신호를 인가받아 구동 전류를 발생시키기 위한 제 4 트랜지스터;

상기 제어 라인으로부터의 제어 신호에 응답하여, 상기 제 4 트랜지스터에서 발생한 구동 전류를 전달하는 제 5 트랜지스터; 및

상기 제 5 트랜지스터로부터 구동 전류를 인가받아 발광 동작을 수행하기 위한 발광 다이오드를 포함하는 유기전계발광표시장치의 화소 회로.

청구항 2

제 1 항에 있어서,

상기 제 2 및 제 3 트랜지스터는 상기 제어 라인의 제 1 레벨의 제어 신호에 의해 턴-온되며, 상기 제 5 트랜지스터는 상기 제어 라인의 제 2 레벨의 제어 신호에 의해 턴-온되는 유기전계발광표시장치의 화소 회로.

청구항 3

제 1 항에 있어서,

상기 스캔 라인 및 제어 라인으로부터 제 1 레벨의 선택 신호 및 제어 신호가 인가되면, 상기 데이터 라인으로부터 상기 제 1 커패시터에 기준 신호가 인가되고, 상기 제 4 트랜지스터에 기준 전류가 입력되는 유기전계발광표시장치의 화소 회로.

청구항 4

제 3 항에 있어서,

상기 제 4 트랜지스터에 기준 전류가 입력되면, 상기 제 1 및 제 2 커패시터에 제 4 트랜지스터의 특성이 반영된 보상 전압이 저장되는 유기전계발광표시장치의 화소 회로.

청구항 5

제 4 항에 있어서,

상기 제어 라인에 제 2 레벨의 제어 신호가 인가되면, 상기 데이터 라인으로부터 상기 제 1 커패시터에 데이터 신호가 인가되고, 상기 제 1 커패시터는 상기 제 2 커패시터에 보상된 데이터 신호를 인가하는 유기전계발광표시장치의 화소 회로.

청구항 6

제 5 항에 있어서,

상기 보상된 데이터 신호에 의하여 상기 제 4 트랜지스터는 구동 전류를 발생시키고, 상기 제어 라인의 제 2 레벨의 신호에 의하여 제 5 트랜지스터는 상기 구동 전류를 발광 다이오드에 전달하는 유기전계발광표시장치의 화소 회로.

청구항 7

제 1 항에 있어서,

상기 제 1 내지 제 4 트랜지스터는 피모스(PMOS)이고, 제 5 트랜지스터는 엔모스(NMOS)인 유기전계발광표시장치의 화소 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <8> 본 발명은 유기전계발광표시장치의 화소 회로에 관한 것이다.
- <9> 최근, 평판표시장치(FPD: Flat Panel Display)는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 디스플레이(Liquid Crystal Display: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출표시장치(Field Emission Display: FED), 유기전계발광표시장치(Organic Light Emitting Device) 등과 같은 여러 가지의 평면형 디스플레이가 실용화되고 있다.
- <10> 특히, 유기전계발광표시장치는 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 소비 전력이 낮고 자체 발광이다. 또한, 시야각에 문제가 없어서 장치의 크기에 상관없이 동화상 표시 매체로서 장점이 있으며, 저온 제작이 가능하고, 기존의 반도체 공정 기술을 바탕으로 제조 공정이 간단하므로 향후 차세대 평판 표시 장치로 주목받고 있다.
- <11> 일반적으로, 유기전계발광표시장치는 행렬 형태로 배열된 $N \times M$ 개의 유기발광다이오드(OLED)들을 전압 구동(Voltage Programming) 혹은 전류 구동(Current Programming)하여 영상을 표현할 수 있다. 이와 같은 유기전계발광표시장치를 구동하는 방식에는 수동 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor)를 이용한 능동 매트릭스(active matrix) 방식이 있다. 수동 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 매트릭스 방식은 박막 트랜지스터를 각 화소 전극에 연결하고 박막 트랜지스터의 게이트 전극에 연결된 커패시터 용량에 의해 유지된 전압에 따라 구동한다.
- <12> 도 1은 종래기술에 따른 유기전계발광표시장치를 도시한 블럭도이다.
- <13> 도 1을 참조하면, 유기전계발광표시장치는 표시 패널(110), 스캔 구동부(120), 데이터 구동부(130), 제어부(140) 및 전원공급부(150)를 포함한다.
- <14> 표시 패널(110)은 제 1 방향으로 배열되는 데이터 라인들(D1-Dm)과 제 1 방향과 교차되고 제 2 방향으로 배열되는 스캔 라인들(S1-Sn) 및 데이터 라인들((D1-Dm))과 스캔 라인들(S1-Sn)이 교차하는 화소 영역에 위치하는 화소 회로들(P11-Pnm)을 포함한다.
- <15> 제어부(140)는 스캔 구동부(120), 데이터 구동부(130) 및 전원공급부(150)에 제어 신호를 출력하고, 전원공급부(150)는 제어부(140)의 구동 제어에 따라 스캔 구동부(120), 데이터 구동부(130) 및 표시 패널(110)의 구동에 필요한 전압을 출력한다.
- <16> 스캔 구동부(120)는 제어부(140)의 제어신호에 따라 스캔 구동부(120)에 연결된 스캔 라인들(S1-Sn)에 스캔 신호를 출력한다. 이로써, 스캔 신호(S1-Sn)에 응답하여 표시 패널(110)에 위치한 화소 회로들(P11-Pnm)이 선택된다.
- <17> 데이터 구동부(130)는 제어부(140)의 제어 신호에 따라, 스캔 구동부(120)에서 출력되는 스캔 신호에 동기되어 데이터 구동부(130)에 연결된 데이터 라인들(D1-Dm)을 통하여 데이터 신호들을 해당 화소 회로들(110)에 인가한다. 따라서, 표시 패널(110)은 데이터 신호들에 대응하여 각 화소 회로들(P1-Pnm)로부터 빛을 발광함으로써 영상 이미지를 표시한다.
- <18> 도 2는 종래기술에 따른 유기전계발광표시장치의 화소 회로를 설명하기 위한 회로도이다.
- <19> 도 2를 참조하면, 화소 회로는 스캔 라인(Sn)으로부터의 선택 신호에 응답하여 데이터 라인(Dm)으로부터의 데이터 신호를 전달하는 스위칭 트랜지스터(MS), 스위칭 트랜지스터(MS)를 통해 수신되는 데이터 신호를 저장하기 위한 커패시터(Cgs), 커패시터(Cgs)에 저장된 데이터 신호에 따라 구동 전류를 발생하기 위한 구동 트랜지스터(MD), 구동 전류에 따라 발광 동작을 수행하기 위한 유기발광다이오드(OLED)를 포함한다.

<20> 상기 유기발광다이오드(OLED)에 흐르는 전류의 양은 다음과 같이 표현할 수 있다.

수학식 1

$$I_{OLED} = \frac{1}{2} K (V_{gs} - V_{th})^2, \quad K = \mu C_{ox} \frac{W}{L}$$

<21>
<22> (μ : 전계효과 이동도 C_{ox} : 절연층의 커패시턴스 W : 채널 폭 L : 채널 길이)

<23> 상기와 같이, 각 화소 회로의 유기발광다이오드(OLED)에 흐르는 전류의 양은 구동 트랜지스터(MD)의 게이트 전압(V_g), 문턱 전압(V_{th}) 및 제 1 전원 전압(VDD)에 의해 정해질 수 있으며, 각 화소의 휘도의 균일도를 확보하기 위하여는 박막 트랜지스터의 균일도, 특히 문턱전압(V_{th}) 및 이동도(mobility)의 균일도가 확보되어야 한다.

<24> 그러나, 각 화소 회로에 전원을 공급하는 제 1 전원 라인(VDD)에서 전압 강하(IR Drop)가 일어나기 때문에, 각 화소 회로의 위치에 따라 각 화소에 공급되는 제 1 전원 전압(VDD)의 크기가 변화한다. 이는 각 화소 회로의 유기발광다이오드(OLED)에 흐르는 전류의 양을 변화시키기 때문에, 휘도의 불균일을 발생시키는 문제점이 있다.

<25> 또한, 유기전계발광표시장치에 사용되는 박막 트랜지스터는 다결정 실리콘을 이용하고 있는데, 다결정 실리콘의 결정(grain)의 크기가 고르지 못하여, 각 화소에 형성된 박막 트랜지스터들 간에 문턱 전압 및 이동도 등의 특성 등이 달라져 균일도가 확보되지 못하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<26> 따라서, 본 발명은 박막 트랜지스터들의 문턱전압 및 이동도를 효과적으로 보정하여 각 화소별 휘도의 균일도를 확보할 수 있는 유기전계발광표시장치의 화소 회로를 제공함에 그 목적이 있다.

발명의 구성 및 작용

<27> 상기 목적을 달성하기 위하여, 본 발명은, 스캔 라인으로부터의 선택 신호에 응답하여 기준 신호 또는 데이터 신호를 전달하는 제 1 트랜지스터, 제어 라인으로부터의 제어 신호에 응답하여 기준 전류를 입력하는 제 2 및 제 3 트랜지스터, 입력된 기준 전류에 의한 보상 전압을 저장하여 상기 제 1 트랜지스터로부터 인가받은 데이터 신호를 보상하기 위한 제 1 커패시터, 제 1 커패시터로부터 보상된 데이터 신호를 인가받아 저장하기 위한 제 2 커패시터, 제 2 커패시터로부터 보상된 데이터 신호를 인가받아 구동 전류를 발생시키기 위한 제 4 트랜지스터, 제어 라인으로부터의 제어 신호에 응답하여, 상기 제 4 트랜지스터에서 발생한 구동 전류를 전달하는 제 5 트랜지스터 및 제 5 트랜지스터로부터 구동 전류를 인가받아 발광 동작을 수행하기 위한 발광 다이오드를 포함하는 유기전계발광표시장치의 화소 회로를 제공한다.

<28> 이하, 첨부한 도면을 참조하여 본 발명의 실시예들을 상세하게 설명하도록 한다.

<29> 도 3은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 화소 회로를 도시한 회로도이다.

<30> 도 3을 참조하면, 본 발명의 일 실시예에 따른 유기전계발광표시장치의 화소 회로는 제 1 내지 제 5 트랜지스터(T1, T2, T3, T4, T5), 제 1 및 제 2 커패시터(C1, C2) 및 발광 다이오드(OLED)를 포함한다.

<31> 제 1 트랜지스터(T1)의 게이트는 스캔 라인(Sn)에 연결되고, 제 1 트랜지스터(T1)의 일단은 데이터 라인(Dm)에 연결되어 있다. 따라서, 제 1 트랜지스터(T1)는 스캔 라인(Sn)의 선택 신호에 응답하여 데이터 라인(Dm)으로부터의 신호들을 제 1 트랜지스터(T1)의 타단에 연결된 제 1 커패시터(C1)의 제 1 전극에 인가한다.

<32> 제 1 커패시터(C1)의 제 2 전극은 제 2 커패시터(C2)의 제 1 전극 및 제 4 트랜지스터(T4)의 게이트에 연결되며, 제 2 커패시터(C2)의 제 2 전극은 제 1 전원 라인(VDD)에 연결된다. 따라서, 제 4 트랜지스터(T4)는 제 1 및 제 2 커패시터(C1, C2)에 저장된 전압의 분배 전압을 인가받아 턴-온되어, 그에 해당하는 구동 전류를 발생시킨다.

<33> 제 2, 제 3 및 제 5 트랜지스터(T2, T3, T5)의 게이트는 제어 라인(AZ)에 연결되어, 제어 라인(AZ)의 제어 신호에 의하여 턴-온된다. .

<34> 제 2 및 제 3 트랜지스터(T2, T3)는 제어 라인(AZ)의 로우 레벨의 제어 신호에 의해 턴-온되어, 기준 전류(I_{re}

i)를 제 4 트랜지스터(T4)에 입력한다. 이로써, 제 1 및 제 2 커패시터(C1,C2)에는 제 4 트랜지스터(T4)의 문턱 전압 및 이동도 등의 특성이 반영된 보상 전압이 저장된다.

<35> 제 5 트랜지스터(T5)는 제어 라인(AZ)의 하이 레벨의 제어 신호에 의하여 턴-온되어, 제 4 트랜지스터(T4)에서 발생한 구동 전류를 발광 다이오드(OLED)에 전달한다.

<36> 발광 다이오드(OLED)는 애노드, 캐소드 및 애노드와 캐소드 사이에 개재된 발광층을 포함하며, 애노드는 제 5 트랜지스터(T5)의 타단에 연결되고, 캐소드에는 제 2 전원 전압(VSS)이 인가된다. 따라서, 발광 다이오드(OLED)는 애노드에 전달된 구동 전류와 캐소드에 인가된 제 2 전원 전압(VSS)에 의하여 발광 동작을 수행함으로써, 구동 전류에 상응하는 빛을 발광한다.

<37> 도 4는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 화소 회로의 동작을 설명하기 위한 타이밍도이며, 도 5 내지 7은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 각 단계별 동작을 설명하기 위한 회로도들이다.

<38> 도 4 및 도 5를 참조하면, 보상 단계(I)에서, 스캔 라인(Sn) 및 제어 라인(AZ)으로부터 로우 레벨의 선택 신호가 인가되면, 제 1 트랜지스터(T1)는 데이터 라인(Dm)으로부터 기준 신호(V_{ref})를 제 1 커패시터(C1)에 전달하며, 제 2 및 제 3 트랜지스터(T2, T3)는 기준 전류(I_{ref})를 구동 트랜지스터인 제 4 트랜지스터(T4)에 입력한다.

<39> 여기서, 제 1 및 제 2 커패시터(C1,C2)에는 제 4 트랜지스터(T4)의 문턱 전압(V_{thT4}) 및 이동도(K₄) 등의 특성이 반영된 보상 전압이 저장되며, 이때, 노드 A에 걸리는 전압(V_A)은 다음과 같다.

수학식 2

$$I_{Ref} = \frac{1}{2} K_4 (V_A - V_{DD} - V_{th_{T4}})^2 \quad \text{-----(1)}$$

<40>

$$V_A = -\sqrt{\frac{2I_{ref}}{K_4}} + V_{DD} + V_{th_{T4}} \quad \text{-----(2)}$$

<41>

<42> 다음으로, 도 4 및 도 6을 참조하면, 데이터 입력 단계(II)에서, 스캔 라인(Sn)의 로우 레벨의 선택 신호에 의하여, 제 1 트랜지스터(T1)는 데이터 신호(V_{Data})를 제 1 커패시터(C1)에 전달한다. 이때, 노드 A에 걸리는 전압(V_{A'})은 다음과 같다.

수학식 3

$$V_A' = V_A + (V_{Data} - V_{ref}) \frac{C_1}{C_1 + C_2}$$

<43>

<44> 여기서, C₁, C₂는 각각 제 1 및 제 2 커패시터의 정전용량이다.

<45> 도 4 및 도 7을 참조하면, 발광 단계(III)에서, 제어 라인(AZ)의 하이 레벨의 제어 신호에 의하여 제 5 트랜지스터(T5)가 턴-온되면, 제 4 트랜지스터(T4)는 노드 A에 저장된 전압(V_{A'})에 의해 발생된 구동 전류를 발광 다이오드(OLED)에 전달하고, 발광 다이오드(OLED)는 구동 전류에 상응하는 발광 동작을 수행한다.

<46> 이때, 발광 다이오드에 흐르는 전류(I_{LED})는 다음과 같다.

수학식 4

$$I_{OLED} = \frac{1}{2} K_4 [V_A + (V_{Data} - V_{ref}) \frac{C_1}{C_1 + C_2} - V_{dd} - V_{th_{T4}}]^2$$

<47>

<48> 여기서, 수학식 4에 수학식 2의 (2)를 대입하면,

수학식 5

$$I_{OLED} = \frac{1}{2} K_4 \left[-\sqrt{\frac{2I_{ref}}{K_4}} + (V_{Data} - V_{ref}) \frac{C_1}{C_1 + C_2} \right]^2$$

(a)
(b)

<49>

<50> 수학식 5에서 볼 수 있는 바와 같이, 발광 다이오드에 흐르는 전류(I_{OLED})는 제 2 트랜지스터의 문턱 전압(V_{th_{T4}})이 소거되어, 데이터 신호(V_{Data}) 및 기준 신호(V_{ref})에 비례하는 식으로 표현될 수 있다. 여기서, (a) 부분만을 계산하여 보면, K₄가 상쇄되어 제 4 트랜지스터(T₄)의 채널/폭 길이 및 이동도에 전혀 영향을 받지 않는 전류 구동 방식의 특징을 보이며, (b) 부분은 문턱 전압만 보정되는 전압 구동 방식의 특징을 보인다. 따라서, 본 발명의 일 실시예에 따른 유기전계발광표시장치의 화소 회로는 기준 전류(I_{ref})와 커패시터들(C₁, C₂)의 용량을 적절히 조절하여, 각 구동 방식의 장점들을 반영된 화소 회로들을 제공할 수 있음을 알 수 있다.

<51> 또한, 수학식 5를 살펴보면, 발광 다이오드에 흐르는 전류(I_{OLED})는 제 1 전원 전압(VDD)이 소거되어, 데이터 신호(V_{Data}) 및 기준 신호(V_{ref})에 비례하는 식으로 표현될 수 있다. 이로써, 본 발명의 일 실시예에 따른 유기전계발광표시장치의 화소 회로는 제 1 전원 전압(VDD)의 전압 강하(IR drop)에 따른 각 화소별 휘도 불균일 현상을 해소할 수 있게 된다.

<52> 따라서, 본 발명의 일 실시예에 따른 유기전계발광표시장치의 화소 회로는 구동 트랜지스터의 특성 및 전압 강하에 따른 휘도의 불균일을 해소할 수 있음을 알 수 있다.

<53> 상술한 바와 같이, 본 발명의 일 실시예에 따른 유기전계발광표시장치에 따른 화소 회로는 데이터 신호를 입력하기 전에, 기준 전류를 입력하여 제 1 및 제 2 커패시터에 구동 트랜지스터인 제 4 트랜지스터의 특성을 반영한 전압을 저장함으로써, 각 화소별 구동 트랜지스터의 특성에 따른 휘도의 불균일을 방지할 수 있다.

<54> 본 발명을 특정의 바람직한 실시예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것이 아니고, 이하의 특허청구범위에 의해 마련되는 본 발명의 정신이나 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변화될 수 있다는 것을 당 업계에서 통상의 지식을 가진 자는 용이하게 알 수 있을 것이다.

발명의 효과

<55> 본 발명은 각 화소별 휘도 균일도를 확보함으로써, 화면의 품위를 향상시킬 수 있는 유기전계발광표시장치의 화소 회로를 제공할 수 있다.

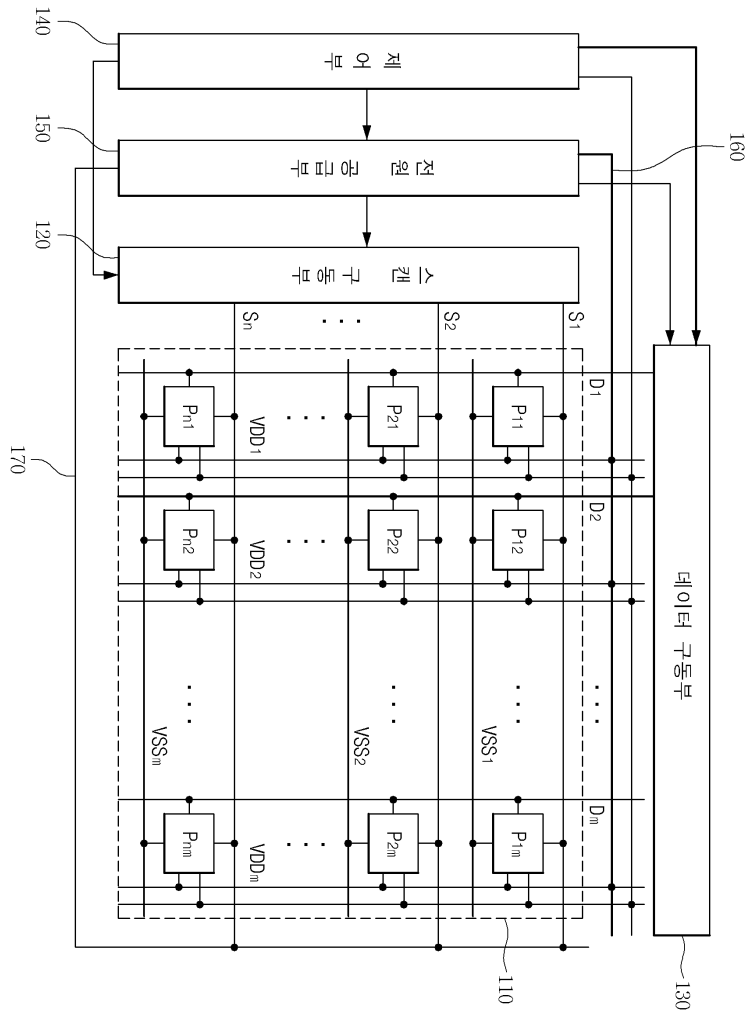
도면의 간단한 설명

- <1> 도 1은 종래의 유기전계발광표시장치를 나타낸 블럭도이다.
- <2> 도 2는 종래의 유기전계발광표시장치의 화소 회로를 도시한 회로도이다.
- <3> 도 3은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 화소 회로를 도시한 회로도이다.
- <4> 도 4는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 화소 회로의 동작을 설명하기 위한 타이밍도이다.
- <5> 도 5는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 화소 회로의 보상 단계를 도시한 회로도이다.

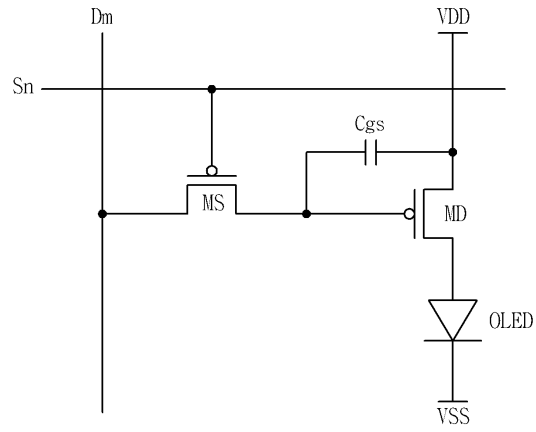
- <6> 도 6은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 화소 회로의 데이터 입력 단계를 설명하기 위한 타이밍도이다.
- <7> 도 7은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 화소 회로의 발광 단계를 도시한 회로도이다.

도면

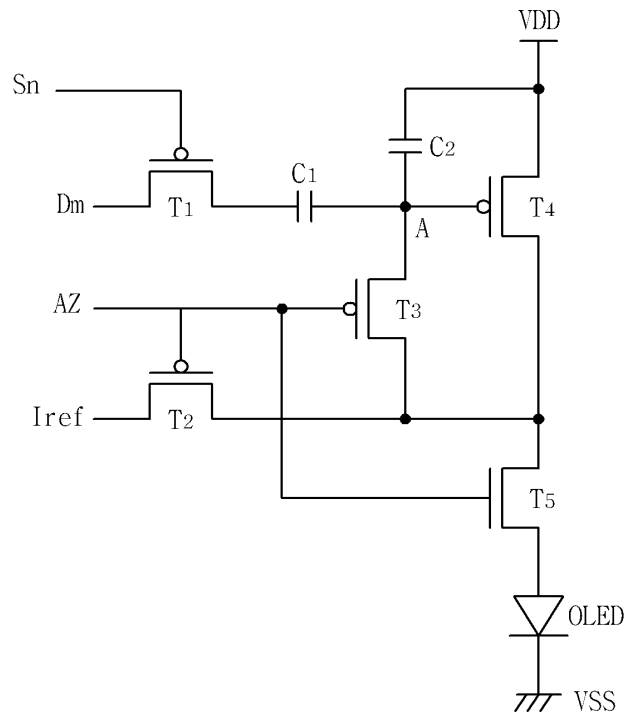
도면1



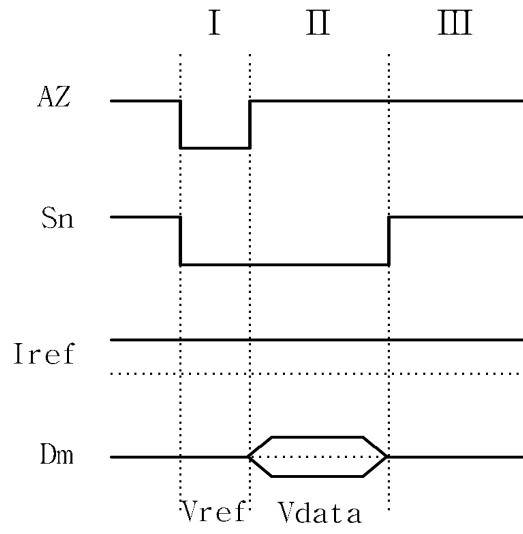
도면2



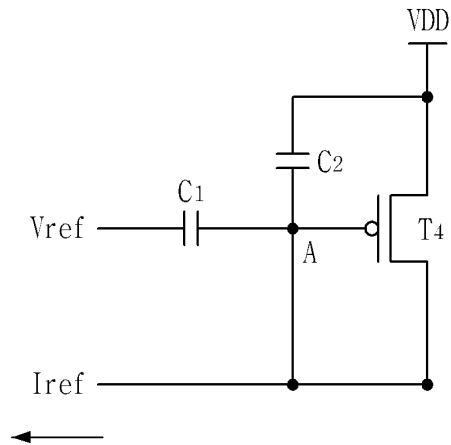
도면3



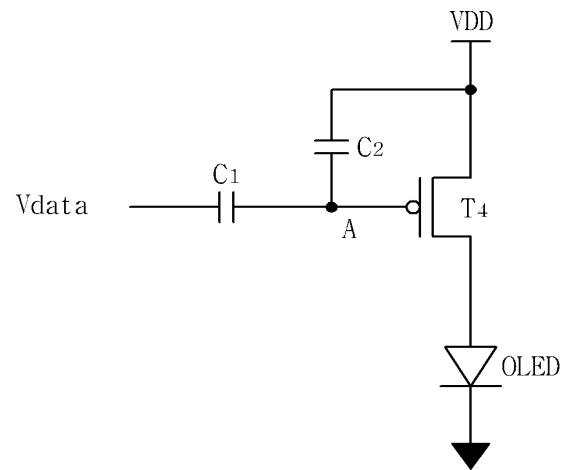
도면4



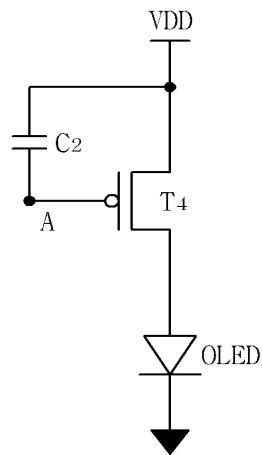
도면5



도면6



도면7



专利名称(译)	有机电致发光显示装置的像素电路		
公开(公告)号	KR1020080000470A	公开(公告)日	2008-01-02
申请号	KR1020060058326	申请日	2006-06-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG SANG HOON 정상훈		
发明人	정상훈		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G3/3291 G09G2300/043 G09G2300/0819 G09G2300/0852 G09G2320/0233 G09G2320/043 G09G2330/02		
其他公开文献	KR101279115B1		
外部链接	Espacenet		

摘要(译)

第一晶体管，用于响应来自扫描线的选择信号发送参考信号或数据信号；第二和第三晶体管，用于响应来自控制线的控制信号输入参考电流；第二电容器，用于接收和补偿来自第一电容器的补偿数据信号，第二电容器，用于补偿从第二电容器提供的数据信号，第五晶体管，用于响应于来自控制线的控制信号接收在第四晶体管中产生的驱动电流，以及第四晶体管，用于通过从第五晶体管接收驱动电流来产生驱动电流，一种发光二极管，包括发光二极管它提供了发展机制光学显示装置的像素电路。 & lt; tb & gt;

